

具 NMOS 樹之骨牌式電路

【摘要】

本專題提出一種新穎架構之具 NMOS 樹之骨牌式電路，其係由一控制電路 (3)、以及複數個具 NMOS 樹之骨牌式基本閘所組成，其中，每一具 NMOS 樹之骨牌式基本閘係包括有一 NMOS 樹 (1)、一第一 PMOS 電晶體 (MP1)、一第一 NMOS 電晶體 (MN1)、一保持電路 (2) 以及一時脈 (clk)，該保持電路 (2) 更包括有一反相器 (INV) 以及一第二 PMOS 電晶體 (MP2)，而該控制電路 (3) 包括有一第三 PMOS 電晶體 (MP3) 以及一第四 PMOS 電晶體 (MP4)。該具 NMOS 樹之骨牌式電路於求值相位 (Evaluation phase) 時 (此時該時脈為邏輯高電位)，由於呈關閉狀態之該第一 PMOS 電晶體 (MP1) 之基底係連接至電位較該第一電源電壓 (Vdd) 為高之該第二電源電壓 (Vdd2)，根據電晶體之本體效應 (Body effect)，該第一 PMOS 電晶體 (MP1) 之臨界電壓的絕對值上升，因此流經該第一 PMOS 電晶體 (MP1) 之次臨界漏電流減少；再者，由於該第一 PMOS 電晶體 (MP1) 閘極所接受之該時脈 (clk) 的邏輯高電位 (Logic high) 為該第二電源電壓 (Vdd2) 之電位，因此可進一步降低次臨界漏電流，結果，本專題所提出之具 NMOS 樹之骨牌式電路可有效地減少功率消耗。

具低功率消耗之 NMOS 樹骨牌式電路

【摘要】

本專題提出一種新穎架構之具低功率消耗之 NMOS 樹骨牌式電路，其係由一第一控制電路（3）、一第二控制電路（4）、以及複數個具 NMOS 樹之骨牌式基本閘所組成，其中，每一具 NMOS 樹之骨牌式基本閘係包括有一 NMOS 樹（1）、一第一 PMOS 電晶體（MP1）、一第一 NMOS 電晶體（MN1）、一保持電路（2）以及一時脈（clk），該保持電路（2）更包括有一反相器（INV）以及一第二 PMOS 電晶體（MP2）。

本專題所提出之具低功率消耗之 NMOS 樹骨牌式電路於操作模式時，藉由該第一控制電路（3）的設置以及將該時脈（clk）之邏輯高電位設定為較一第一電源電壓（Vdd）為高之一第二電源電壓（Vdd2），可使得於求值相位期間呈關閉狀態之該第一 PMOS 電晶體（MP1）的閘源極電壓與基底源極電壓均為一正值，因此可有效減少操作模式時之功率消耗。

再者，於待機模式時，藉由該第二控制電路（4）的設置以及將一待機指示信號（SB）之邏輯高電位設定為較該第一電源電壓（Vdd）為高之該第二電源電壓（Vdd2），以禁能（Disable）該反相器（INV）以及該第二 PMOS 電晶體（MP2），並且將呈關閉狀態之該第一 PMOS 電晶體（MP1）的閘源極電壓與基底源極電壓均設定為一正值，因此可有效減少待機模式時之功率消耗。結果，整體觀之本專題所提出之具低功率消耗之 NMOS 樹骨牌式電路可有效地減少功率消耗。

目 錄

一、具 NMOS 樹之骨牌式電路

研究領域.....	1
研究動機.....	1
內容報告.....	3
實施方法.....	3
研究功效.....	6
圖式說明.....	7
主要元件符號說明.....	7
圖式.....	8

二、具低功率消耗之 NMOS 樹骨牌式電路

研究領域.....	1 0
研究動機.....	1 0
內容報告.....	1 2
實施方法.....	1 3
研究功效.....	1 8

圖式說明.....	19
主要元件符號說明.....	19
圖式.....	20

三、參考文獻.....	23
-------------	----

四、作者簡介.....	24
-------------	----

附件 具 NMOS 樹之骨牌式電路專利核准處分書

具 NMOS 樹之骨牌式電路

【研究領域】

本創作係有關一種具 NMOS (N-channel Metal Oxide Semiconductor, N 通道金屬氧化物半導體) 樹之骨牌式電路 (Domino circuit), 尤指利用一控制電路、以及複數個具 NMOS 樹 (NMOS tree) 之骨牌式基本閘所組成以求獲得低功率消耗之互補式金屬氧化物半導體 (CMOS) 邏輯電路。

【研究動機】

動態電路 (Dynamic Circuits) 是 CMOS 邏輯電路中很重要的一種電路, 相較於靜態電路 (Static Circuits), 動態電路一般來說具有較省面積、較高操作速度、或較省功率等優點, 因此其常用於許多高性能的電路中, 例如高速 CPU (中央處理器) 及 DSP (數位訊號處理器) 晶片。

具 NMOS 樹之骨牌式基本閘是一種 CMOS 動態電路, 習知具 NMOS 樹之骨牌式基本閘如第 1 圖所示, 其係由一 NMOS 樹 (1)、一保持電路 (2)、一 PMOS 電晶體 (MP1)、一 NMOS 電晶體 (MN1) 以及一時脈 (clk) 所組成, 該保持電路 (2) 包含一 PMOS 電晶體 (MP2) 及一反向器 (INV), 其中, 該 PMOS 電晶體 (MP2) 之源極連接至電源電壓 (Vdd), 汲極連接至一第一內部節點 (N1), 閘極則連接至反向器 (INV) 之輸出端 (OUT); 該 PMOS 電晶體 (MP1) 之源極連接至電源電壓 (Vdd), 閘極用於接受該時脈 (clk), 而汲極則連接至該第一內部節點 (N1); 該 NMOS 電晶體 (MN1) 之源極連接至參考接地, 閘極用於接受該時脈 (clk), 而汲極則連接至一第二內部節點

(N2)；該 NMOS 樹 (1) 連接在該第一內部節點(N1)與該第二內部節點(N2)之間，並接受複數個邏輯輸入信號 (IN1、IN2、、、INn)，以便對該等邏輯輸入信號 (IN1、IN2、、、INn) 執行一邏輯運算，該邏輯運算之結果經該反相器 (INV) 後傳送至一輸出端 (OUT)，以便供輸出及/或做為下一級具 NMOS 樹之骨牌式基本閘的一邏輯輸入信號。

第 1 圖所示之具 NMOS 樹之骨牌式基本閘有二個工作相位，第一個工作相位稱為預放電相位 (Predischage phase)，顧名思意就是將具 NMOS 樹之骨牌式基本閘之輸出端 (OUT) 預先放電至邏輯低電位 (Logic low)，此時該時脈 (clk) 為邏輯低電位 (Logic low)，該 PMOS 電晶體 (MP1) 被導通而該 NMOS 電晶體 (MN1) 被關閉，所以輸出端 (OUT) 會透過該反相器 (INV) 而被放電至邏輯低電位；第二個工作相位稱為求值相位 (Evaluation phase)，此時該時脈 (clk) 為邏輯高電位 (Logic high)，該 PMOS 電晶體 (MP1) 被關閉而該 NMOS 電晶體 (MN1) 被導通，由於此時該 NMOS 電晶體 (MN1) 和該 NMOS 樹 (1) 串接，而該 NMOS 電晶體 (MN1) 又被導通，所以輸出端 (OUT) 的邏輯值會由該等邏輯輸入信號 (IN1、IN2、、、INn) 而決定，並完成原先應該完成的布林函數。

第 1 圖所示具 NMOS 樹之骨牌式基本閘並未考慮到於求值相位 (Evaluation phase) 時，由於該 PMOS 電晶體 (MP1) 被關閉而工作在次臨界區 (Subthreshold region) 之漏電流，因此仍有改良空間存在。

有鑑於此，本創作之主要目的係提出一種新穎架構之具 NMOS 樹之骨牌式電路，其可較先前之具 NMOS 樹之骨牌式基本閘具有更低之功率消耗。

【內容報告】

本創作提出一種新穎架構之具 NMOS 樹之骨牌式電路，其係由一控制電路 (3)、以及複數個具 NMOS 樹之骨牌式基本閘所組成，其中，每一具 NMOS 樹之骨牌式基本閘係包括有一 NMOS 樹 (1)、一第一 PMOS 電晶體 (MP1)、一第一 NMOS 電晶體 (MN1)、一保持電路 (2) 以及一時脈 (clk)，該保持電路 (2) 更包括有一反相器 (INV) 以及一第二 PMOS 電晶體 (MP2)，而該控制電路 (3) 包括有一第三 PMOS 電晶體 (MP3) 以及一第四 PMOS 電晶體 (MP4)。

【實施方法】

根據上述之目的，本創作提出一種具 NMOS 樹之骨牌式電路，如第 2 圖所示，為了便於說明起見，第 2 圖所示之電路僅以一控制電路 (3)、以及一個具 NMOS 樹之骨牌式基本閘做為實施例來說明。

如第 2 圖所示，該具 NMOS 樹之骨牌式電路係由一控制電路 (3)、以及一具 NMOS 樹之骨牌式基本閘所組成，其中，該具 NMOS 樹之骨牌式基本閘係包括有一 NMOS 樹 (1)、一第一 PMOS 電晶體 (MP1)、一第一 NMOS 電晶體 (MN1)、一保持電路 (2) 以及一時脈 (clk)，其中，該時脈 (clk) 之邏輯高電位 (Logic high) 為一第二電源電壓 (Vdd2) 之電位，而其邏輯低電位 (Logic low) 為參考接地之電位；該第一 PMOS 電晶體 (MP1) 之源極連接至第一電源電壓 (Vdd)，閘極用於接受該時脈 (clk)，而汲極則連接至一第一內部節點 (N1)；該第一 NMOS 電晶體 (MN1) 之源極連接至參考接地，閘極用於接受該時脈 (clk)，而汲極則連接至一第二內部節點 (N2)；該 NMOS 樹 (1) 連接在該第一內部節點 (N1) 與該第二內部節點 (N2) 之間，並接受複數個邏輯輸入信號 (IN1、IN2、...、INn)，以便對該等邏輯輸入信號 (IN1、IN2、...、INn) 執行一邏輯運算，該邏輯運算之結果並經一反

相器 (INV) 後傳送至一輸出端 (OUT)，供輸出或做為下一級具 NMOS 樹之骨牌式基本閘的一邏輯輸入信號。

請再參考第 2 圖，該保持電路 (2) 更包括有一反相器 (INV) 以及一第二 PMOS 電晶體 (MP2)，該反相器 (INV) 係連接在該第一內部節點(N1) 與該輸出端 (OUT) 之間，而該第二 PMOS 電晶體 (MP2) 之汲極連接第一內部節點(N1)，閘極連接至該輸出端 (OUT)，而源極則連接至一第一電壓源(Vdd)。該控制電路 (3) 包括有一第三 PMOS 電晶體 (MP3) 以及一第四 PMOS 電晶體 (MP4)，該第三 PMOS 電晶體 (MP3) 之源極連接至一第一電源電壓(Vdd)，閘極用於接受該時脈 (clk)，而汲極則連接至該第一 PMOS 電晶體 (MP1) 之基底，而該第四 PMOS 電晶體 (MP4) 之源極連接至一第二電源電壓(Vdd2)，閘極用於接受反相時脈 (/clk)，而汲極則連接至該第一 PMOS 電晶體 (MP1) 之基底，其中，該第二電源電壓(Vdd2)之電位係高於該第一電源電壓(Vdd)之電位。

第 2 圖所示之具 NMOS 樹之骨牌式電路有二個工作相位，第一個工作相位為預放電相位 (Predischage phase)，此時該時脈 (clk) 為參考接地之邏輯低電位 (Logic low)，該第一 NMOS 電晶體 (MN1) 被關閉而該第一 PMOS 電晶體 (MP1) 被導通，所以輸出端 (OUT) 會透過該反相器 (INV) 而放電至邏輯低電位；第二個工作相位為求值相位 (Evaluation phase)，此時該時脈 (clk) 為該第二電源電壓(Vdd2)之邏輯高電位 (Logic high)，該第一 NMOS 電晶體 (MN1) 被導通而該第一 PMOS 電晶體 (MP1) 被關閉，所以輸出端 (OUT) 的邏輯值會由該等邏輯輸入信號 (IN1、IN2、、、INn) 而決定，並完成原先應該完成的布林函數。

在此值得注意的是，於求值相位時，由於此時該時脈 (clk) 為該第二電源電壓(Vdd2)之邏輯高電位，而反相時脈 (/clk) 為參考接地之邏輯低電位，因此該控制電路 (3) 中之該第三 PMOS 電晶體 (MP3) 被關閉，且該控制電路 (3) 中之該第四 PMOS 電晶體 (MP4) 被導通，於是該第一 PMOS 電晶體 (MP1) 之基底係連接至該第二電源電壓(Vdd2)；而於預放電相位時，

由於此時該時脈 (clk) 為參考接地之邏輯低電位，而該反相時脈 (/clk) 為該第二電源電壓(Vdd2)之邏輯高電位，因此該控制電路 (3) 中之該第三 PMOS 電晶體 (MP3) 被導通，且該控制電路 (3) 中之該第四 PMOS 電晶體 (MP4) 被關閉，於是該第一 PMOS 電晶體 (MP1) 之基底係連接至該第一電源電壓(Vdd)。

接下來說明本創作如何減少功率消耗，首先比較第 1 圖所示之習知具 NMOS 樹之骨牌式基本閘與第 2 圖所示之本創作較佳實施例，由上述之分析可知，於預放電相位時 (此時該時脈 (clk) 為邏輯低電位)，本創作較佳實施例與第 1 圖所示之習知具 NMOS 樹之骨牌式基本閘具有相同的工作原理；而於求值相位時 (此時該時脈 (clk) 為邏輯高電位)，本創作較佳實施例之該第一 PMOS 電晶體 (MP1) 之基底係連接至電位較該第一電源電壓(Vdd)為高之該第二電源電壓(Vdd2)，而第 1 圖所示之習知具 NMOS 樹之骨牌式基本閘的 PMOS 電晶體 (MP1) 之基底係連接至該第一電源電壓 (Vdd)，根據電晶體之本體效應 (Body effect)，本創作較佳實施例之該第一 PMOS 電晶體 (MP1) 之臨界電壓的絕對值會較第 1 圖所示之習知具 NMOS 樹之骨牌式基本閘的 PMOS 電晶體 (MP1) 之臨界電壓的絕對值為大，因此流經本創作較佳實施例之該第一 PMOS 電晶體 (MP1) 之次臨界漏電流會較流經第 1 圖所示之習知具 NMOS 樹之骨牌式基本閘的 PMOS 電晶體 (MP1) 之次臨界漏電流更少，結果，本創作較佳實施例可降低次臨界漏電流。

再者，由於本創作較佳實施例之該第一 PMOS 電晶體 (MP1) 閘極所接受之該時脈 (clk) 的邏輯高電位為該第二電源電壓(Vdd2)之電位，而第 1 圖所示之習知具 NMOS 樹之骨牌式基本閘的 PMOS 電晶體 (MP1) 閘極所接受之該時脈 (clk) 的邏輯高電位為該第一電源電壓(Vdd)之電位，亦即本創作較佳實施例之該第一 PMOS 電晶體 (MP1) 的閘源極電壓為該第二電源電壓(Vdd2)扣減該第一電源電壓(Vdd)之電壓，其值為一正數，而第 1 圖所示之習知具 NMOS 樹之骨牌式基本閘的 PMOS 電晶體 (MP1) 之閘源

極電壓為 0 伏特，根據 94 年 3 月 8 日公告之美國專利公告第 US6865119 號專利案第 3(A)及 3(B)圖可知，對於 PMOS 電晶體而言，閘源極電壓為+0.1 伏特時之次臨界漏電流約為閘源極電壓為 0 伏特時之次臨界漏電流的 1%，因此本創作較佳實施例可更進一步降低次臨界漏電流。

最後，討論該第二電源電壓(Vdd2)與該第一電源電壓(Vdd)之關係，既然該第二電源電壓(Vdd2)之電位較該第一電源電壓(Vdd) 之電位為高，但為了避免產生閘極引發汲極洩漏 (Gate Induced Drain Leakage，簡稱 GIDL) 電流，該第二電源電壓(Vdd2)之電位較該第一電源電壓(Vdd) 之電位以不超過 1 伏特為限。

雖然本創作特別揭露並描述了所選之最佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本創作的精神與範圍。因此，所有相關技術範疇內之改變都包括在本創作之申請專利範圍內。

【研究功效】

該具 NMOS 樹之骨牌式電路於求值相位 (Evaluation phase)時 (此時該時脈為邏輯高電位)，由於呈關閉狀態之該第一 PMOS 電晶體 (MP1) 之基底係連接至電位較該第一電源電壓(Vdd)為高之該第二電源電壓(Vdd2)，根據電晶體之本體效應 (Body effect)，該第一 PMOS 電晶體 (MP1) 之臨界電壓的絕對值上升，因此流經該第一 PMOS 電晶體 (MP1) 之次臨界漏電流減少；再者，由於該第一 PMOS 電晶體 (MP1) 閘極所接受之該時脈 (clk) 的邏輯高電位 (Logic high) 為該第二電源電壓(Vdd2)之電位，因此可進一步降低次臨界漏電流，結果，本創作所提出之具 NMOS 樹之骨牌式電路可有效地減少功率消耗。

【圖式說明】

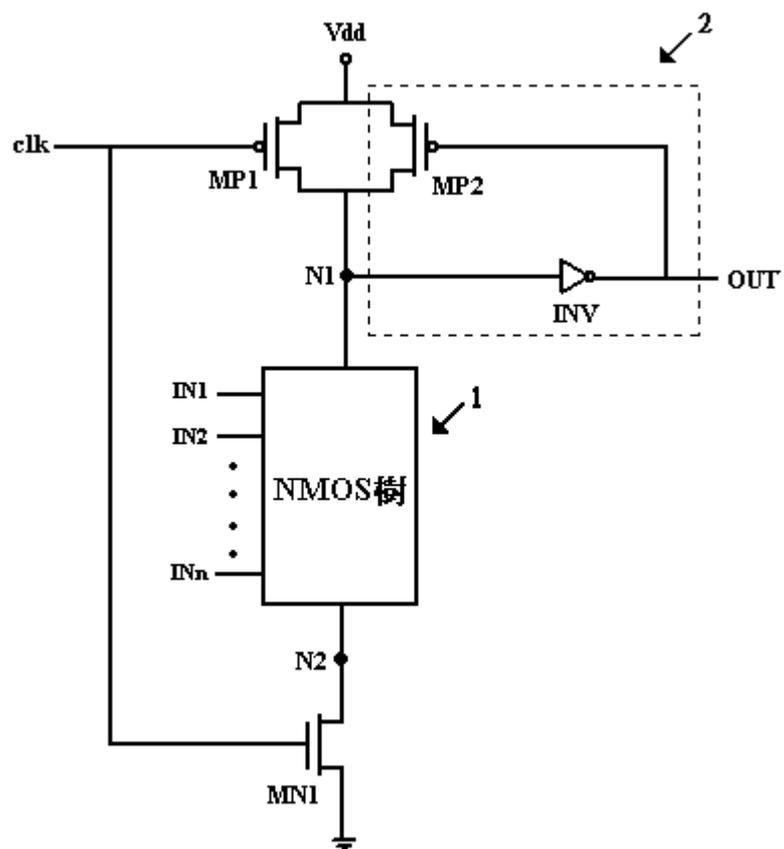
第1圖 係顯示一種習知具NMOS樹之骨牌式基本閘；

第2圖 係顯示本創作較佳實施例之具NMOS樹之骨牌式電路。

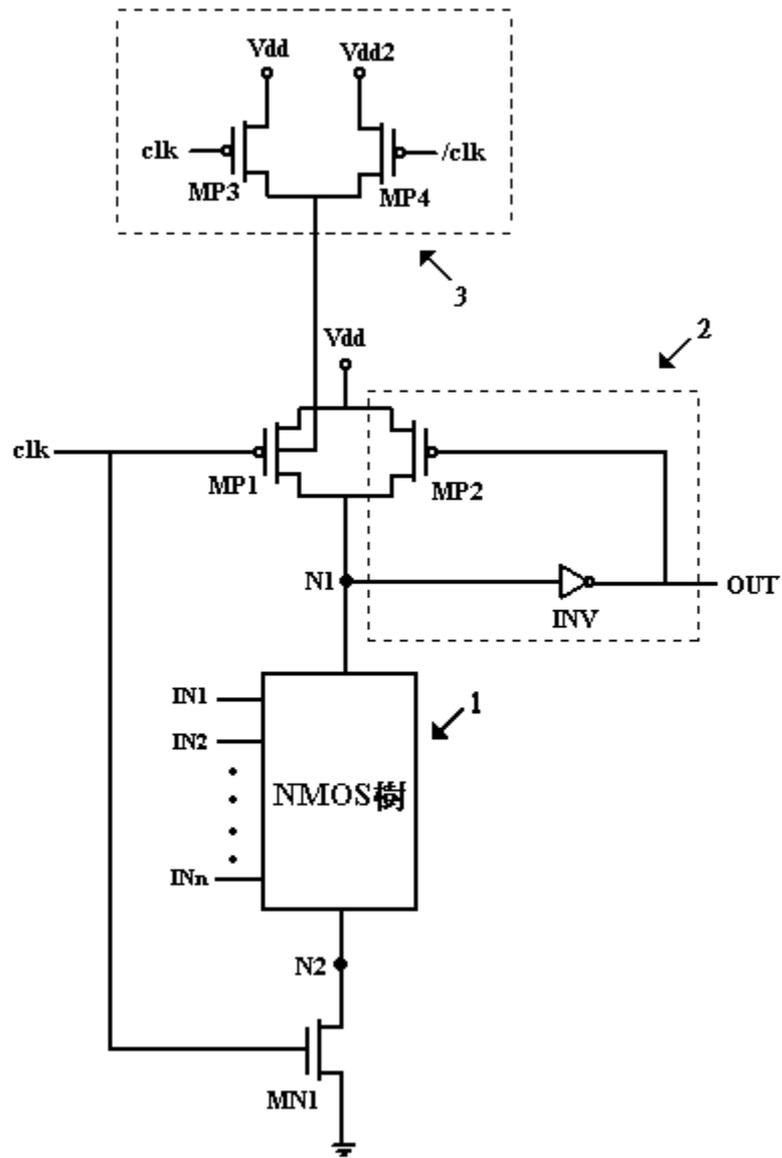
【主要元件符號說明】

1	NMOS 樹	2	保持電路
3	控制電路	Vdd	第一電源電壓
Vdd2	第二電源電壓	INV	反相器
MP1	第一 PMOS 電晶體	MP2	第二 PMOS 電晶體
MP3	第三 PMOS 電晶體	MP4	第四 PMOS 電晶體
MN1	第一 NMOS 電晶體	N1	第一內部節點
N2	第二內部節點	clk	時脈
/clk	反相時脈		

【圖式】



第 1 圖



第 2 圖

具低功率消耗之 NMOS 樹骨牌式電路

【研究領域】

本創作提出一種新穎架構之具低功率消耗之 NMOS 樹骨牌式電路 (Domino circuit with NMOS tree)，尤指利用一第一控制電路、一第二控制電路、以及複數個具 NMOS (N-channel Metal Oxide Semiconductor, N 通道金屬氧化物半導體) 樹 (NMOS tree) 之骨牌式基本閘所組成以求獲得低功率消耗之互補式金屬氧化物半導體 (CMOS) 邏輯電路。

【研究動機】

動態電路 (Dynamic Circuits) 是 CMOS 邏輯電路中很重要的一種電路，相較於靜態電路 (Static Circuits)，動態電路一般來說具有較省面積、較高操作速度、及/或較省功率等優點，因此其常用於許多高性能的電路中，例如高速 CPU (中央處理器) 及 DSP (數位訊號處理器) 晶片。

具 NMOS 樹之骨牌式基本閘是一種 CMOS 動態電路，習知具 NMOS 樹之骨牌式基本閘如第 1 圖所示，其係由一 NMOS 樹 (1)、一 PMOS 電晶體 (MP1)、一 NMOS 電晶體 (MN1)、一反相器 (INV) 以及一時脈 (clk) 所組成，其中，該 PMOS 電晶體 (MP1) 之源極連接至電源電壓 (Vdd)，閘極用於接受該時脈 (clk)，而汲極則連接至一第一內部節點 (N1)；該 NMOS 電晶體 (MN1) 之源極連接至參考接地，閘極用於接受該時脈 (clk)，而汲極則連接至一第二內部節點 (N2)；該 NMOS 樹 (1) 連接在該第一內部節點 (N1) 與該第二內部節點 (N2) 之間，並接受複數個邏輯輸入信號 (IN1、IN2、...、INn)，以便對該等邏輯輸入信號 (IN1、IN2、...、INn) 執行一邏輯運算，該邏輯運算之結果經該反相器 (INV) 後傳送至一輸出端 (OUT)，以便供輸出及/或做為下一級具 NMOS 樹之骨牌式基本閘的一邏輯輸入信號。

動態電路主要有 2 個工作模式，一為操作模式 (Active mode)，另一為

待機模式 (Standby mode)，第 1 圖所示之具 NMOS 樹之骨牌式基本閘於操作模式 (Active mode) 時具有二個工作相位，第一個工作相位稱為預放電相位 (Precharge phase)，顧名思意就是將具 NMOS 樹之骨牌式基本閘之輸出端 (OUT) 預先放電至邏輯低電位 (Logic low)，此時該時脈 (clk) 為邏輯低電位 (Logic low)，該 PMOS 電晶體 (MP1) 被導通而該 NMOS 電晶體 (MN1) 被關閉，所以輸出端 (OUT) 會透過該反相器 (INV) 而被放電至邏輯低電位；第二個工作相位稱為求值相位 (Evaluation phase)，此時該時脈 (clk) 為邏輯高電位 (Logic high)，該 PMOS 電晶體 (MP1) 被關閉而該 NMOS 電晶體 (MN1) 被導通，由於此時該 NMOS 電晶體 (MN1) 和該 NMOS 樹 (1) 串接，而該 NMOS 電晶體 (MN1) 又被導通，所以輸出端 (OUT) 的邏輯值會由該等邏輯輸入信號 (IN1、IN2、...、INn) 而定，完成原先應該完成的布林函數。

第 1 圖所示之具 NMOS 樹之骨牌式基本閘易受電荷重新分佈 (Charge sharing)、耦合雜訊 (Coupling noise)、及/或漏電流 (Leakage current) 等的影響而使輸出端 (OUT) 之信號退化 (Degraded)，嚴重者甚至造成錯誤的輸出。

為了降低電荷重新分佈、耦合雜訊、及/或漏電流等的影響，另一種具 NMOS 樹之骨牌式基本閘被提出，如第 2 圖所示，其與第 1 圖所示之具 NMOS 樹之骨牌式基本閘不同處在於增設有一 PMOS 電晶體 (MP2)，該 PMOS 電晶體 (MP2) 與該 PMOS 電晶體 (MP1) 呈並聯連接，惟其閘極連接至該反相器 (INV) 之輸出，其中，該 PMOS 電晶體 (MP2) 與該反相器 (INV) 組成一保持電路 (Keeper)，以有效保持輸出端 (OUT) 之信號不受電荷重新分佈、耦合雜訊、及/或漏電流等的影響。

第 2 圖所示具 NMOS 樹之骨牌式基本閘並未考慮到於求值相位 (Evaluation phase) 時，由於該 PMOS 電晶體 (MP1) 被關閉而工作在次臨界區 (Subthreshold region) 之漏電流，且亦未考慮到於待機模式時之電流消耗，因此仍有改良空間存在。

有鑑於此，本創作之主要目的係提出一種新穎架構之具低功率消耗之

NMOS 樹骨牌式電路，其不但考慮到於待機模式時之電流消耗，並且亦考慮到於求值相位時之漏電流。

本創作之次要目的係提出一種新穎架構之具低功率消耗之 NMOS 樹骨牌式電路，其可較先前之具 NMOS 樹之骨牌式基本閘具有更低之功率消耗。

【內容報告】

本創作提出一種新穎架構之具低功率消耗之 NMOS 樹骨牌式電路，其係由一第一控制電路（3）、一第二控制電路（4）、以及複數個具 NMOS 樹之骨牌式基本閘所組成，其中，每一具 NMOS 樹之骨牌式基本閘係包括有一 NMOS 樹（1）、一第一 PMOS 電晶體（MP1）、一第一 NMOS 電晶體（MN1）、一保持電路（2）以及一時脈（clk），該保持電路（2）更包括有一反相器（INV）以及一第二 PMOS 電晶體（MP2）。

【實施方法】

根據上述之目的，本創作提出一種具低功率消耗之 NMOS 樹骨牌式電路，如第 3 圖所示，為了便於說明起見，第 3 圖所示之電路僅以一第一控制電路 (3)、一第二控制電路 (4)、以及一個具 NMOS 樹之骨牌式基本閘做為實施例來說明。

如第 3 圖所示，該具低功率消耗之 NMOS 樹骨牌式電路係由一第一控制電路 (3)、一第二控制電路 (4) 以及一具 NMOS 樹之骨牌式基本閘所組成，其中，該具 NMOS 樹之骨牌式基本閘係包括有一 NMOS 樹 (1)、一第一 PMOS 電晶體 (MP1)、一第一 NMOS 電晶體 (MN1)、一保持電路 (2) 以及一時脈 (clk)，其中，該時脈 (clk) 之邏輯高電位 (Logic high) 為一第二電源電壓 (Vdd2) 之電位，而其邏輯低電位 (Logic low) 為參考接地之電位；該第一 PMOS 電晶體 (MP1) 之源極連接至一第一電源電壓 (Vdd)，閘極用於接受該時脈 (clk)，而汲極則連接至一第一內部節點 (N1)；該第一 NMOS 電晶體 (MN1) 之源極連接至參考接地，閘極用於接受該時脈 (clk)，而汲極則連接至一第二內部節點 (N2)；該 NMOS 樹 (1) 連接在該第一內部節點 (N1) 與該第二內部節點 (N2) 之間，並接受複數個邏輯輸入信號 (IN1、IN2、...、INn)，以便對該等邏輯輸入信號 (IN1、IN2、...、INn) 執行一邏輯運算，該邏輯運算之結果並經一反相器 (INV) 後傳送至一輸出端 (OUT)，供輸出或做為下一級具 NMOS 樹之骨牌式基本閘的一邏輯輸入信號。

請再參考第 3 圖，該保持電路 (2) 更包括有該反相器 (INV) 以及一第二 PMOS 電晶體 (MP2)，該反相器 (INV) 係連接在該第一內部節點 (N1) 與該輸出端 (OUT) 之間，而該第二 PMOS 電晶體 (MP2) 之汲極連接第一內部節點 (N1)，閘極連接至該輸出端 (OUT)，而源極則連接至該第二控制電路 (4)。

請再參考第 3 圖，該第一控制電路 (3) 包括有一第三 PMOS 電晶體 (MP3) 以及一第四 PMOS 電晶體 (MP4)，該第三 PMOS 電晶體 (MP3)

之源極連接至該第一電源電壓(Vdd)，閘極用於接受該時脈 (clk)，而汲極則連接至該第一 PMOS 電晶體(MP1)之基底，而該第四 PMOS 電晶體(MP4)之源極連接至該第二電源電壓(Vdd2)，閘極用於接受反相時脈 (/clk)，而汲極則連接至該第一 PMOS 電晶體 (MP1) 之基底，其中，該第二電源電壓 (Vdd2)之電位係高於該第一電源電壓(Vdd)之電位。

請再參考第 3 圖，該第二控制電路 (4) 只包括一開關 (SW)，該開關 (SW) 係由一 PMOS 電晶體所構成，該開關 (SW) 之源極連接至該第一電源電壓(Vdd)，閘極用於接受一待機指示信號 (SB)，而汲極則連接至該第二 PMOS 電晶體 (MP2) 之源極與該反相器 (INV) 中之正電源端子之間。

第 3 圖所示之具低功率消耗之 NMOS 樹骨牌式電路於操作模式 (Active mode) 時 (此時該待機指示信號 (SB) 為參考接地之邏輯低電位) 具有二個工作相位，第一個工作相位為預放電相位 (Precharge phase)，此時該時脈 (clk) 為參考接地之邏輯低電位 (Logic low)，該第一 NMOS 電晶體 (MN1) 被關閉而該第一 PMOS 電晶體 (MP1) 被導通，所以輸出端 (OUT) 會透過該反相器 (INV) 而放電至邏輯低電位；第二個工作相位為求值相位 (Evaluation phase)，此時該時脈 (clk) 為該第二電源電壓(Vdd2)之邏輯高電位 (Logic high)，該第一 NMOS 電晶體 (MN1) 被導通而該第一 PMOS 電晶體 (MP1) 被關閉，所以輸出端 (OUT) 的邏輯值會由該等邏輯輸入信號 (IN1、IN2、、、、INn) 而決定，並完成原先應該完成的布林函數。

在此值得注意的是，於求值相位時，由於此時該時脈 (clk) 為該第二電源電壓(Vdd2)之邏輯高電位，而反相時脈 (/clk) 為參考接地之邏輯低電位，因此該第一控制電路 (3) 中之該第三 PMOS 電晶體 (MP3) 被關閉，且該第一控制電路 (3) 中之該第四 PMOS 電晶體 (MP4) 被導通，於是該第一 PMOS 電晶體 (MP1) 之基底係連接至該第二電源電壓(Vdd2)；而於預充電相位時，由於此時該時脈 (clk) 為參考接地之邏輯低電位，而該反相時脈 (/clk) 為該第二電源電壓(Vdd2)之邏輯高電位，因此該控制電路 (3)

中之該第三 PMOS 電晶體 (MP3) 被導通，且該第一控制電路 (3) 中之該第四 PMOS 電晶體 (MP4) 被關閉，於是該第一 PMOS 電晶體 (MP1) 之基底係連接至該第一電源電壓(Vdd)。

接下來說明本創作如何減少操作模式時之功率消耗，首先比較第 3 圖所示之本創作較佳實施例與第 2 圖所示之習知具 NMOS 樹之骨牌式基本閘，由上述之分析可知，於求值相位時 (此時該第一 PMOS 電晶體 (MP1) 係呈關閉狀態)，本創作較佳實施例之該第一 PMOS 電晶體 (MP1) 之基底係連接至電位較該第一電源電壓(Vdd)為高之該第二電源電壓(Vdd2)，而第 2 圖所示之習知具 NMOS 樹之骨牌式基本閘的 PMOS 電晶體 (MP1) 之基底係連接至該第一電源電壓(Vdd)，根據電晶體之本體效應 (Body effect)，本創作較佳實施例之該第一 PMOS 電晶體 (MP1) 之臨界電壓的絕對值會較第 2 圖所示之習知具 NMOS 樹之骨牌式基本閘的 PMOS 電晶體 (MP1) 之臨界電壓的絕對值還大，因此流經本創作較佳實施例之該第一 PMOS 電晶體 (MP1) 之次臨界漏電流會較流經第 2 圖所示之習知具 NMOS 樹之骨牌式基本閘的 PMOS 電晶體 (MP1) 之次臨界漏電流更少。

再者，由於本創作較佳實施例之該第一 PMOS 電晶體 (MP1) 閘極所接受之該時脈 (clk) 的邏輯高電位為該第二電源電壓 (Vdd2) 之電位，而第 2 圖所示之習知具 NMOS 樹之骨牌式基本閘的 PMOS 電晶體 (MP1) 閘極所接受之該時脈 (clk) 的邏輯高電位為該第一電源電壓(Vdd)之電位，亦即本創作較佳實施例之該第一 PMOS 電晶體 (MP1) 於關閉時之閘源極電壓為該第二電源電壓(Vdd2)扣減該第一電源電壓(Vdd)之電壓，其值為一正數，而第 2 圖所示之習知具 NMOS 樹之骨牌式基本閘的 PMOS 電晶體(MP1) 於關閉時之閘源極電壓為 0 伏特，根據 94 年 3 月 8 日公告之美國專利公告第 US6865119 號專利案第 3(A)及 3(B)圖可知，對於 PMOS 電晶體而言，閘源極電壓為+0.1 伏特時之次臨界漏電流約為閘源極電壓為 0 伏特時之次臨界漏電流的 1%，因此本創作較佳實施例可更進一步降低次臨界漏電流。結果，整體觀之於操作模式時，本創作較佳實施例可較第 2 圖所示之習知具

NMOS 樹之骨牌式基本閘具有更低之功率消耗。

緊接著說明本創作如何減少待機模式時之功率消耗，比較第 3 圖所示之本創作較佳實施例與第 2 圖所示之習知具 NMOS 樹之骨牌式基本閘，於待機模式(Standby mode)時，本創作較佳實施例之該待機指示信號 (SB) 係為該第二電源電壓(Vdd2)之邏輯高電位，該時脈 (clk) 亦係為該第二電源電壓(Vdd2)之邏輯高電位，而該反相時脈 (/clk) 為參考接地之邏輯低電位，因此可藉由關閉該開關 (SW)，以禁能 (Disable) 該反相器 (INV) 以及該第二 PMOS 電晶體 (MP2)。在此值得注意的是，於待機模式時，呈關閉狀態之該第一 PMOS 電晶體 (MP1) 的閘源極電壓與基底源極電壓均設定為一正值，於是該第一 PMOS 電晶體 (MP1) 將具有更少之次臨界漏電流。結果，本創作於待機模式時，可有效防止功率消耗。

反觀，第 2 圖所示之習知具 NMOS 樹之骨牌式基本閘於待機模式時，該時脈 (clk) 為該第一電源電壓(Vdd)之邏輯高電位，而該反相時脈 (/clk) 為參考接地之邏輯低電位，此時由於該第一內部節點 (N1) 會因放電而呈邏輯低電位，該邏輯低電位會使該反相器 (INV) 中之 PMOS 電晶體 (未標示於第 2 圖中) 導通，而產生功率消耗。再者，第 2 圖所示之習知具 NMOS 樹之骨牌式基本閘於待機模式時，呈關閉狀態之該 PMOS 電晶體 (MP1) 的閘源極電壓與基底源極電壓均為 0 伏特，相較於第 3 圖所示之本創作較佳實施例，呈關閉狀態之該第一 PMOS 電晶體 (MP1) 的閘源極電壓與基底源極電壓均設定為一正值，因此於待機模式時，第 2 圖所示之習知具 NMOS 樹之骨牌式基本閘中之該 PMOS 電晶體 (MP1) 之次臨界漏電流仍會大於本創作較佳實施例中之該第一 PMOS 電晶體 (MP1) 之次臨界漏電流。

由上述分析可知，本創作較佳實施例不但可較第 2 圖所示之習知具 NMOS 樹之骨牌式基本閘於操作模式時具有更低之功率消耗，並且於待機時，本創作較佳實施例亦可較第 2 圖所示之習知具 NMOS 樹之骨牌式基本閘具有更低之功率消耗。

最後，討論該第二電源電壓 (V_{dd2}) 與該第一電源電壓 (V_{dd}) 之大小關係，既然該第二電源電壓 (V_{dd2}) 之電位較該第一電源電壓 (V_{dd}) 之電位為高，但為了避免產生閘極引發汲極洩漏 (Gate Induced Drain Leakage, 簡稱 GIDL) 電流，該第二電源電壓 (V_{dd2}) 之電位較該第一電源電壓 (V_{dd}) 之電位以不超過 1 伏特為限。

雖然該第一控制電路 (3) 的設置會產生部份之功率消耗，惟本創作所提出之具低功率消耗之 NMOS 樹骨牌式電路僅需設置一個該第一控制電路 (3)，因此該第一控制電路 (3) 所消耗之功率，相較於複數個具 NMOS 樹之骨牌式基本閘所節省之功率，仍顯微不足道。

【研究功效】

本創作所提出之具低功率消耗之NMOS樹骨牌式電路，具有如下功效：

- (1) 操作模式時具更低之功率消耗：藉由該第一控制電路（3）的設置以及將該時脈（clk）之邏輯高電位設定為較該第一電源電壓(Vdd)為高之該第二電源電壓(Vdd2)，可使得於求值相位期間呈關閉狀態之該第一 PMOS 電晶體（MP1）的閘源極電壓與基底源極電壓均為一正值，根據電晶體之本體效應(Body effect)以及美國專利公告第 US6865119 號專利案第 3(A)及 3(B)圖之結果，本創作可有效減少操作模式時之功率消耗；
- (2) 待機模式時具低功率消耗：藉由該第二控制電路（4）的設置以及將該待機指示信號（SB）之邏輯高電位設定為較該第一電源電壓(Vdd)為高之該第二電源電壓(Vdd2)，以禁能（Disable）該反相器（INV）以及該第二 PMOS 電晶體(MP2)，並且將呈關閉狀態之該第一 PMOS 電晶體（MP1）的閘源極電壓與基底源極電壓均設定為一正值，因此本創作可有效減少待機模式時之功率消耗。

雖然本創作特別揭露並描述了所選之最佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本創作的精神與範圍。因此，所有相關技術範疇內之改變都包括在本創作之申請專利範圍內。

【圖式說明】

第1圖 係顯示一種習知具NMOS樹之骨牌式基本閘；

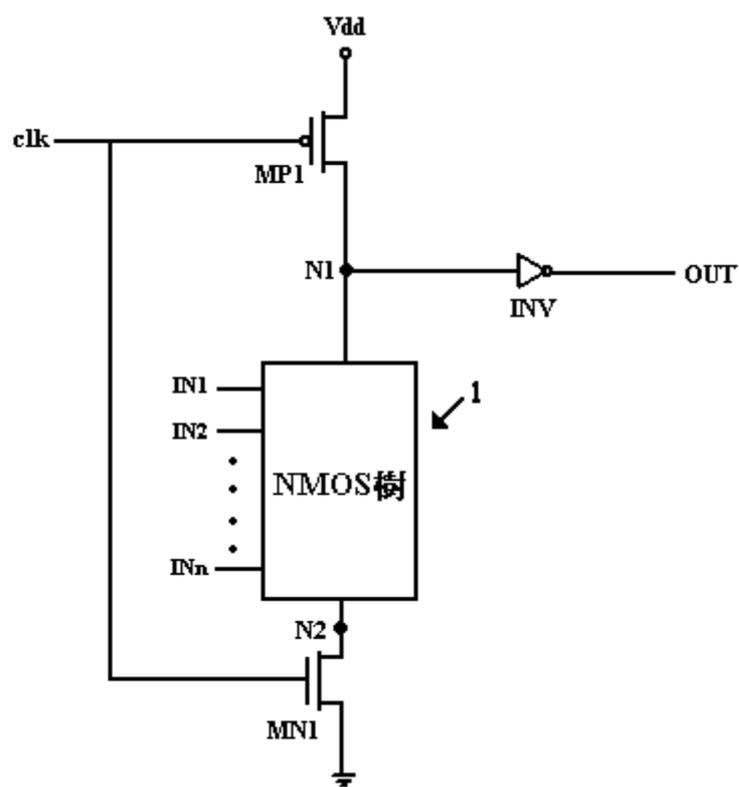
第2圖 係顯示另一種習知具NMOS樹之骨牌式基本閘；

第3圖 係顯示本創作較佳實施例之具低功率消耗之NMOS樹骨牌式電路。

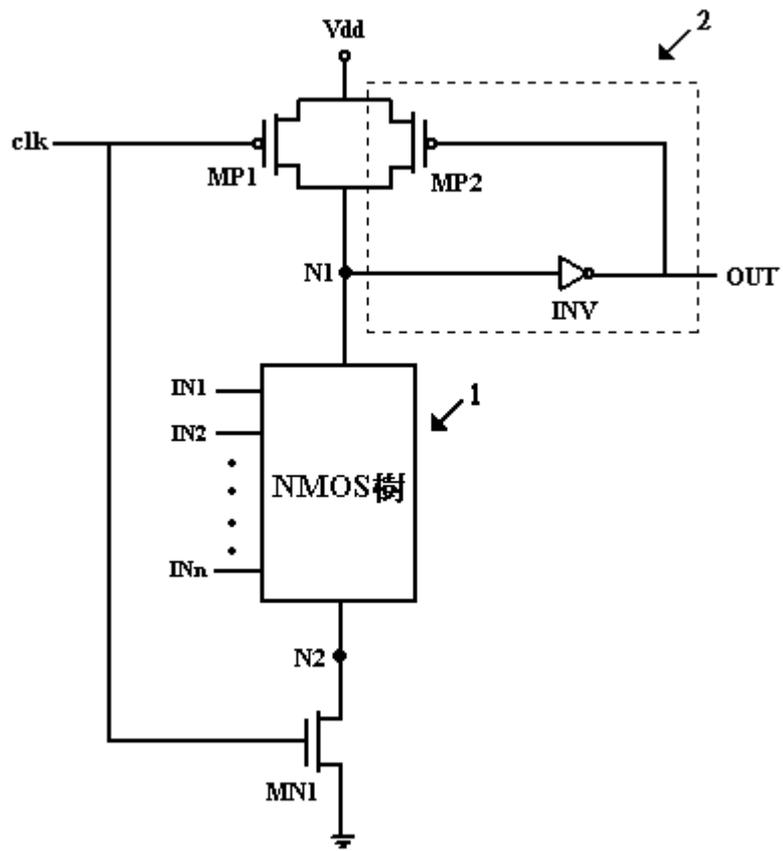
【主要元件符號說明】

1	NMOS 樹	2	保持電路
3	第一控制電路	4	第二控制電路
Vdd	第一電源電壓	Vdd2	第二電源電壓
INV	反相器	MP1	第一 PMOS 電晶體
MP2	第二 PMOS 電晶體	MP3	第三 PMOS 電晶體
MP4	第四 PMOS 電晶體	MN1	第一 NMOS 電晶體
SW	開關	N1	第一內部節點
N2	第二內部節點	clk	時脈
/clk	反相時脈	SB	待機指示信號

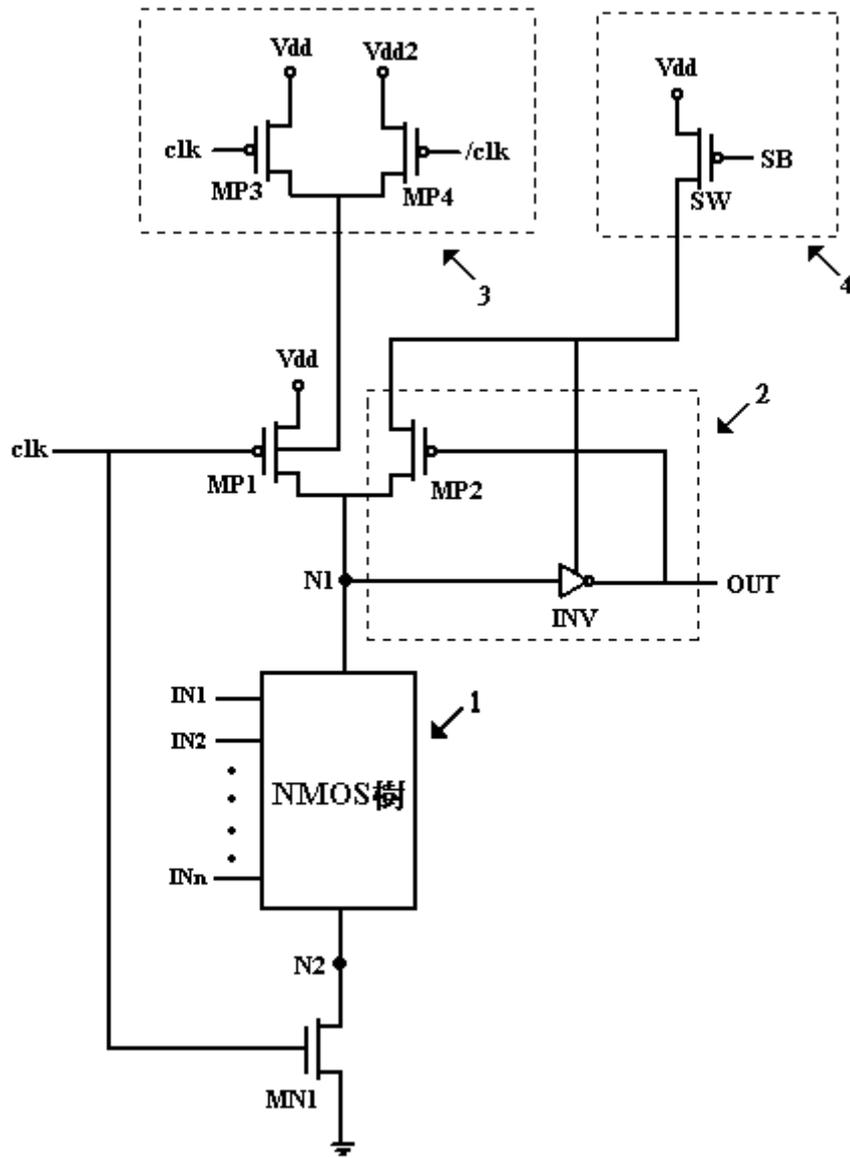
【圖式】



第 1 圖



第 2 圖



第 3 圖

參考文獻

Becker, & Scott T. (Darien, I. (March 8, 2005). *Patent No. 6,865,119*. US.

BERTRAMA.RAYMOND. (2007/05/11). 專利號碼 I281319 . 台灣.

BERTRAMA.RAYMOND, & LUNDBERGR.JAMES. (2006/08/01). 專利號碼 I259657 . 台灣.

Choe, & Swee Yew (MilpitasCA). (March 30, 2004). 專利號碼 6,714,059. US.

KangSung-Mo, LeblebiciYusuf, /著, 黃正光, & 吳吳紹懋/譯. (2004 年 12 月 01 日). CMOS 數位積體電路分析與設計(第三版). 全華科技.

Narendra, Siva G. (BeavertonYeOR),, Yibin (HillsboroDeOR),, & Vivek K. (BeavertonOR). (November 25, 2003). 專利號碼 6,653,866. US.

李正昇. (2007/11/01). 專利號碼 200741741. 台灣.

洪子健. (無日期). 靜態隨機存取記憶體 (SRAM) 中的漏電流控制. 系統晶片科技中心技術期刊 第四期, 頁 111-118.

都塔山塔諾, & 辛狄派克. (2003/06/01). 專利號碼 535355 . 台灣.

雷蒙 A.BERTRAM 貝爾川/RAYMOND,. (2005/08/01). 專利號碼 I237265 . 台灣.

作者簡介

作者一	
姓名	蕭明椿
職稱	教授
專長領域	1. 電腦輔助電路模擬與設計。 2. 記憶體元件與裝置之研究。 3. 積體電路 ESD 防護電路之研究。 4. 單晶片產品設計。

作者二	
姓名	張雅筑
職稱	學生
E-mail	Loveriva520@yahoo.com.tw

作者三	
姓名	彭嘉瑋
職稱	學生
E-mail	Hip_hop0130@yahoo.com.tw