

行政院國家科學委員會專題研究計畫 成果報告

使用於圖像識別的多功能開關電流模糊處理器

計畫類別：個別型計畫

計畫編號：NSC91-2215-E-164-003-

執行期間：91年08月01日至92年07月31日

執行單位：修平技術學院電機工程系

計畫主持人：余建政

報告類型：精簡報告

處理方式：本計畫涉及專利或其他智慧財產權，2年後可公開查詢

中 華 民 國 92 年 10 月 31 日

國科會專題研究計畫成果報告撰寫格式

一、說明

國科會基於學術公開之立場，鼓勵一般專題研究計畫主持人發表其研究成果，但主持人對於研究成果之內容應負完全責任。計畫內容及研究成果如涉及專利或其他智慧財產權、違異現行醫藥衛生規範、影響公序良俗或政治社會安定等顧慮者，應事先通知國科會不宜將所繳交之成果報告蒐錄於學門成果報告彙編或公開查詢，以免造成無謂之困擾。另外，各學門在製作成果報告彙編時，將直接使用主持人提供的成果報告，因此主持人在繳交報告之前，應對內容詳細校對，以確定其正確性。

本格式說明僅為統一成果報告之格式，以供撰寫之參考，並非限制研究成果之呈現方式。精簡報告之篇幅（不含封面之頁數）以 4 至 10 頁為原則，完整報告之篇幅則不限制頁數。

成果報告繳交之期限及種類（精簡報告、完整報告或期中報告等），應依本會補助專題研究計畫作業要點及專題研究計畫經費核定清單之規定辦理。

二、內容格式：依序為封面、中英文摘要、目錄（精簡報告得省略）、報告內容、參考文獻、計畫成果自評、可供推廣之研發成果資料表、附錄。

(一)報告封面：請至本會網站(<http://www.nsc.gov.tw>)下載製作(格式如附件一)

(二)中、英文摘要及關鍵詞(keywords)。

(三)報告內容：請包括前言、研究目的、文獻探討、研究方法、結果與討論（含結論與建議）等。若該計畫已有論文發表者，可以 A4 紙影印，作為成果報告內容或附錄，並請註明發表刊物名稱、卷期及出版日期。若有與執行本計畫相關之著作、專利、技術報告、或學生畢業論文等，請在參考文獻內註明之，俾可供進一步查考。

(四)頁碼編寫：請對摘要及目錄部分用羅馬字 I、II、III 標在每頁下方中央；報告內容至附錄部分請以阿拉伯數字 1.2.3. 順序標在每頁下方中央。

(五)附表及附圖可列在文中或參考文獻之後，各表、圖請說明內容。

(六)計畫成果自評部份，請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

(七)可供推廣之研發成果資料表：凡研究性質屬**應用研究及技術發展**之計畫，請依本會提供之表格（如附件二），每項研發成果填寫一份。

三、計畫中獲補助國外或大陸地區差旅費、出席國際學術會議差旅費或國際合作研究計畫差旅費者，須依規定撰寫心得報告（出席國際學術會議者須另附發表之論文），以附件方式併同成果報告繳交，並請於成果報告封面註記。

四、打字編印注意事項

1. 用紙

使用 A4 紙，即長 29.7 公分，寬 21 公分。

2. 格式

中文打字規格為每行繕打(行間不另留間距)，英文打字規格為 Single Space。

3. 字體

報告之正文以中英文撰寫均可。在字體之使用方面，英文使用 Times New Roman Font，中文使用標楷體，字體大小請以 12 號為主。

行政院國家科學委員會補助專題研究計畫 成果報告
期中進度報告

使用於圖像識別的多功能開關電流模糊處理器

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 91 - 2215 - E - 164 - 003 -

執行期間：九十一年八月一日至 九十二年七月三十一日

計畫主持人：余 建 政

共同主持人：

計畫參與人員：

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：修平技術學院電機工程系

中 華 民 國 九 十 二 年 九 月 二 十 一 日

可供推廣之研發成果資料表

可申請專利

可技術移轉

日期：92年9月21日

國科會補助計畫	計畫名稱：使用於圖像識別的多功能開關電流模糊處理器 計畫主持人：余建政 計畫編號：NSC 91 - 2215 - E - 164 - 003 - 學門領域：微電工程
技術/創作名稱	低功率多輸入電流型 winner-take-all 電路
發明人/創作人	余建政
技術說明	中文： 採用樹狀(tree)架構來對具有 n 輸入電流做比較的 WTA 電路已設計成功，所提出的 2-WTA 電路包含電流比較電路(comparator)、電壓位準轉換電路(Level-shifter)、控制邏輯電路(Controller)三個部分。此研究的結果顯示透過控制邏輯電路的作用可以大大降低 WTA 電路的功率損耗。
	英文： A tree WTA circuit design technique based on current mode signal processing has been designed successfully. Each 2-WTA circuit is based on the two input comparator subcircuit, level shifter, and controller. The result of this study indicated that through the use of controller circuit would reduce the power consumption of WTA circuit.
可利用之產業及可開發之產品	可利用的產業：電子相關產業 可開發之產品：模糊處理器(fuzzy processor)、神經網路處理器(neural processor)
技術特點	低功率損耗 高準確性(Accuracy) 高擴展性(Expandability)
推廣及運用的價值	可運用於文字識別模糊處理器。

1. 每項研發成果請填寫一式二份，一份隨成果報告送繳本會，一份送 貴單位研發成果推廣單位（如技術移轉中心）。
2. 本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。
3. 本表若不敷使用，請自行影印使用。

一、中文摘要

本計劃中,我們採用樹狀(tree)WTA 架構來對具有 n 輸入電流做比較。最大電流 I_{\max} 將由 n 個輸入電流中選擇出來,並且可以得到該電流的編號(index)。在第一列中,輸入電流 I_1, I_2, \dots, I_n 由 $n/2$ 個 2-WTA 電路做第一次比較,每一個 2-WTA 電路可以辨識出兩輸入電流的最大值。而以下每一列的 2-WTA 電路個數都比前一列少一半,所以最後一列 2-WTA 電路可辨識出 n 個輸入電流的最大值,而最大電流的編號亦可由控制邏輯得到。

一個基本的 2-WTA 電路包含電流比較電路(comparator)、電壓位準轉換電路(Level-shifter)、控制邏輯電路(Controller)三個部分,電流比較電路為一個電流型二輸入比較電路,電壓位準轉換電路用來將 V_t 值以上的電壓轉換為標準數位邏輯訊號,而控制邏輯電路用來辨識最大電流的編號 D_i 。信號 EN_k 、 EN_r 將連接到前一級的 EN 訊號,關閉電流較低的 2-WTA 電路。

二、英文摘要

In this project, a WTA circuit design technique based on current mode signal processing has been proposed. The largest current is selected from a set of n currents participating in a competition. The index of the winner is also identified. Subsequent rows consist of half of subcircuits from previous row. Each subcircuit identifies maximum of two input currents, so the subcircuit in the last row identifies the maximum current from among n inputs currents. The index of the winner is identified with a help of comparators and control logic circuit.

Each 2-WTA circuit is based on the two input comparator subcircuit, level shifter, and controller. Comparator subcircuit identifies the larger of its two input currents and produces an output current which is a copy of its local winner.

三、報告內容

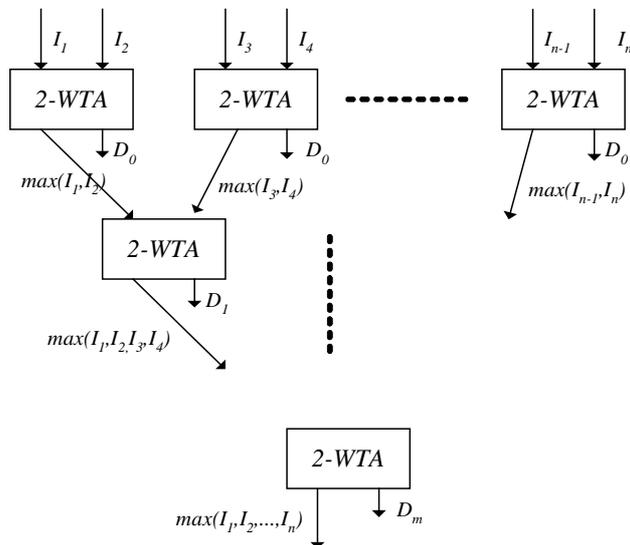
前言

在執行本計劃的一年中，我們除了已完成數位電路部份中的特徵解碼器、權重解碼器以及
時序與控制電路設計，我們還完成了類比電路部份中的 winner-take-all(WTA)電路設計。我
們準備已將 WTA 這部分的成果投稿至 ASICON'2003，並且已被大會接受。

研究方法

1. 樹狀 WTA 架構

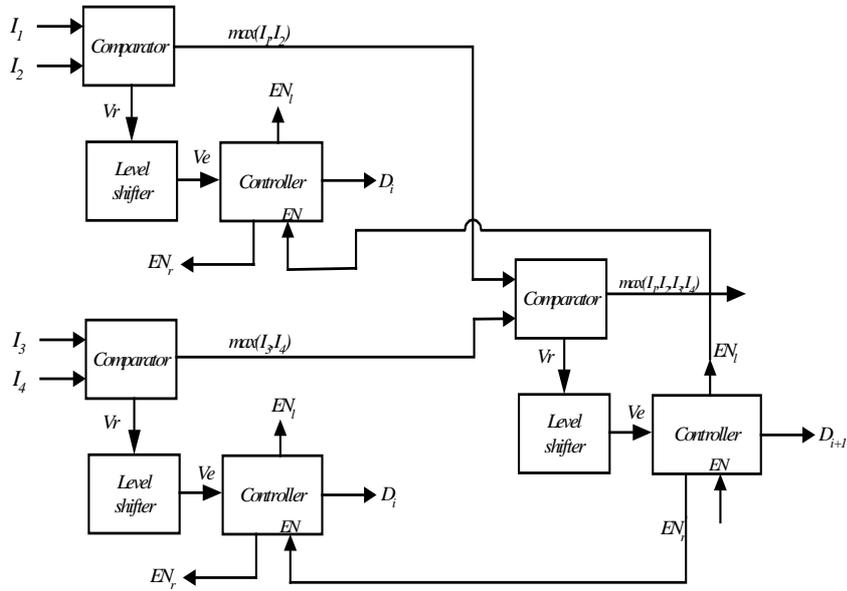
我們採用樹狀(tree)WTA 架構來對具有 n 輸入電流做比較，如圖一所示。最大電流 I_{\max}
將由 n 個輸入電流中選擇出來，並且可以得到該電流的編號(index)。首先，在第一列中，
輸入電流 I_1, I_2, \dots, I_n 由 $n/2$ 個 2-WTA 電路做第一次比較，每一個 2-WTA 電路可以辨識出兩
輸入電流的最大值。而以下每一列的 2-WTA 電路個數都比前一列少一半，所以最後一列
2-WTA 電路可辨識出 n 個輸入電流的最大值，而最大電流的編號亦可由控制邏輯得到。



圖一 樹狀 WTA 電路

2. 基本 2-WTA 電路

一個基本的 2-WTA 電路如圖二所示，其包含電流比較電路(comparator)、電壓位準轉
換電路(Level-shifter)、控制邏輯電路(Controller)三個部分，電流比較電路為一個電流型二輸
入比較電路，電壓位準轉換電路，可將 V_t 值以上的電壓轉換為標準數位邏輯訊號，而控制
邏輯電路可以用來辨識最大電流的編號 D_i (同一級的 D_i 訊號將連接在一起)。信號 EN_k, EN_r
將連接到前一級的 EN 訊號，關閉電流較低的 2-WTA 電路。



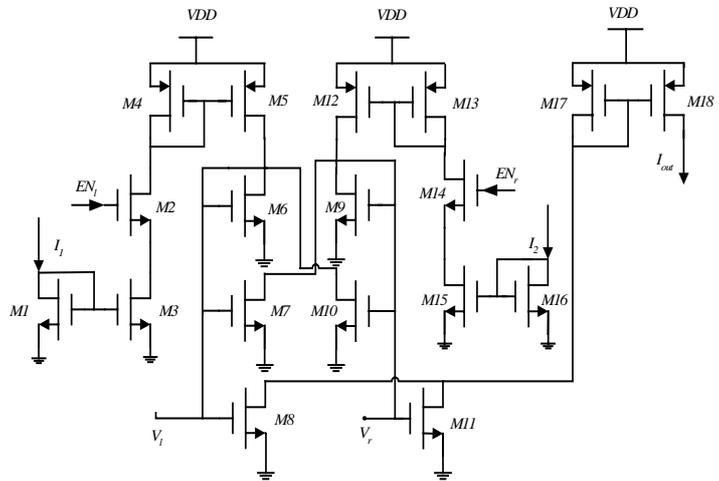
圖二 2-WTA 電路

(1)電流比較電路

二輸入電流比較電路如圖三所示，其利用電流競爭的方式彼此競爭取得最大電流。在此電路中，每一電流輸入端都對應一對電流鏡電路，M2 及 M14 連接著控制致能端 EN_i 及 EN_r ，當致能端為高電位時，電流可順利通過；若致能端為低電位時，輸入電流即被截斷，以降低功率損耗。M6、M9 為 I_1 、 I_2 的輸入電晶體，其在 M7、M8 產生 I_1 的電流，在 M10、M11 產生 I_2 的電流。

若 $I_1 > I_2$ ，則 I_2 的電流將流經 M7，而 M9、M10、M11 將被抑制在非飽和區或接近非飽和區，而 M9、M10、M11 處於電流截止的狀態；反之，若 $I_2 > I_1$ ，則 I_1 的電流將流經 M10，而 M6、M7、M8 將被抑制在非飽和區或接近非飽和區，而處於電流截止的狀態。M8 和 M11 將把兩相應節點產生的電流相加而得到最後結果 I_{out} ，由於 M8 和 M11 其至少有一處於電流截止狀態，故輸出電流 I_{out} 必為其中較大的輸入電流。

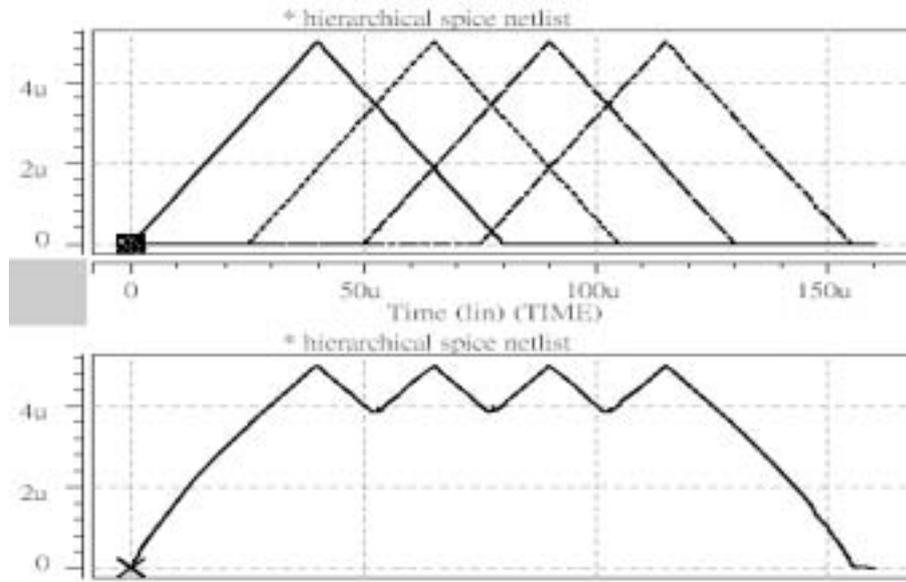
按照上述的分析，兩輸入端相互間都會有抑制的作用，這裡存在著一種競爭機制，即對應最大電流輸入端，由於各電晶體的導通電阻相對較小，因此將把另一輸入端的電流吸引過來，同時將相對應節點抑制到低電位。



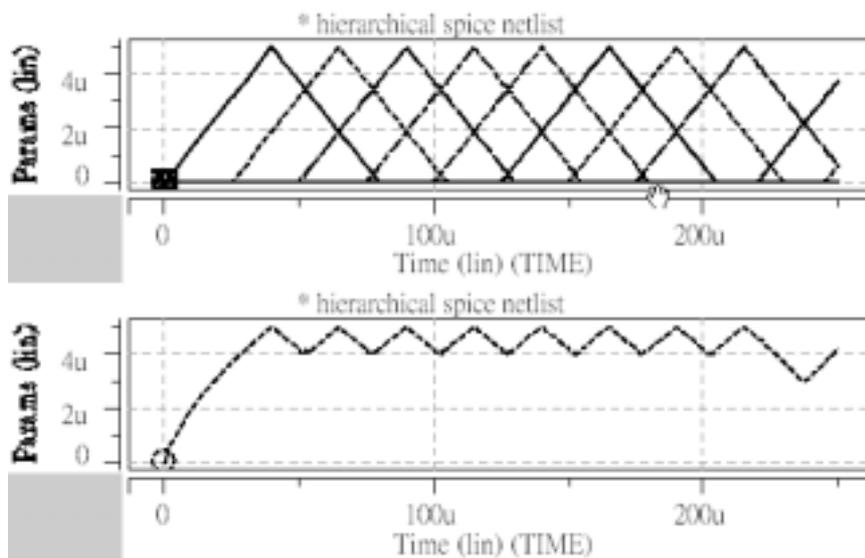
圖三 電流比較電路

結果與討論

我們對於 WTA 電路的工作特性進行了 HSPICE 模擬。圖六是對四輸入 MAX 電路的模擬結果，圖七是對八輸入 MAX 電路的模擬結果。



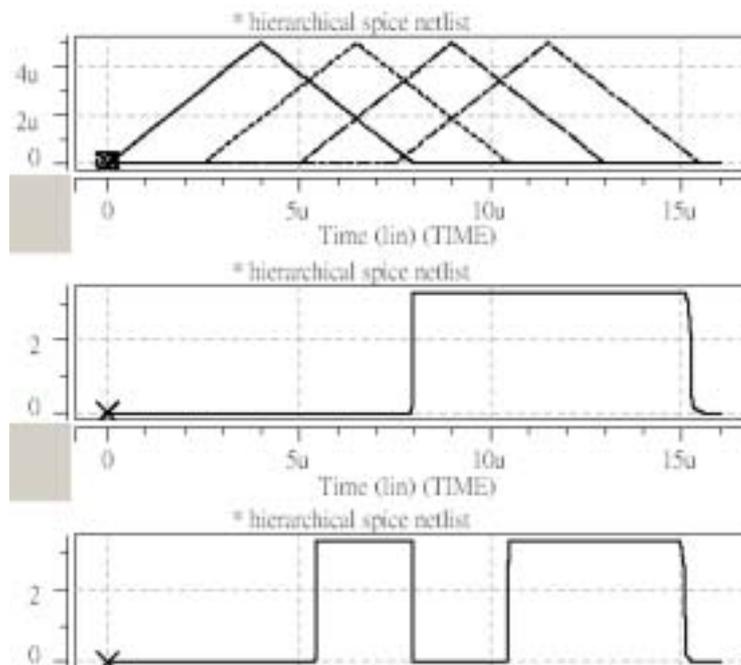
圖六 四輸入 MAX 電路



圖七 八輸入 MAX 電路

模擬結果顯示：四輸入 MAX 電路的工作速度是較快的。由於輸入端增多時，每個電流輸入端所要驅動的電晶體數目增多，工作速度會減慢。亦即，若輸入端增多，則收斂時間會增加。但對於本計劃模糊邏輯辨識器中，所使用的最多輸入端個數為 11，收斂時間影響不大。

圖八所示為控制邏輯電路的模擬輸出結果。



圖八 控制邏輯電路

計畫成果自評

在執行本計畫的這一年中，我們除了已經設計數位電路部分外，我們還設計了類比部分的 WTA 電路。WTA 電路主要在討論 Accuracy、Speed、Circuit complexity、Power consumption、Chip area、Expandability、Stability 等部分，目前我們正在對於整個 WTA 電路進行整理和撰寫工作，並對 CIC 送回之晶片進行測試工作。該電路的子電路—電位轉換器已經發表於 International Symposium on Nonlinear Theory and its Applications (NOLTA'2002), pp.797-800。此外，WTA 電路之設計亦獲 The 5th International Conference On ASIC (ASICON'03)大會接受。

雖然，本計畫第 2~3 年未獲國科會補助；但，我們仍將持續把整個辨識系統完成。

文獻探討

1. D.Y. Aksin, "A high-precision high-resolution WTA-MAX circuit of $O(N)$ complexity," *IEEE Trans. Circuits and Systems II: Analog and Digital Signal Processing*, vol. 49, no. 1, Jan. 2002, pp. 48–53.
2. Chi-Sheng Lin; Shin-Hong Ou; Bin-Da Liu, "Design of k-WTA/Sorting network using maskable WTA/MAX circuit," *International Symposium on VLSI Technology*, 2001, pp. 69–72.
3. T. Serrano-Gotarredona, B. Linares-Barranco,; "Experimental results on the current-mode WTA-MAX circuit with multi-chip capability," *Proceedings of IEEE International Symposium on Circuits and Systems*, vol. 1, Jun. 1997, pp. 561–564.
4. T. Serrano-Gotarredona, B. Linares-Barranco, "A high-precision current-mode WTA-MAX circuit with multichip capability," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 2, Feb. 1998, pp. 280–286.
5. S.-H. Ou, Chi-Sheng Lin, Bin-Da Liu, "A scalable sorting architecture based on maskable WTA/MAX circuit," *IEEE International Symposium on Circuits and Systems*, vol. 4, 2002, pp. 209–212.
6. G. Nairn, G. David, "High-speed switched-current circuits using trans-impedance amplifiers,"

- Microelectronics Journal*, vol. 26, no. 1, Jan., 1995, pp. 35-41.
7. Chen Bor-Tow, Chen Yung-Sheng, and Hsu Wen-Hsing, "Performance evaluation of a parameterized fuzzy processor (PFP)," *Fuzzy Sets and Systems*, vol. 81, no. 3, Aug., 1996, pp. 293-309.
 8. G. Ascia, V. Catania, A. Puliafito, and L. Vita, "A Reconfigurable Parallel Architecture for a Fuzzy Processor," *Information Sciences*, vol. 88, no. 1-4, Jan., 1996, pp. 299-315.
 9. G. V. Russo, C. Petta, D. Lopresti, N. Randazzo, and M. Russo, "Silicon Drift Detector Readout and On-Line Data Reduction using a Fast VLSI Dedicated Fuzzy Processor," *Information Sciences*, vol. 95, no.3-4, Dec., 1996, pp. 233-260.
 10. M. Sugisaka, Wang Xin, and Ju-Jung Lee, "Intelligent control strategy for a mobile vehicle," *Applied Mathematics and Computation*, vol. 91, no. 1, April, 1998, pp. 91-98.
 11. G. V. Russo, U. Becciani, L. Caponetto, C. Caligiore, L. Lo Nigro, D. Lo Presti, S. Panebianco, *et. Al.*, "Smart readout of silicon drift detector using ON-LINE fuzzy logic," *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 443, no. 2-3, April, 2000, pp. 478-502.
 12. A. Mukherjee, K. Shivaprasad, R. I. K. Moorthy, *et. Al.*, "A neuro-fuzzy tool for CT-PT contact detection in a pressurized heavy water reactor," *Engineering Applications of Artificial Intelligence*, vol. 13, no. 4, Aug., 2000, pp. 451-458.
 13. B. Roche, T. M. McGinnity, L. P. Maguire, and L. J. McDaid, "Modeling architectures for VLSI implementations of fuzzy logic systems," *Information Sciences*, vol. 115, no. 1-4, April, 1999, pp. 1-9.
 14. G. Ascia, V. Catania, A. Puliafito, and L. Vita, "A Reconfigurable Parallel Architecture for a Fuzzy Processor," *Information Sciences*, vol. 88, no. 1-4, Jan., 1996, pp. 299-315.
 15. G. V. Russo, C. Petta, D. Lopresti, N. Randazzo, and M. Russo, "Silicon Drift Detector Readout and On-Line Data Reduction using a Fast VLSI Dedicated Fuzzy Processor," *Information Sciences*, vol. 95, no. 3-4, Dec., 1996, pp. 233-260.
 16. Pei-Yin Chen, and Jer Min Jou, "Adaptive arithmetic coding using fuzzy reasoning and grey prediction," *Fuzzy Sets and Systems*, vol. 114, no. 2, Sep., 2000, pp. 239-254.
 17. Xiangru Meng, Guanyuan Qiu, "The Design of Differentiator-Based Switched-Current High-Pass Ladder Filters," *Chinese Science Abstracts Series A*, vol. 14, no. 3, May, 1995, pp. 61.
 18. J. M. de la Rosa, B. Pérez-Verdú, F. Medeiro, R. Domínguez-Castro, *et. Al.*, "A CMOS 0.8 μm fully differential current mode buffer for HF SI circuits," *Microelectronics Journal (Incorporating Journal of Semicustom Ics)*, vol. 29, no.11, Nov., 1998, pp. 817-820.
 19. J. C Bezdek, "Hybrid modeling in pattern recognition and control," *Knowledge-Based Systems*, vol. 8, no. 6, Dec., 1995, pp. 359-371.
 20. B. Shukhat, "Supervised fuzzy pattern recognition," *Fuzzy Sets and Systems*, vol. 100, no. 1-3, Nov., 1998, pp. 257-265.
 21. J. Ozols, A. Borisov, "Fuzzy classification based on pattern projections analysis," *Pattern Recognition*, vol. 34, no.4, April, 2001, pp. 763-781.
 22. F. Ivancic, A. Malaviya, L. Peters, "An automatic rule base generation method for fuzzy pattern recognition with multiphased clustering," *Proc. Second International Conference on*

