

唯讀記憶體感測電路

蕭明椿

摘 要

本創作提出一種新穎之唯讀記憶體感測電路，其係由第一 PMOS 電晶體 MP1、第一 NMOS 電晶體 MN1、反或閘 NOR、第二 PMOS 電晶體 MP2、第一反相器 NOT1、以及第二反相器 NOT2 所組成，其中該 MN1 之背閘極 (back gate) 與源極 (source) 間係設計成順向偏壓。當記憶單元在低電位 VSS (即儲存邏輯 0 之資料) 時，可藉由 MN1 背閘極對源極的順向偏壓而大幅降低臨限電壓及增大汲極電流，可加快內部節點 A 之放電速度；而當記憶單元在浮接 (floating) 電位 (即儲存邏輯 1 之資料) 時，則因本創作之感測電路設計有由 MP2 所構成並與 MP1 呈並聯連接之電流路徑，因此，可有效加快內部節點 A 之充電速度。故本設計電路不論記憶單元係在低電位 VSS，或是在浮接電位之狀態均能達到更快速感測之功效。

關鍵詞：感測電路，唯讀記憶體，背閘極，浮接，臨限電壓。

一、簡介

[創作領域]

本創作係有關於一種唯讀記憶體感測電路，尤指一種具快速感測之唯讀記憶體感測電路。

[創作背景說明]

唯讀記憶體 (read-only memory, ROM) 是一種非揮發性半導體記憶體 (nonvolatile semiconductor memory)，其適用於需要高密度及高固定性記憶體之系統中。由於唯讀記憶體之特性為可讀取但不可寫入，其所儲存之資料特性為永久且不會被抹滅的，因此一般家電產品、遊樂器、或微處理控制器等，即經常利用唯讀記憶體來儲存資料。

唯讀記憶體所儲存之資料係經由感測電路 (sense circuit) [1-24]加以讀取，該感測電路將唯讀記憶體中之微弱電流加以放大後輸出。感測電路之配置示意圖如圖一所示，當中央處理器 2 欲讀取 (READ) 記憶單元 3 之資料時，即送出致能訊號 (CE) 至感測電路 1，並送出記憶體位址到記憶單元 3 中，該感測電路即先對記憶單元內的資料作電位之偵測，並改變偵測到的電位，使其介於 0 電位與記憶體高電位之間，同時將改變後的資料傳送至中央處理器 2 內，以等待中央處理器之後序工作。

唯讀記憶體之感測電路參閱圖二所示，該感測電路包括：NMOS 電晶體 MN1、PMOS 電晶體 MP1、反或閘 NOR 以及第一與第二反相器 NOT1 和 NOT2。

記憶單元之電位有浮接 (floating) 及低電位 (VSS) 兩種狀態，當記憶單元之電位為低電位 (VSS) 時，反或閘 NOR 即會輸出一準位為電源供應電壓 VDD 之高電位至電晶體 MN1 並使其導通 (ON)，此記憶單元之低電位即經由電晶體 MN1 傳送至內部節點 A，且經由第一與第二反相器 NOT1 和 NOT2

加以放大後輸出低電位 VSS，此即完成低電位狀態之感測。

而當記憶單元之電位為浮接 (floating) 時，電晶體 MN1 呈關閉 (OFF) 狀態，此時電晶體 MP1 係組成一 pull-high 電路，電源供應電壓 VDD 將使電晶體 MP1 導通 (ON)，並將內部節點 A 之電位拉升至電源供應電壓 VDD，然後再經由第一與第二反相器 NOT1 和 NOT2 加以放大後輸出電源供應電壓 VDD，此即完成浮接狀態之感測。

以上所談之感測電路上雖能達到偵測記憶單元電位之目的，但仍具有下列缺點：

- 1.若記憶單元之電位為低電位 (VSS) 狀態，則在此低電位之感測期間，因 PMOS 電晶體 MP1 仍呈導通 (ON) 狀態，為了使內部節點 A 之電位足夠低，該 PMOS 電晶體 MP1 需設計成具有小的通道寬長比 W/L (channel width/length ratio)，此具有小的通道寬長比 W/L 之 PMOS 電晶體 MP1 將降低記憶單元為浮接狀態時之感測速度。
- 2.因感測電路中之 NMOS 電晶體 MN1 的背閘極係連接至低電位 VSS，遂使得該背閘極 (back gate) 與源極間呈反向偏壓 (reverse bias)，此導致 NMOS 電晶體 MN1 之臨限電壓 (threshold voltage) 過大，該過大的臨限電壓將降低記憶單元為低電位 VSS 時之感測速度。

有鑑於此，本創作之主要目的係提出一種新式之唯讀記憶體感測電路，其不論記憶單元是在浮接狀態或是在低電位狀態下，均能較快速地完成記憶單元中之資料感測。

[創作簡述]

根據上述之目的，本創作提出一種新式之唯讀記憶體感測電路，其應用於記憶單元在浮接 (floating) 電位及低電位 (VSS) 時，均能較快速地讀取記憶體中之資料以達感測之目的，該唯讀記憶體感測電路包括：第一 PMOS 電晶體 MP1，其源極係連接至電源供應電壓 VDD，汲極連接至內部節點 A，而閘極則連接至接地節點 GND；第一 NMOS 電晶體 MN1，其背閘極與源極

間係設計成順向偏壓 (forward bias)，並將其源極連接至內部節點 B，汲極連接至內部節點 A，而閘極則連接反或閘 NOR 之輸出；反或閘 NOR，其用以接受記憶單元之資料以及晶片致能訊號 (CE)；第二 PMOS 電晶體 MP2，其源極係連接至電源供應電壓 VDD，汲極連接至內部節點 A，而閘極則連接至內部節點 C；第一反相器 NOT1，其輸入連接至內部節點 A，輸出連接至內部節點 C；第二反相器 NOT2，其輸入連接至內部節點 C，輸出則連接至輸出端子 OUT。

二、唯讀記憶體感測電路之設計

[創作之詳細說明]

請參考圖三所示本創作較佳實施例之唯讀記憶體感測電路，其包括：第一 PMOS 電晶體 MP1，其源極係連接至電源供應電壓 VDD，汲極連接至內部節點 A，而閘極則連接至接地節點 GND；第一 NMOS 電晶體 MN1，其背閘極係連接至一偏壓電路以提供背閘極與源極間之順向偏壓，而源極連接至內部節點 B，汲極連接至內部節點 A，閘極則連接反或閘 NOR 之輸出；反或閘 NOR，其用以接受記憶單元之資料以及晶片致能訊號 (CE)；第二 PMOS 電晶體 MP2，其源極係連接至電源供應電壓 VDD，汲極連接至內部節點 A，而閘極則連接至內部節點 C；第一反相器 NOT1，其輸入連接至內部節點 A，輸出連接至內部節點 C；第二反相器 NOT2，其輸入連接至內部節點 C，輸出則連接至輸出端子 OUT。

於此，當記憶單元電位為低電位時，反或閘 NOR 即會輸出一準位為電源供應電壓 VDD 之高電位至第一 NMOS 電晶體 MN1 之閘極，並使其導通 (ON)，此時因該第一 NMOS 電晶體 MN1 之背閘極係連接至一偏壓電路以提供背閘極與源極間之順向偏壓，此不但可大幅降低第一 NMOS 電晶體 MN1 之臨限電壓，並且亦可增大該第一 NMOS 電晶體 MN1 之汲極電流，因而可加速內部節點 A 之放電速度，並將該內部節點 A 之電位放電至邏輯低準位

(logic low level)，此邏輯低準位之內部節點 A 然後經由第一反相器 NOT1 反相後傳輸至內部節點 C，此內部節點 C 一方面使第二 PMOS 電晶體 MP2 呈關閉(OFF)狀態，另一方面再經由第二反相器 NOT2 反相至低電壓之準位，此即完成低電位狀態之感測。

當記憶單元電位為浮接時，第一 NMOS 電晶體 MN1 呈關閉 (OFF)狀態，此時第一 PMOS 電晶體 MP1 係組成一 pull-high 電路，電源供應電壓 VDD 將使第一 PMOS 電晶體 MP1 導通，並將內部節點 A 之電位朝電源供應電壓 VDD 之準位拉升，在此拉升過程中同時也經由第一反相器 NOT1 之反相而傳輸至內部節點 C，此時內部節點 C 之電位係由電源供應電壓 VDD 之準位朝接地電位拉降，當內部節點 C 之電位拉降至 $VDD - |V_{tp}|$ (其中 V_{tp} 代表第二 PMOS 電晶體 MP2 之臨限電壓)以後，即可使第二 PMOS 電晶體 MP2 呈導通 (ON)狀態，因該第二 PMOS 電晶體 MP2 之電流路徑係與第一 PMOS 電晶體 MP1 之電流路徑呈並聯連接，因此可藉該並聯之雙路電流結構，以加速內部節點 A 之電位朝電源供應電壓 VDD 之準位拉升，然後再經由第一與第二反相器 NOT1 和 NOT2 加以放大後輸出電源供應電壓 VDD 至輸出端子 OUT，此即完成浮接狀態之感測。

相較於習用之感測電路，本創作於記憶單元為低電位 VSS (即儲存邏輯 0 之資料) 時，可藉背閘極與源極間呈順向偏壓之第一 NMOS 電晶體 MN1 的作用，以加快內部節點 A 之放電速度；而當記憶單元在浮接電位 (即儲存邏輯 1 之資料) 時，則因設計有一由第二 PMOS 電晶體 MP2 所構成並與第一 PMOS 電晶體 MP1 呈並聯連接之電流路徑，因此，亦可有效加快內部節點 A 之充電速度。故本創作不論記憶單元係在低電位 VSS，抑是在浮接電位之狀態均能達到更快速感測之功效。

三、結論

本創作提出一種新穎之唯讀記憶體感測電路，其主要技術特徵為：將第

一 NMOS 電晶體 MN1 之背閘極與源極間設計成順向偏壓，且該順向偏壓之大小係設計成略小於背閘極與源極 PN 接面二極體之切入電壓 (cut-in voltage)，藉此以降低該背閘極與源極間之 PN 接面二極體的不必要功率消耗；因此當記憶單元在低電位 (即儲存邏輯 0 之資料) 時，可藉該背閘極與源極間順向偏壓之第一 NMOS 電晶體 MN1 的作用，以加快內部節點 A 之放電速度；同時，設計有一由第二 PMOS 電晶體 MP2 所構成並與第一 PMOS 電晶體 MP1 呈並聯連接之電流路徑，因此當記憶單元在浮接電位 (即儲存邏輯 1 之資料) 時，可有效加快內部節點 A 之充電速度。故本案不論記憶單元係在低電位 VSS，抑是在浮接電位之狀態均能達到更快速感測之功效。

四、圖式簡單說明

圖一係顯示感測電路之方塊示意圖；

圖二係顯示先前習知感測電路之電路圖；

圖三係顯示本創作較佳實施例之感測電路圖。

五、參考文獻

1. “唯讀記憶體感測裝置”，專利公報 22 卷 32 期，公告案號 263136
 2. “唯讀記憶體感測放大裝置”，專利公報 23 卷 25 期，公告案號 284917
 3. “並聯式僅讀記憶資料細胞之電壓感測特殊解碼裝置”，專利公報 24 卷 02 期，公告案號 295726
 4. “感測路徑定電阻型高密度並聯式唯讀記憶體裝置”，專利公報 24 卷 13 期，公告案號 304617
 5. “其遮罩式唯讀記憶體能設定數個臨限電位之半導體記憶體元件”，專利公報 24 卷 22 期，公告案號 312015
 6. “多階高密度罩幕式唯讀記憶體”，專利公報 24 卷 22 期，公告案號 312042
 7. “反或型罩幕式唯讀記憶體”，專利公報 26 卷 12 期，公告案號 356604
 8. “多位準記憶格光罩式唯讀記憶體之製程及其結構”，專利公報 26 卷 16 期，公告案號 359899
 9. “金屬製程後植入罩幕式唯讀記憶體程式碼的方法”，專利公報 26 卷 20 期，公告案號 364156
 10. “高密度可變工作函數光罩唯讀記憶體及其製造方法”，專利公報 26 卷 24 期，公告案號 367618
 11. “半導體記憶裝置之內部電壓昇壓電路”，專利公報 23 卷 26 期，公告案號 285772
 12. “使用多個內部電壓之半導體記憶裝置”，專利公報 26 卷 23 期，公告案號 366498
 13. “ROM bit sensing”, US Patents , Publication Number US5930180
 14. “Data sensing apparatus of a read only memory device”, US Patents , Publication Number US5684417
 15. “Sense amplifier for a multiport memory and method”, US Patents , Publication Number US5650971
-

16. "Non-volatile semiconductor memory device equipped with high-speed sense amplifier unit", US Patents , Publication Number US5351212
 17. "Non-volatile semiconductor memory device equipped with high-speed sense amplifier unit", US Patents , Publication Number US5293333
 18. "Electrically programmable read only memory device with reliable sense amplifier circuit", US Patents , Publication Number US5267207
 19. "Programmable sense amplifier power reduction", US Patents , Publication Number US5247213
 20. "Sense amplifier having load device providing improved access time", US Patents , Publication Number US5132576
 21. "Programmable sense amplifier for read only memory", US Patents , Publication Number US4821239
 22. "Sense amplifier for programmable read only memory", US Patents , Publication Number US4758748
 23. "Sense amplifier for a read only memory cell array", US Patents , Publication Number US4754436
 24. "Read only memory including an isolation network connected between the array of memory cells and the output sense amplifier whereby reading speed is enhanced", US Patents , Publication Number US4651302
-

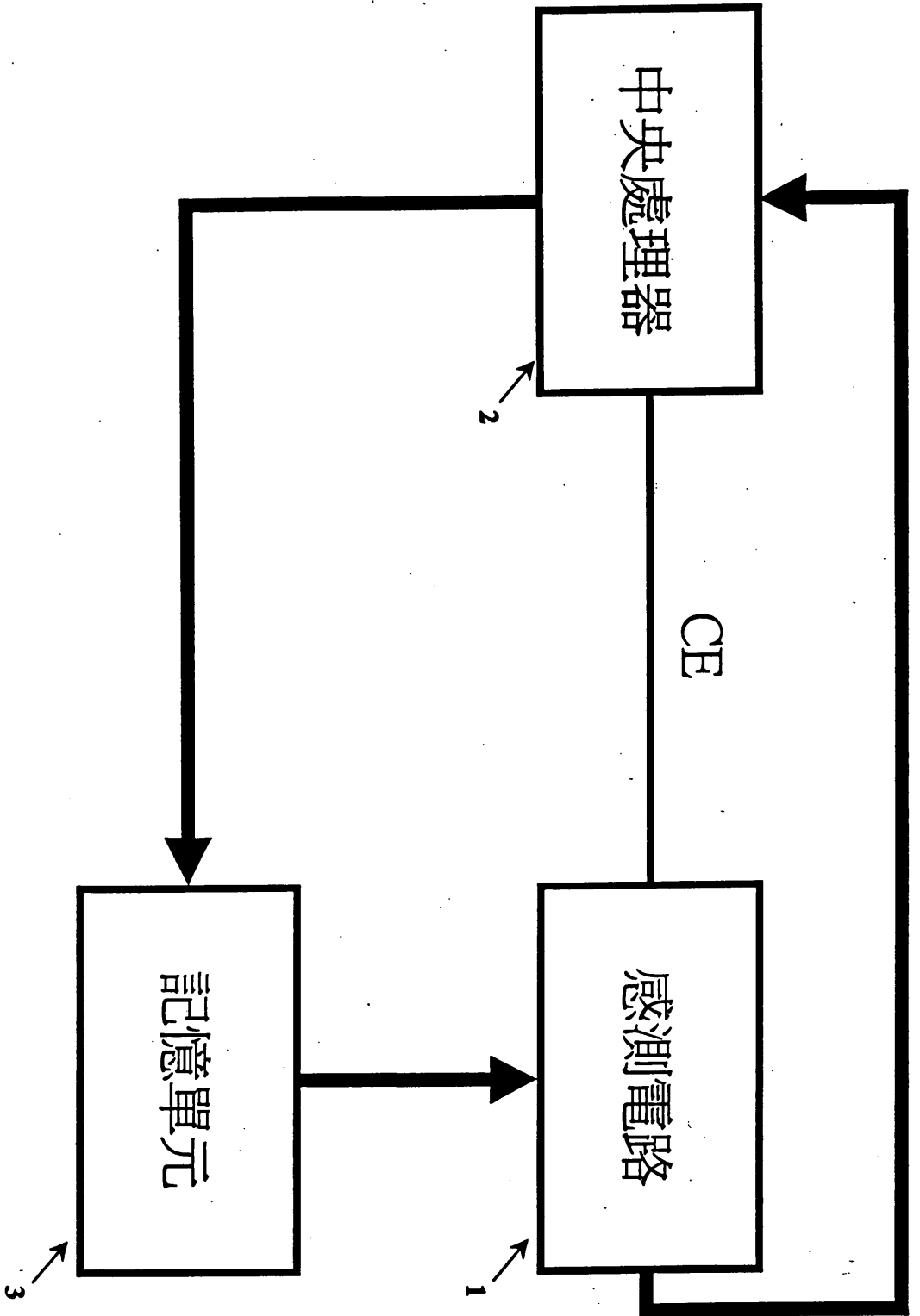
A Novel Sense Circuit for a Read Only Memory

Ming-Chuen Shiau

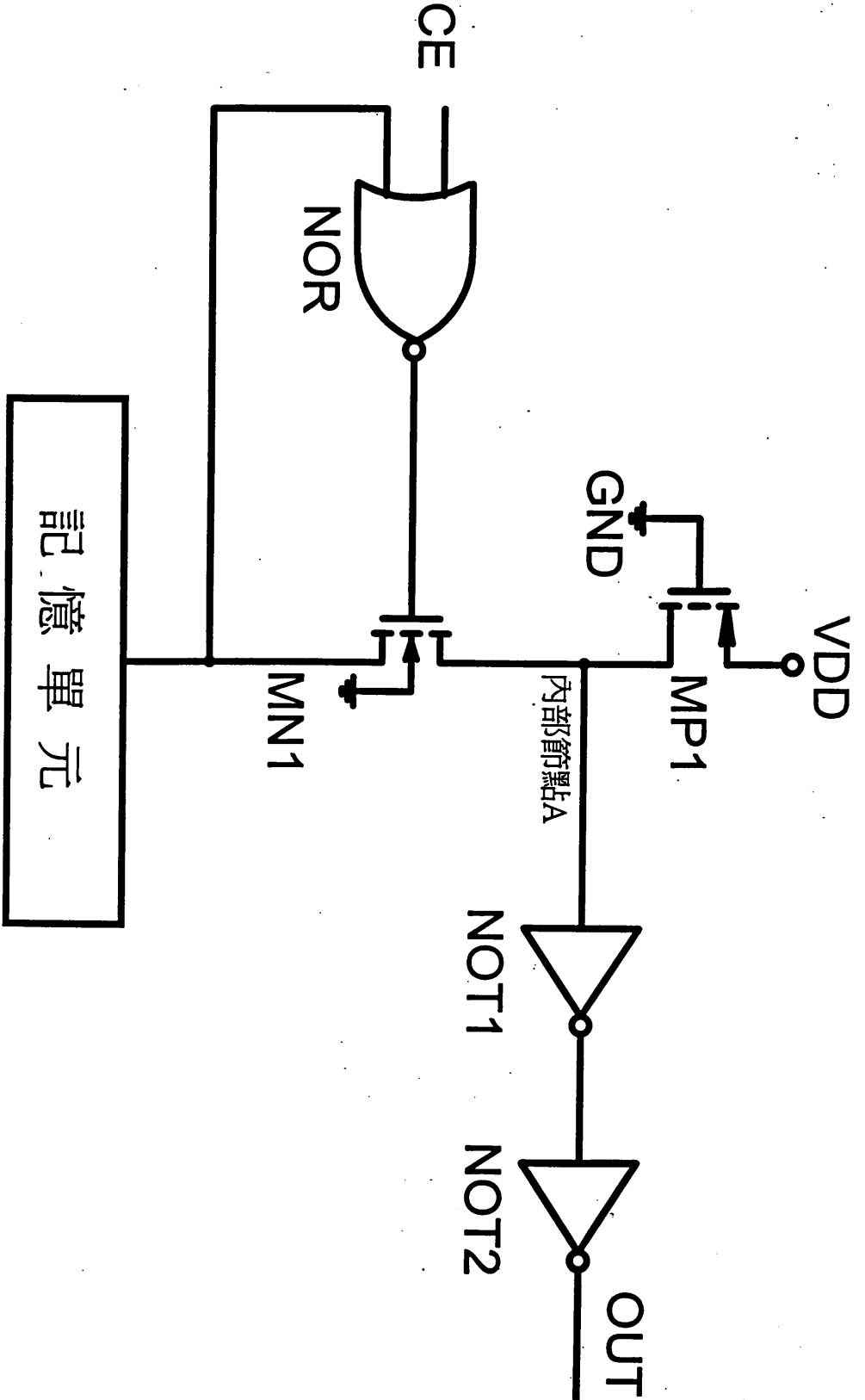
Abstract

A novel sense amplifier circuit for a read only memory device with the higher speed is disclosed. The sense amplifier circuit includes the first PMOS transistor MP1, the first NMOS transistor MN1, a NOR gate, the second PMOS transistor MP2, and the first and the second inverter NOT1 and NOT2. When the data stored in the memory cell is logic low, the discharging speed for the internal node A can be improved by using the first NMOS transistor MN1 with a forward bias between its back-gate and source. Moreover, when the data stored in the memory cell is logic high, the charging speed for the internal node A can be improved by using the parallel current configuration formed by the first PMOS transistor MP1 and the second PMOS transistor MP2. Therefore, the access time for a read only memory device can be effectively improved.

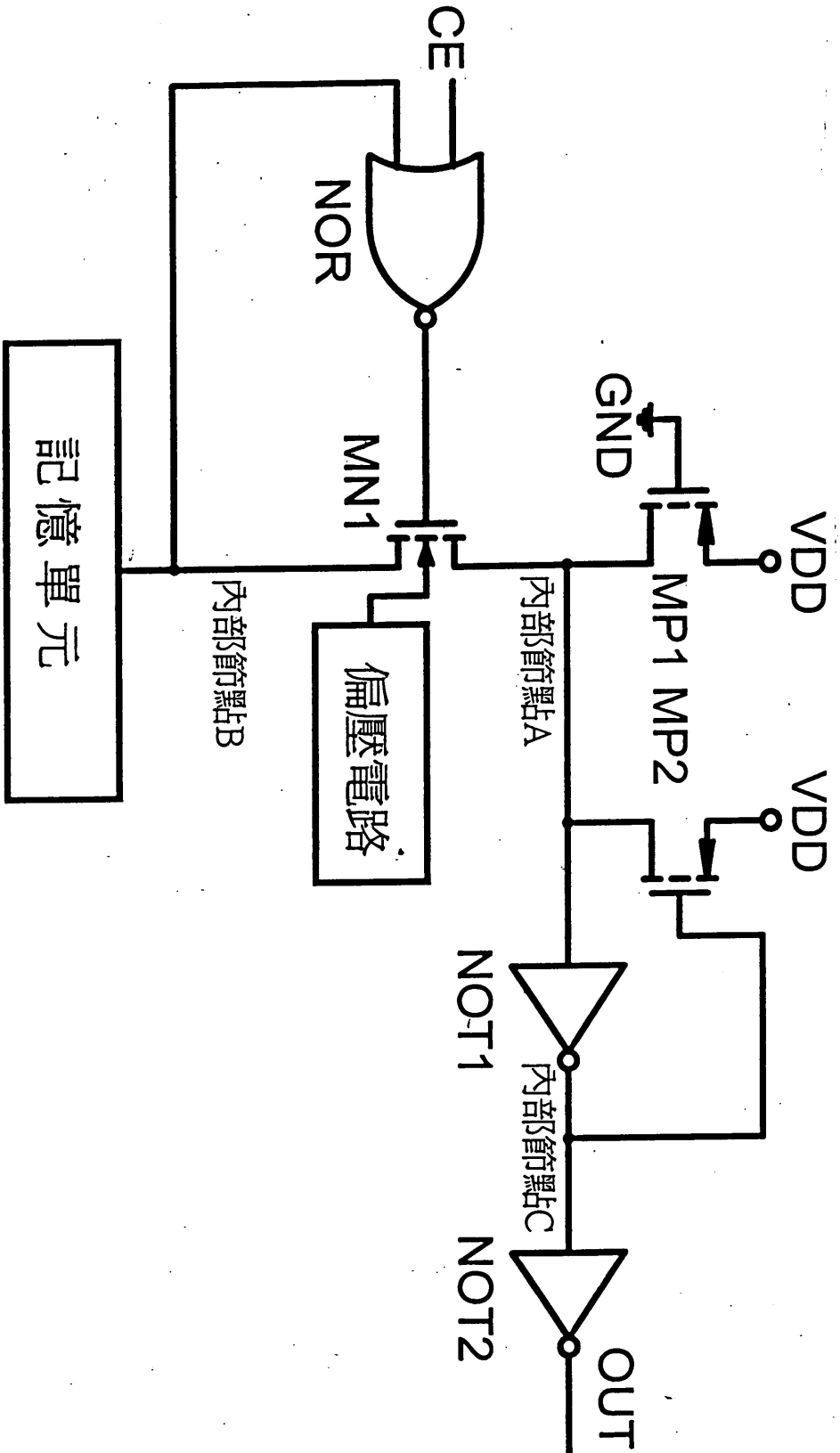
Key words : sense circuit, read-only memory, back-gate, floating, threshold voltage.



第一圖係顯示感測電路之方塊示意圖



第二圖係顯示先前習知感測電路之電路圖



第三圖係顯示本創作較佳實施例之感測電路圖