

四種新式輸出緩衝電路之設計

蕭明椿

摘要

本文提出四種新穎之輸出緩衝電路，該輸出緩衝電路係於傳統輸出緩衝電路中加入一延遲電路、一控制電路或一過電流吸收電路，俾藉此以減少瞬間流經輸出電晶體之輸出電流，以期有效抑制接地端所感應之瞬間電位差，並避免接地電壓位準的浮動以及雜訊的發生，同時提升整個晶片之穩定度。

關鍵詞：輸出緩衝電路、延遲電路、過電流吸收電路、雜訊、浮動、穩定度

Four novel designs for output buffer circuit

Ming-chuen Shiau

Abstract

Four novel output buffer circuits with noise immunity have been developed. A delay circuit, a control circuit and/or an overcurrent absorption circuit are introduced and appended in the developed output buffer circuits. The appended circuits can drain the part of current of the output transistor, while the output transistor is from OFF to ON state. These novel output buffer circuits can efficiently inhibit the instantaneous induced voltage at the ground and prevent ground voltage from fluctuation. Therefore, the noise immunity and the stability of the entire semiconductor chip can be improved.

Keywords: output buffer, noise immunity, delay circuit, overcurrent absorption circuit , fluctuation, stability, instantaneous induced voltage.

一、前言

本設計係關於一種半導體積體電路中之輸出緩衝電路[1]-[10]，尤指一種可降低雜訊之輸出緩衝電路。

圖一為根據先前技藝配置在一積體電路內之既有輸出緩衝電路，在積體電路內產生的輸入信號IN經由一由金氧半電晶體M1與M2所組成的反相器緩衝後，供應到NPN電晶體Q1的基極，電晶體Q1的集極接一電阻R2連接到電壓源VCC，而電晶體Q1的射極一方面接一電阻R1連接到接地端，另一方面連接到電晶體Q2的基極，電晶體Q2的射極直接連到接地端，而其集極則連接到一輸出端子，且由此端子連接到外部負載。

圖二是圖一輸出緩衝電路之輸出電流曲線，該圖係由OrCAD模擬取得之曲線圖。當輸入信號IN由高位準下降至低位準後，由於電晶體Q2是在主動區內工作，因此流經電晶體Q2的集極電流（即輸出電流）約等於電晶體Q1的基極電流和 h_{FE} （電晶體的電流放大因數）平方之乘積，此過大的輸出電流會造成接地位準之浮動，並從而產生雜訊，而這些都是先前技藝有待克服的問題。

二、設計與模擬

本設計之設計動機係來自美國專利公報第US5999036號專利案，因該專利案係由輸出端來控制所增添之切換開關，導致無法有效抑制輸出過電流，因此仍會造成接地電壓位準的浮動並從而產生雜訊，所以本設計擬提出數種新架構之輸出緩衝電路及方法，其不但能降低輸出緩衝電路上升時所流經之輸出電流的大小，並且也能降低輸出緩衝電路上升時所流經輸出電流的電流變化率，同時亦能藉此而有效防止接地電壓位準浮動和雜訊的發生。

[第一實施例]

本設計所提出輸出緩衝電路之第一實施例顯示於第三圖中，其包括：一CMOS反相器，其係由一PMOS電晶體M1以及一NMOS電晶體M2所組成，並用以將一輸入信號IN反相；一第一NPN電晶體Q1，其基極端連接至該CMOS反相器之輸出，並具有一集極端以及一射極端；一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極端，其集極端連接至輸出端子OUT，而其射

極端則接地；一第一電阻R1，其係連接於該第一NPN電晶體Q1之射極端與接地之間；一第二電阻R2，其係連接於該第一NPN電晶體Q1之集極端與電源供應電壓VCC之間；以及一由四個反相器所組成的延遲電路，其係連接於輸入端子與NMOS電晶體M2的閘極之間，俾藉此以降低第二NPN電晶體Q2於轉換瞬間之集極電流大小及其電流變化率，其中該組成延遲電路之反相器之數目並不局限於四個，可視電路之需求，選擇其他偶數。

在此電路中，當輸入信號IN在高位準時，PMOS電晶體M1關閉，而NMOS電晶體M2經一延遲電路所提供之延遲時間後導通，隨即將第一NPN電晶體Q1之基極拉低至接地電位，此接地電位於是使得第一NPN電晶體Q1和第二NPN電晶體Q2呈關閉狀態，因此輸出端呈高位準狀態。由此可知，當輸入信號IN呈高位準時，第三圖所示的電路和第一圖所示的傳統電路動作都相同，這也是設計新穎輸出緩衝電路時所必要滿足的條件之一。

而當輸入信號IN由高位準變為低位

準時，第二NPN電晶體Q2導通，且是在主動區內操作。如果在這時候第一NPN電晶體Q1的射極電流扣抵流過第一電阻R1的微小電流後，直接成為第二NPN電晶體Q2的基極電流，則如傳統電路般，第二NPN電晶體Q2的集極電流(即輸出電流)將會等於電晶體Q1的基極電流和 h_{FE} 平方的乘積，此過大的輸出電流將會造成接地位準之浮動，並從而產生雜訊。

然而，在本設計中，當輸入信號IN由高位準變為低位準時，CMOS反相器中之PMOS電晶體M1導通，並使得第一NPN電晶體Q1的基極電壓開始由低位準變為高位準，但此時由於延遲電路之作用，CMOS反相器中之NMOS電晶體M2仍會導通一段時間後才會關閉，於NMOS電晶體M2仍呈導通狀態期間，可吸走部份的PMOS電晶體M1之汲極電流，於是，第一NPN電晶體Q1的基極電流減少，從而減少流經第一NPN電晶體Q1以及第二NPN電晶體Q2的集極電流。因此，流過第二NPN電晶體Q2之集極電流(即輸出電流)的電流上升變得較適中，且流過該第二NPN電晶體Q2之集極電流(即輸出電流)的電流最大值變得比

傳統輸出緩衝電路之輸出電流的電流最大值還小。

第四圖是本設計較佳實施例電路之輸出電流曲線，該曲線亦是由OrCAD PSpice模擬而得，由該曲線的結果，証實本設計所提出之輸出緩衝電路確實可使流過第二NPN電晶體Q2之集極電流的電流上升率變得較緩和，且流過該第二NPN電晶體Q2之集極電流的電流最大值變得比先前技藝者還小。

因此，本設計於輸入端子與CMOS反相器中之NMOS電晶體M2的閘極之間藉增添一延遲電路（由偶數個反相器所構成）的新穎電路架構，確實可有效緩和輸出電流之電流變化率，並且可有效抑制輸出電流之過電流量，故本設計可有效防止接地電壓位準浮動以及避免雜訊的發生。

[第二實施例說明]

本設計所提出之第二實施例係顯示於第五圖中，其包括：一CMOS反相器，其係由第一PMOS電晶體M1以及第一NMOS電晶體M2所組成，並用以將一輸入信號IN反相；一第一NPN電晶體

Q1，其基極端連接至該CMOS反相器之輸出，並具有一集極端以及一射極端；一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極端，其集極端連接至輸出端子OUT，而其射極端則接地；一第一電阻R1，連接於該第一NPN電晶體Q1之射極端與接地之間；一第二電阻R2，連接於該第一NPN電晶體Q1之集極端與電源供應電壓VCC之間；以及一控制電路，其係連接於CMOS反相器之輸出與接地之間，且在CMOS反相器中之第一PMOS電晶體M1導通時，該控制電路能導通一段預定之時間，俾藉此以吸走第一PMOS電晶體M1之部份汲極電流，並因而降低第二NPN電晶體Q2於轉換瞬間之集極電流大小及其電流變化率。

該控制電路更包括：一第二NMOS電晶體M3，其汲極與閘極連接在一起，並共同連接至該CMOS反相器之輸出；一第三NMOS電晶體M4，其汲極連接至第二NMOS電晶體M3之源極，而其源極則接地；以及一延遲電路，其連接於輸入信號IN與第三NMOS電晶體M4之閘極之間，且於此較佳實施例中，該延遲電

路係由四個反相器所組成。但組成延遲電路之反相器之數目並不局限於四個，可視電路之需求，選擇其他偶數個。

在本設計中，當輸入信號IN由高位準變為低位準時，CMOS反相器中之第一PMOS電晶體M1導通，而第一NMOS電晶體M2關閉，並使得第一NPN電晶體Q1的基極電壓開始由低位準變為高位準，於是第二NMOS電晶體M3將由關閉狀態轉變為導通狀態，但此時由於延遲電路之作用，第三NMOS電晶體M4仍會導通一段時間後才會關閉，於該第三NMOS電晶體M4仍呈導通狀態期間，可吸走部份的第一PMOS電晶體M1之汲極電流，於是，第一NPN電晶體Q1的基極電流將減少，從而減少流經第一NPN電晶體Q1以及第二NPN電晶體Q2的集極電流。因此，流過第二NPN電晶體Q2之集極電流(即輸出電流)的電流上升變得較適中，且流過該第二NPN電晶體Q2之集極電流(即輸出電流)的電流最大值變得比傳統輸出緩衝電路之輸出電流的電流最大值還小。

第六圖是本設計較佳實施例電路之輸出電流曲線，該曲線亦是由OrCAD

PSpice模擬而得，由該曲線的結果，証實本設計所提出之輸出緩衝低電路確實可使流過第二NPN電晶體Q2之集極電流的電流上升率變得較緩和，且流過該第二NPN電晶體Q2之集極電流的電流最大值變得比先前技藝者還小。

因此，本設計於CMOS反相器之輸出與接地之間藉增添一控制電路的新穎電路架構，確實可有效緩和輸出電流之電流變化率，並且可有效抑制輸出電流之過電流量，故本設計可有效防止接地電壓位準浮動以及避免雜訊的發生。

[第三實施例]

本設計所提出輸出緩衝電路之第三實施例顯示於第七圖中，其包括：一PMOS電晶體M1，其閘極端係用以接收輸入信號IN，源極端連接至電源供應電壓VCC，而汲極端則連接至第一NPN電晶體Q1之基極以及過電流吸收電路之一端；一NMOS電晶體M2，其閘極端係用以接收輸入信號IN，源極端接地，而汲極端則連接至過電流吸收電路之另一端；一過電流吸收電路，其係連接在該PMOS電晶體M1以及該NMOS電晶體M2

之間；一第一NPN電晶體Q1，其基極端連接至PMOS電晶體M1之汲極，並具有一集極端以及一射極端；以及一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極端，其集極端連接至輸出端子OUT，而其射極端則接地。其中，該過電流吸收電路係由一PMOS電晶體M11以及一電容器C所組成，該PMOS電晶體M11之閘極端係用以接收輸入信號IN，源極端連接至PMOS電晶體M1之汲極，而汲極端則連接至NMOS電晶體M2之汲極；該電容器C之一端係連接至NMOS電晶體M2之汲極以及PMOS電晶體M11之汲極，而另一端則接地。

在本設計中，當輸入信號IN由高位準變為低位準時，PMOS電晶體M1導通，而NMOS電晶體M2則呈關閉狀態，此時PMOS電晶體M11亦係呈導通狀態，因此可吸走部份的PMOS電晶體M1之汲極電流，並使得第一NPN電晶體Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流(即輸出電流)。結果，流過第二NPN電晶體Q2之集極電流(即輸出電流)的電流上升變得較適中，且流過該第二NPN電晶體Q2之集

極電流(即輸出電流)的電流最大值變得比傳統輸出緩衝電路之輸出電流的電流最大值還小。故，本案不但可有效抑制接地端所感應之瞬間電位差，並且可避免接地電壓位準的浮動以及雜訊的發生，同時亦可提升整個晶片之穩定度。

第八圖是本設計較佳實施例電路之輸出電流曲線，該曲線亦是由OrCAD PSpice模擬而得，由該曲線的結果，証實本設計所提出之輸出緩衝電路確實可使流過第二NPN電晶體Q2之集極電流的電流上升率變得較緩和，且流過該第二NPN電晶體Q2之集極電流的電流最大值變得比先前技藝者還小。

而當輸入信號IN由低位準變為高位準時，PMOS電晶體M1以及PMOS電晶體M11均呈關閉狀態，而NMOS電晶體M2則呈導通狀態，由於此時並無電流供應給第一NPN電晶體Q1之基極，於是第一NPN電晶體Q1和第二NPN電晶體Q2均呈關閉狀態，因此輸出端呈高位準狀態。注意，此段時間內，儲存在第一NPN電晶體Q1之基極端的電荷，雖會因漏電流而逐漸減少，但在輸入信號IN由高位準再次變為低位準前，仍可令第一

NPN 電晶體Q1之基極端的電壓維持在一定電壓位準以上，藉此可降低第一NPN電晶體Q1以及第二NPN電晶體 Q2再次導通前之初始延遲時間 (initial delay time)效應。

因此，本設計於習知輸出緩衝電路中組成CMOS反相器之PMOS電晶體M1以及NMOS電晶體M2的串聯電路之間，藉增添一由PMOS電晶體M11以及電容器C所組成之過電流吸收電路的新穎電路架構，確實可有效緩和輸出電流之電流變化率，並且可有效抑制輸出電流之過電流量，故本設計可有效防止接地電壓位準浮動以及避免雜訊的發生。

[第四實施例]

本設計所提出輸出緩衝電路之第四實施例顯示於第九圖中，其包括：一第一CMOS反相器，其係由第一PMOS電晶體M1以及第一NMOS電晶體M2所組成，並連接在電源供應電壓VCC與接地之間，該第一PMOS電晶體M1之閘極端以及該第一NMOS電晶體M2之閘極端均係用以接收一輸入信號IN；一具電容負載之第二CMOS反相器，其係由第二

PMOS電晶體M3、第二NMOS電晶體M4以及電容器C所組成，並連接在該第一CMOS反相器之輸出與接地之間，該第二PMOS電晶體M3之閘極端以及該第二NMOS電晶體M4之閘極端均係連接至一輸入信號IN；一第一NPN電晶體Q1，其基極端連接至第一CMOS反相器之輸出，並具有一集極端以及一射極端；一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極端，其集極端連接至輸出端子OUT，而其射極端則接地；一第一電阻R1，連接於該第一NPN電晶體Q1之射極端與接地之間；以及一第二電阻R2，連接於該第一NPN電晶體Q1之集極端與電源供應電壓VCC之間。

在本設計中，當輸入信號IN由高位準變為低位準時，第一CMOS反相器中之第一PMOS電晶體M1導通，而第一NMOS電晶體M2則呈關閉狀態，此時第二CMOS反相器中之第二PMOS電晶體M3亦係呈導通狀態，藉此可吸走部份的第一PMOS電晶體M1之汲極電流，並使得第一NPN電晶體Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流(即輸出電流)。結果，流過第

二NPN 電晶體Q2之集極電流(即輸出電流)的電流上升變得較適中，且流過該第二NPN 電晶體Q2之集極電流(即輸出電流)的電流最大值變得比傳統輸出緩衝電路之輸出電流的電流最大值還小。故，本案不但可有效抑制接地端所感應之瞬間電位差，並且可避免接地電壓位準的浮動以及雜訊的發生，同時亦可提升整個晶片之穩定度。

第十圖是本設計較佳實施例電路之輸出電流曲線，該曲線亦是由OrCAD PSpice模擬而得，由該曲線的結果，証實本設計所提出之輸出緩衝電路確實可使流過第二NPN電晶體Q2之集極電流的電流上升率變得較緩和，且流過該第二NPN電晶體Q2之集極電流的電流最大值變得比先前技藝者還小。

而當輸入信號IN由低位準變為高位準時，第一CMOS反相器中之第一PMOS電晶體M1以及第二CMOS反相器中之第二PMOS電晶體M3均呈關閉狀態，而第一CMOS反相器中之第一NMOS電晶體M2以及第二CMOS反相器中之第二NMOS電晶體M4則均呈導通狀態，因此可將第一CMOS反相器之輸出以及第二

CMOS反相器之輸出均拉低至接地電位，亦即，可有效將輸出緩衝電路重置為初始狀態。

綜上所述，本設計於習知輸出緩衝電路之CMOS反相器(由PMOS電晶體M1以及NMOS電晶體M2所組成)的輸出與接地之間，增添一具電容負載之另一CMOS反相器(由PMOS電晶體M3、NMOS電晶體M4以及電容器C所組成)的新穎電路架構，確實可有效緩和輸出電流之電流變化率，並且可有效抑制輸出電流之過電流量，故本設計可有效防止接地電壓位準浮動以及避免雜訊的發生。

三、結論

本設計所提出之四個實施例與第一圖先前技藝之比較結果如表一所示，其係以1.0微米技術之參數加以模擬，其中 $V_{CC} = 5V$ ，PMOS電晶體之 $W_{mask}/L_{mask} = 2.5\text{微米}/1.0\text{微米}$ ，NMOS電晶體之 $W_{mask}/L_{mask} = 1.0\text{微米}/1.0\text{微米}$ ，而NPN電晶體之編號為Q2N2222。

由第三至十圖可知，第一與第二實施例雖然因使用了延遲電路而導致電路

結構較為複雜，但其卻具調整及控制何時吸走電流之功能，而第三與第四實施例雖具有電路結構較為簡單之優點，但其卻不具有調整及控制何時吸走電流之功能。

本設計提出之四種輸出緩衝電路架構，相較於先前技藝，具有如下優點：

(1)電路結構簡單，本設計所提出之輸出緩衝電路，僅係在傳統輸出緩衝電路中加入一延遲電路、一控制電路或一過電流吸收電路，因此電路結構簡單；

(2)低雜訊及高穩定度，由於當輸入信號IN由高位準變為低位準時，該所增添之延遲電路、控制電路或過電流吸收電路，可有效吸走部份的PMOS電晶體M1之汲極電流，並使得第一NPN電晶體Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流(即輸出電流)。結果，輸出電流的電流變化率變得較緩和，並且輸出電流的最大值變得更小，故接地端所感應之瞬間電位差(VL)可獲得有效抑制，因而不但可避免接地電壓位準的浮動以及雜訊的發生，並且亦可提升整個晶片的穩定度。

四、參考文獻

1. 沖電氣(日本)，"輸出緩衝裝置"，公告案號TW353247，1999年2月
2. 義隆電子(中華民國)，"低噪音資料輸出緩衝器裝置"，公告案號TW347901，1999年2月
3. 三菱電機(日本)，"輸出緩衝電路"，公告案號TW333705，1998年6月
4. VLSI工藝(美國)，"隔離雜訊之輸入／輸出緩衝器"，公告案號TW324122，1998年1月
5. 東芝(日本)，"輸出緩衝電路"，公告案號TW321804，1997年12月
6. 工研院(中華民國)，"一個具有降低 $L \cdot di/dt$ 雜訊電壓的輸出緩衝器"，公告案號TW297966，1997年2月
7. 三星(韓國)，"半導體記憶裝置之資料輸出緩衝電路"，公告案號TW283778，1996年8月
8. 現代(韓國)，"用於半導體裝置之資料輸出緩衝器電路"，公告案號TW280050，1996年7月
9. 旺宏(中華民國)，"低雜訊輸出緩衝器"，公告案號TW275403，1996年5月
10. 聯電(中華民國)，"輸出緩衝裝置"，

公告案號TW268678，1996年1月

五、圖式說明

第一圖 先前技藝

第二圖 先前技藝之OrCAD模擬結果

第三圖 第一實施例之電路

第四圖 第一實施例之OrCAD模擬結果

第五圖 第二實施例之電路

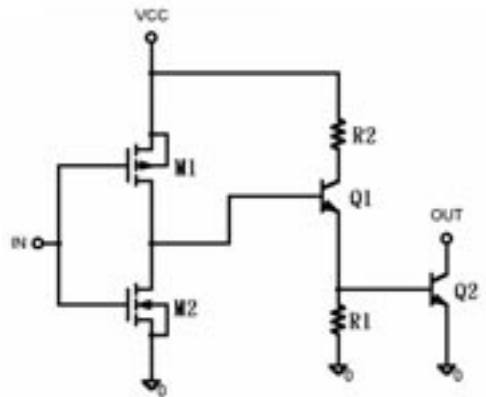
第六圖 第二實施例之OrCAD模擬結果

第七圖 第三實施例之電路

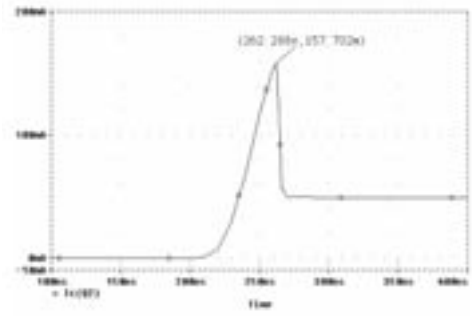
第八圖 第三實施例之OrCAD模擬結果

第九圖 第四實施例之電路

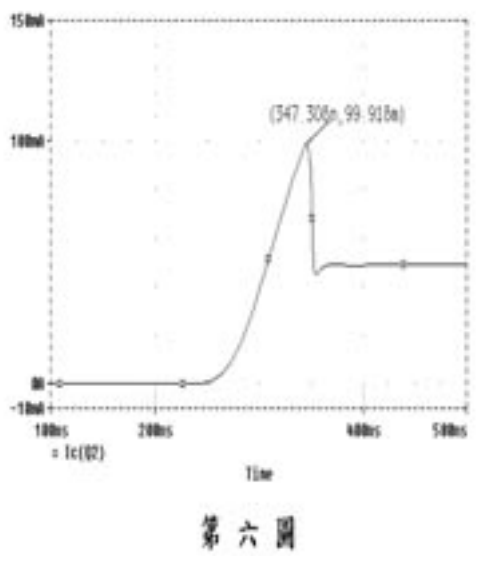
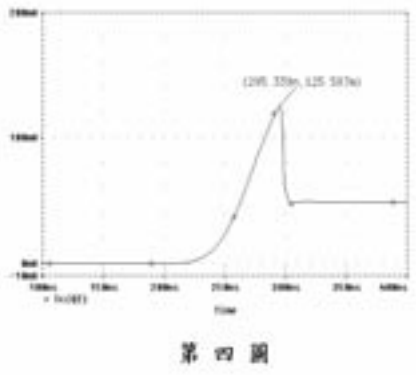
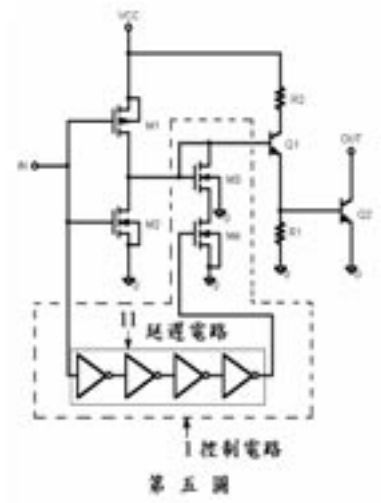
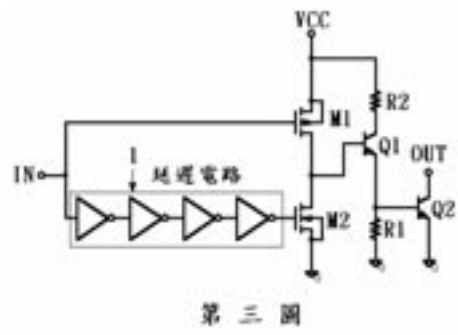
第十圖 第四實施例之OrCAD模擬結果

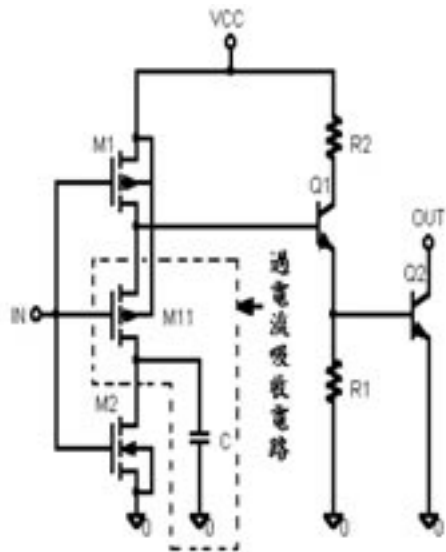


第一圖

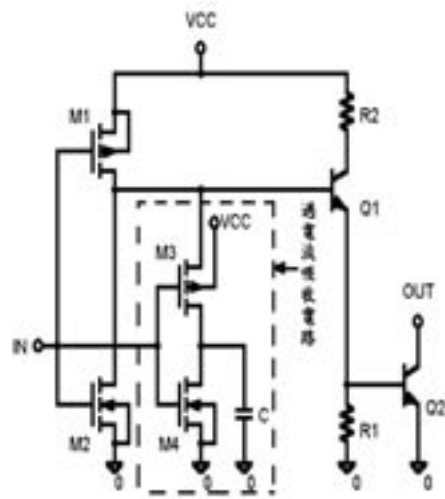


第二圖

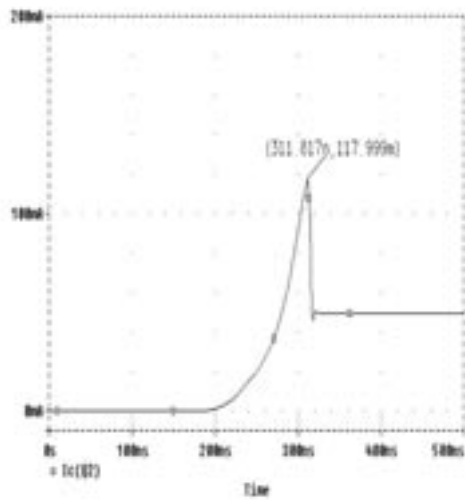




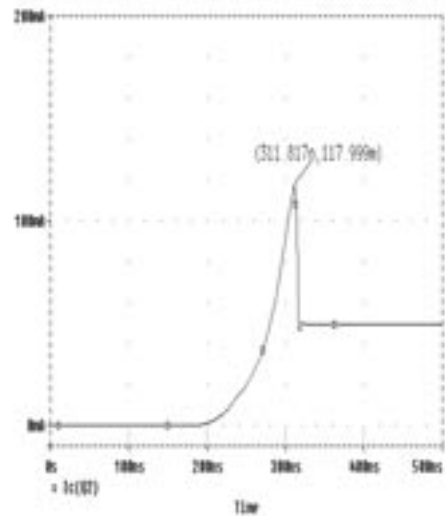
第七圖



第九圖



第八圖



第十圖

表一

	平均輸出電 流上升率 (mA/ms)	最大輸出電 流值(mA)
第一圖之先前技藝	4.43	157.7
第一實施例	1.92	125.6
第二實施例	1.14	99.9
第三實施例	1.28	118.0
第四實施例	1.28	118.0