

修平科技大學 電機工程系

DEPARTMENT OF ELECTRICAL ENGINEERING

實務專題報告書

通道邏輯之隨機存取記憶體



指導老師 蕭明椿 教授

專題製作學生 四電四乙 張至瑜

四電四乙 朱塏越

中華民國 101 年 三 月 二十九 日

一. 摘要

本專題提出一種新穎架構之具通道邏輯之 SRAM，其主要包括一記憶體陣列、複數個控制電路，而記憶體陣列是由複數列記憶晶胞與複數行記憶晶胞所組成，每一列記憶晶胞設置一個控制電路，且每一記憶晶胞由一寫入用選擇電晶體 M3、二 NMOS 驅動電晶體 M1 和 M2、二 PMOS 負載電晶體 P1 和 P2、二 NMOS 讀取用電晶體 M4 和 M5、二控制反相器 PC1 和 MC1 以及 PC2 和 MC2 所組成。每一控制單元係連接至對應列記憶晶胞中之每一記憶晶胞的二 NMOS 驅動電晶體的源極端，以便因應不同操作模式而控制該等源極電壓，於寫入模式時，將選定晶胞中較接近寫入用位元線 WBL 之驅動電晶體 M1 的源極電壓 VL1 設定成較接地電壓為高之一第一預定電壓且將選定晶胞中另一驅動電晶體 M2 的源極電壓 VL2 設定成接地電壓，以便防止寫入邏輯 1 困難之問題；於待機模式時，將所有記憶晶胞中之驅動電晶體的源極電壓設定成較接地電壓為高之一第二預定電壓，以便降低漏電流；而於其他模式時則將記憶晶胞中之驅動電晶體的源極電壓設定成接地電壓，以便維持讀取穩定度。再者，將每一記憶體晶胞中之該驅動電晶體 M1 的背閘極(back gate)連接至該由 PC1 和 MC1 所組成控制反相器之輸出端，以及將該驅動電晶體 M2 與該寫入用選擇電晶體 M3 的背閘極均該連接至該由 PC2 和 MC2 所組成控制反相器之輸出端，以便有效提高雙埠靜態隨機存取記憶體之靜態雜訊邊際 (SNM)。另外，藉由該待機啟動電路的設計，可有效促使靜態隨機存取記憶體快速進入待機模式，並因而大幅提高靜態隨機存取記憶體之待機效能。

本專題所提出之具高靜態雜訊邊際及低待機功率消耗之 SRAM，其經使用 TSMC 90 奈米 CMOS 製程參數加以模擬，證實其不但可有效避免寫入邏輯 1 困難之問題，並能有效降低待機功率，且具有良好的靜態雜訊邊際 (SNM)，再者，即使將電源供應電壓下降至 1.0V 特，並使用 TSMC 90 奈米 CMOS 製程參數加以模擬，仍能具有良好的性能

二、目錄

一、摘要	2
二、目錄	3
三、專題內容	4
1.1 專題動機	
1.2 研究方向	
1.3 特性與架構	
1.4 SRAM 操作方式	
1.5 SRAM 操作時序	
1.6 5T SRAM 無法寫入之成因	
1.7 系統設計	
1.8 通道邏輯	
1.9 寫入模式	
1.10 待機模式	
1.11 其他模式	
四、總結	24
五、參考文獻	26
六、作者介紹	27



修平技術學院
HSIUPING INSTITUTE OF TECHNOLOGY

三、專題內容

1.1 專題動機

當人類從工業時代進入到資訊時代時，訊息傳遞方式以從書信或電報的傳遞轉向網際網路或是衛星系統甚至高低階的通訊設備來獲取大量資訊的訊息傳遞，而引導著人類資訊時代前進的前端者是電晶體與積體電路（integrated circuit, 簡稱為 IC）的設計才能發展出快速而有效率的通訊與網路，從 1947 年巴丁（Bardeen）、布拉頓（Brattain）、蕭克利（Shockley）在美國的貝爾實驗室製造出第一個具有放大電流效果的固態三極體，並將它命名為『電晶體(transister)』此一名稱後，電晶體的研究與發展更是屢屢創新與突破成為重要的科技技術更成為積體電路設計中的重要一環。現今積體電路的應用以擴展到日常生活中的每一個層面，例如行動電話、衛星定位系統、放影機等都有所應用，其中最讓人瞠目結舌的是今日大眾普遍的桌上型電腦與筆記型電腦，相對的不論在高低階的電腦運算中記憶體在電腦工業中所扮演著無可或缺的重要腳色記憶體通常可依照是否在電源關閉後仍能保存資料來區分為揮發性記憶體（volatile memory）體與非揮發性記憶體（nonvolatile memory）兩種類型。揮發性記憶體（Dynamic Random Access Memory, DRAM）擁有價格低面積小以及消耗少許的電力和比較不會有晶片發熱的問題，但是另一方面在操作時必須去不斷的更新（refresh）以防止資料因漏電流的問題而遺失竟而導致存在有高速化困難及消耗功率大等缺失。反觀非揮發性記憶體（Static Random Access Memory, SRAM）的操作比較簡易 SRAM 只需少許的電壓就能運作而且毋須不斷更新操作，因此 SRAM 具有高速化以及消耗功率低等優點，但是由於構成 SRAM 晶胞得需要 4 個以上的電晶體來形成，造成 SRAM 存在有高集積化困難及價格高等缺

在資訊時代的現今，許多電子產品都具備擁有儲存大量資料的能力，在這背後推動這項能力的是來自於半導體的記憶陣列邏輯運算，由於必須儲存大量的資料因此隨著儲存能力須不斷的增加外，所需的電晶體的數目相對的也必須

更多。隨著儲存容量不斷的增加與高記憶體密度的設計，加上半檔體製程持續不斷的進步，迫使超大型積體電路（Very-Large-Scale Integration, VLSI）或是極大型積體電路（Ultra-Large-Scale Integration, ULSI）也必須朝向系統整合晶片化（System on Chip, SOC），才能不斷的大幅提升記憶體功能，加上製程不斷的進步與更新以及可攜帶式電子產品系統之所謂行動運算（Mobile Computing）的能力不斷的增強，系統的消耗功率也就越來越大並成為最主要的一部分，使得產品受到許多的限制，加上產品的蓄電電池始終追趕不上製程進步的速度，讓許多可攜式的產品，如行動電話、筆記型電腦、平板電腦等多項產品的電力耐久度都不如預期，嚴重受限於電池的蓄電力，即使增強了蓄電能力但是相反的其處理運算速度相對的就會降低導致系統作業能力造成緩慢的效果，然而隨著儲存資訊量的增加記憶體的面積也不斷的增大以及電子元件的不斷的縮小，次臨界漏電流與閘極漏電流也將越來越明顯，使整個系統內部的電子元件都將受到一定的執行運作的影響。

為瞭解決上述的缺點，本論文使用靜態隨機存取記憶體（Static Random Access Memory, SRAM）來作為本專題研究之整體，其主要因素在於靜態隨機存取記憶體與動態隨機存取記憶體（Dynamic Random Access Memory, DRAM）的差別在於靜態隨機存取記憶體使用的是邏輯製程（Logic Process），加上不需要其特殊製程。另一方面，靜態隨機存取記憶體擁有栓鎖的功能，只要電源不中斷資料就永遠存在也不需要做重覆更新的動作，加上靜態隨機存取記憶體其存取速度快的優點被廣泛應用於微處理器、大型電腦、可攜式電子產品或是工作站等，功能性相對的也較動態隨機存取記憶體來的強，因此該如何在低工作電壓下可以順利寫入、降低其功率消耗來減低漏電流為本專題之研究重心。

傳統 6T 靜態隨機存取記憶體（SRAM）晶胞由於需要 6 顆電晶體，需設置

互補位元線，且驅動電晶體與存取電晶體間的電流驅動能力比（即單元比率 cell ratio）通常需設定在 2.2 至 3.5 之間[1]，而導致存在有高集積化困難及價格高等缺失。用來減少 6T SRAM 晶胞之電晶體數之一種方式為具單一位元線之 5T SRAM 晶胞，迄今，有許多具單一位元線之 SRAM 晶胞之技術[2]-[7]被提出。

其中，如下圖 1.2 (a) 所示，M. Ukita 等人[2]所提出具 SCPA (Single-bit-line Cross-Point cell Activation) 結構之 SRAM 晶胞雖可減少地區解碼器 (local decoder) 之數量，惟須設置二個呈串聯連接並用以分別接收行位址與列位址之存取電晶體。

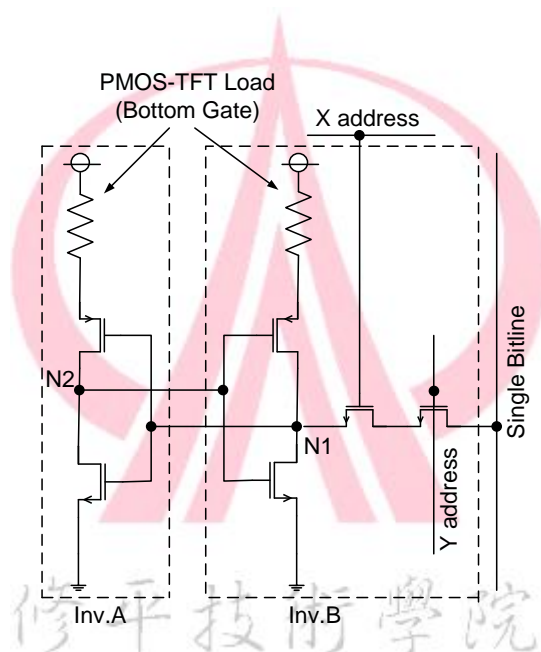


圖 1.2 (a) M. Ukita 等人[2]所提出具 SCPA 結構

如下圖 1.2 (b) 所示，H. Tran [3] 所提出之 5T SRAM 晶胞由於係將所有晶胞的左側驅動電晶體之源極由原本連接至接地端變更為共同連接至一共同節點 SRC，而易造成寫入時干擾非選定(nonselected) 晶胞以及無法有效解決寫入邏輯 1 困難之問題。

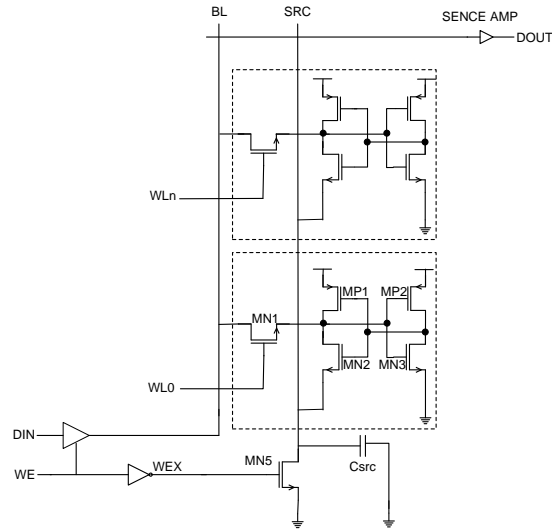


圖 1.2 (b) H. Tran [3] 所提出之 5T SRAM 晶胞

如下圖 1.2 (c) 所示，J.B. Kuo [4] 所提出之具 SBLSRWA 能力之雙埠 6T SRAM 晶胞由於係將晶胞中的左側驅動電晶體之源極由原本連接至接地端變更為連接至一寫入字元線以有效解決寫入邏輯 1 困難之問題，而造成無法應用於單埠晶胞中。

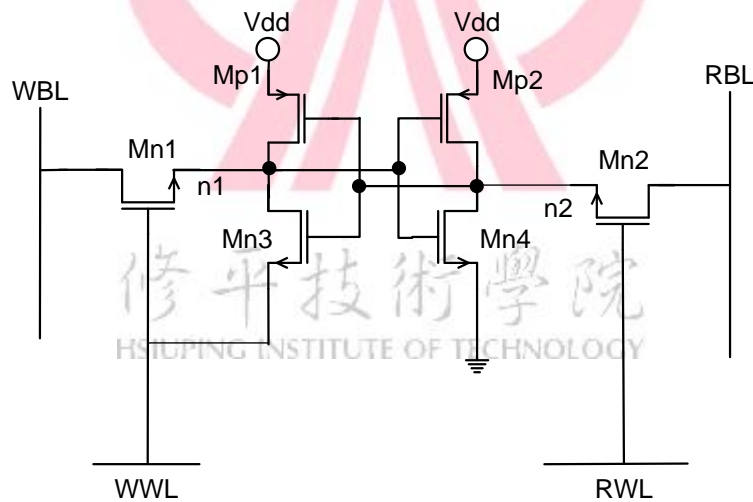


圖 1.2 (c) J.B. Kuo [4] 所提出之具 SBLSRWA 能力之雙埠 6T SRAM

1.2 研究方向

1.21 RAM 及 5T SRAM 無法順利寫入之解決研究方向

靜態隨機存取記憶體 (Static Random Access Memory, SRAM)的基本組成是由六顆電晶體所組成的如下圖 1.2.1 (a)所示，組成的方式則是一個互相對稱式的結構，而這個互相對稱式的結構則是由兩個交互耦合連接的反向器 (inverter) 及存取電晶體 (write selection transistor) 所構成，並且還包括了記憶體單元、輸入暫存器、預充電路、寫入電路、行與列解碼器等。但是由於 SRAM 的晶胞需要 6 個電晶體，且驅動電晶體 (driver transistors) 與存取電晶體 (access transistor) 間的電流驅動能力比及【單元率 (cell ratio)】通常設定在 2.2 至 3.5 之間，而導致存在有高集積化困難及價格高等缺失。

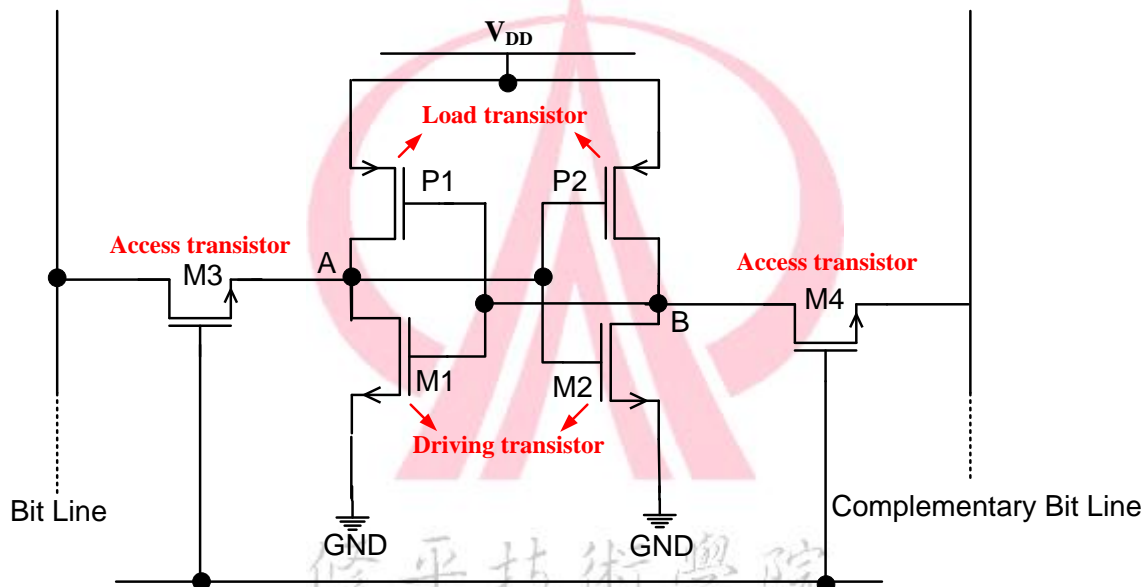


圖 1.2.1 (a) 6T SRAM 晶胞電路拓撲

用來減少 6T 靜態隨機存取記憶體晶胞之電晶體數量之一種方式為 5T 靜態隨機存取記憶體晶胞如下圖 1.2.1 (b)所示，但卻會衍生出寫入邏輯 1 相當困難之問題所在，起因在於 5T 靜態隨機存取記憶體晶胞比 6T 靜態隨機存取記憶體晶胞少了一個存取電晶體及少了一條位元線 (Bit Line)，竟而存在了寫入邏輯 1 相當困難之問題。

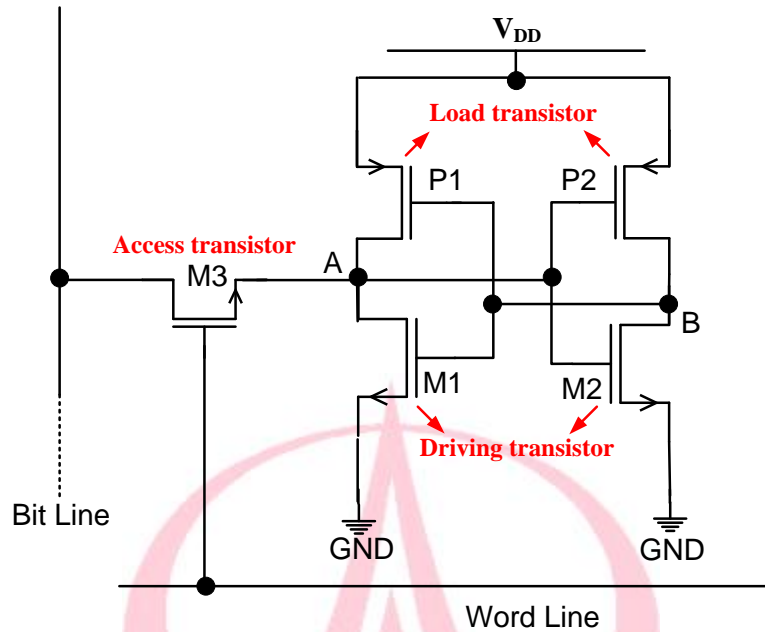


圖 1.2.1 (b) 5T SRAM 晶胞電路拓撲

然而隨著工作電壓不斷的再降低，與製程不斷的再進步和簡化其系統周邊的電路與減少記憶體晶胞內的電晶體，最重要的目標是如何在減少電晶體效能繼續完成改善寫入邏輯 1 困難之問題，並且在有效的降低工作電壓是本專題研究重心之方向。本專題目標是利用工作電壓製程(TSMC 0.90um , Working Voltage 1.2V)，依然能使系統再較低工作電壓下仍然可以改善邏輯 1 寫入困難之問題，並提出藉由寫入模式時將選定記憶體晶胞中較接近位元線 (BL) 之驅動電晶體的源極電壓設定成較接地電壓來的高，且另將記憶體晶胞中另一驅動電晶體的源極電壓設定成接地電壓，以有效避免習之具單一位元線之(單/雙)埠靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題解決研究方向。

1.2.2 改善傳統雙埠靜態隨機隨取記憶體之研究方向

靜態隨機存取記憶體 (Static Random Access Memory, SRAM) 與動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM) 都只有單埠的存取功能，無法達到同時寫入與讀取，也因為記憶體也必須運用在影像加速或是整合顯示技術裡讓影像顯示可以達到更流暢來避免出現停格的現象，也就是如此雙埠靜態隨機存取記憶體它擁有讀與寫同時的功能性，因此在視訊效能的這方面相對的就格外顯得特別重要，逐漸的雙埠靜態隨機存取記憶體就應用在視訊記憶體 (Video RAM, VRAM)，它主要的目的是用來儲存圖形顯示裏的圖元值，面板上的控制單元會不斷地從記憶體裡讀取資料來更新顯示資料。其主要目的除了提供比標準影像卡更快的視訊效能相對的還降低對 CPU 的需求，其原因在於它的記憶體晶胞內擁有兩個存取埠，一個用來不斷地更新顯示資料，另一個則是用來改變將會顯示的資料，其意義在於雙埠的頻寬加倍能擁有更快的效能。

1.3 特性與架構

1.3.1 靜態隨機存取記憶體之特性

半導體記憶體是以對資料的儲存和擷取的方法來分類。可做讀與寫地記憶體須要允許記憶體陣列內的資料位元來做擷取 (讀) 和修改 (寫) 的動作，而資料的儲存又可分為可揮發性與非揮發性記憶體兩種類型以及依照資料儲存晶胞 (cell) 的工作方式，隨機讀寫的記憶體有可區分為動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM) 與靜態隨機存取記憶體 (Static Random Access Memory, SRAM)。其揮發性記憶體即是動態隨機存取記憶體 (DRAM) 當電源關閉時內部所儲存的資料立即就會消失。

動態隨機存取記憶體包含了一個電容來儲存資料 (0 表示為低電位，1 表示

為高電位)，及一個電晶體來連接電容進行存取動作，而在儲存晶胞內的資料值會因為電壓而對儲存端而有所差異，也就如此即使記憶體並沒有存取的需求，儲存在晶包內的資料就必須以固定的週期來做重新讀寫或更新的動作。在另一方面非揮發性記憶體即是靜態隨機存取記憶體（SRAM）其內部有一個拴鎖，在電源不關閉下資料則會永遠的存在更不需要做重新讀寫或更新的動作。動態隨機存取記憶體因為成品低、密度高被廣泛的運用在個人電腦或是工作站的主記憶體。而靜態隨機存取記憶體則是因為高速度與低消耗功率的因素被廣泛應用於大型微處理器、伺服器、可攜式型電腦裝置等。記憶體的儲存陣列面積會決定總體儲存能力的關鍵因素，加上動態隨機存取記憶體與靜態隨機存取記憶體的消耗功率也有所不同。如下圖表 1 所示即能看出其兩者的特性差異。

表 1 SRAM 與 DRAM 比較表

特性 \ 記憶體	SRAM	DRAM
揮發性	是	是
晶胞密度	低	高
寫入速率	~40ns	~5/40ns
讀取速率	~50ns	~10/70ns
記憶體晶胞架構	6T	1T-1C
資料更新動作	否	需要
功率消耗	高/低	高
電壓提供	單一	單一
系統寫入能力	是	是
成本	高	低
耐久性	高	高

如下圖 2.1.1 所表示為記憶體晶胞之等效電路。如圖 2.1.1 (a) 為 SRAM 記憶晶胞所組成的架構。而如圖 2.1.1 (b) 為 DRAM 的記憶晶胞所組成的架構。

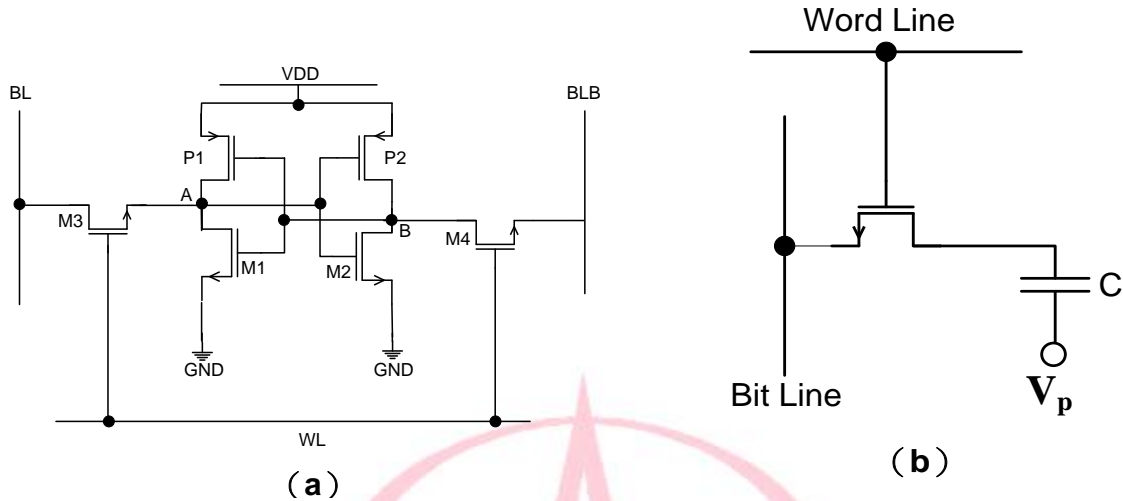


圖 2.1.1 記憶體晶胞之等效電路 (a) SRAM ; (b) DRAM

1.4 SRAM 操作方式

如下圖 2.2 (a) 所示，在未寫入 1 任何動作前電晶體 P1 與 M2 為截止區，而電晶體 P2 與 M1 操作在線性模式，傳送電晶體 M3 與 M4 為截止其內部節點 A 為邏輯 0 而節點 B 為邏輯 1。位元線則儲存邏輯 1，反向位元線則儲存邏輯 0。

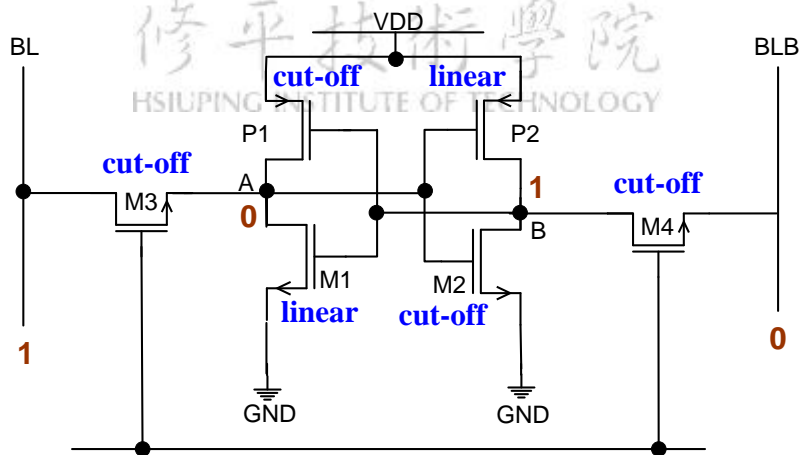


圖 2.2 (a) SRAM 寫入前操作狀態

假設存取電晶體導通之後，行電壓位元線大約保持在電源供應電壓。所以 M3 操作在飽和區而 M1 操作在線性區。

$$\frac{M_3}{M_1} = \frac{\left(\frac{W}{L}\right)_{M_3}}{\left(\frac{W}{L}\right)_{M_1}} < \frac{2(V_{DD} - 1.5V_{T,n})V_{T,n}}{(V_{DD} - 2V_{T,n})^2} \quad (2.2.1)$$

結合方程式計算後可得到

$$M_1 : M_3 = \left(\frac{W}{L}\right)_{M_1} : \left(\frac{W}{L}\right)_{M_3} = 2 \sim 3.5 \quad (2.2.2)$$

如果滿足 (2.2.1) 條件則 M_3 與 M_1 晶胞倍率比需維持 2~3.5 倍之間才能使 SRAM 在設計的過程中不會讓儲存資料產生變化。

當 SRAM 寫入 “1” 操作，假設一開始邏輯 “0” 儲存在 SRAM 單元。如下圖 2.2 (b) 所示 SRAM 在資料寫入操作時的邏輯位準，行電壓位元線 (BL) 倍資料寫入其電路強迫到邏輯 “1” 位準；因此，可以假設位元線大約等於電壓位準。一旦存取電晶體 M_3 和 M_4 被選取電路導通時，節點 A 電壓需保持在 M_2 臨界電壓之下（因為 M_1 與 M_3 依據 (2.2.1) 條件設計），總之 P_2 與 M_1 的電壓位準將不夠去導通 M_2 電晶體。若要改變儲存資訊，需將節點 A 寫入邏輯 “1” 及節點 B 寫入邏輯 “0”，所以節點 B 電壓必須下降至 M_1 的臨界電壓以下，所以首先 M_1 關閉。電晶體 M_3 操作在線性區而 P_1 操作在線性區。

如果滿足下面 (2.2.3) 條件，則電晶體 M_1 在寫入邏輯 “1” 操作時將被強迫進入關閉模式，將保證 M_2 隨後導通，且改變了儲存資訊完成寫入動作。

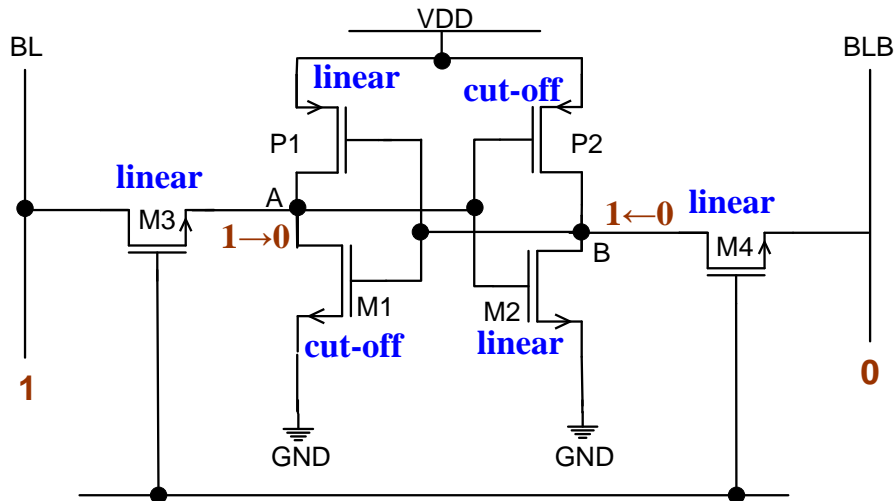


圖 2.2 (b) 在“寫入”操作時 SRAM 單元邏輯位準

當 $V_{GS} - V_T > V_{DS}$

$$I_D = \frac{\mu C_o W}{2L} \left[2(V_{GS} - V_T)V_{DS} - V_{DS}^2 \right]$$

$$g_{ds} = \frac{1}{r_{ds}} = \frac{\partial I_D}{\partial V_{DS}} = \frac{\mu C_o W}{L} (V_{GS} - V_T) - \frac{\mu C_o W}{L} V_{DS} \quad (2.2.3)$$

1.5 SRAM 操作時序

如下圖 2.3 (a) 所示，SRAM 再寫入時其字元線共分為五個寫入週期，第一個週期為未寫入前所保持在邏輯“0”態，第二個週期為邏輯“0”寫入邏輯“0”的狀態，第三個週期為邏輯“0”順利寫入邏輯“1”的狀態，第四個週期為邏輯“1”寫入邏輯“1”時所維持的狀態，第五個週期為邏輯“1”寫入邏輯“0”而結束時的狀態，而一個 SRAM 如果能順利寫入這五個週期代表著其記憶體晶胞在寫入過程中能順利的完成寫入動作。

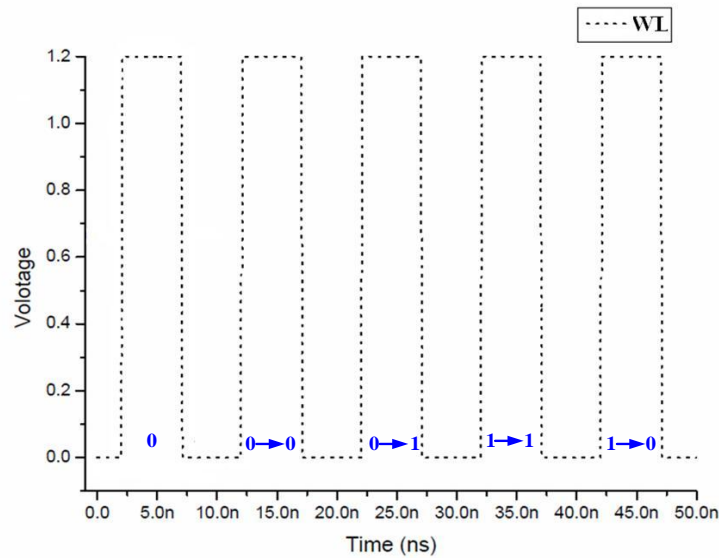


圖 2.3 (a) SRAM 字元線五個週期分佈

如下圖 2.3 (b) 所示，SRAM 再寫入邏輯 “0” 寫入邏輯 “1” 時，位元線必須在 SRAM 未存取資料前先達到穩態得狀態，才能確保在 SRAM 再寫入時不會造成資料存取錯誤的問題。

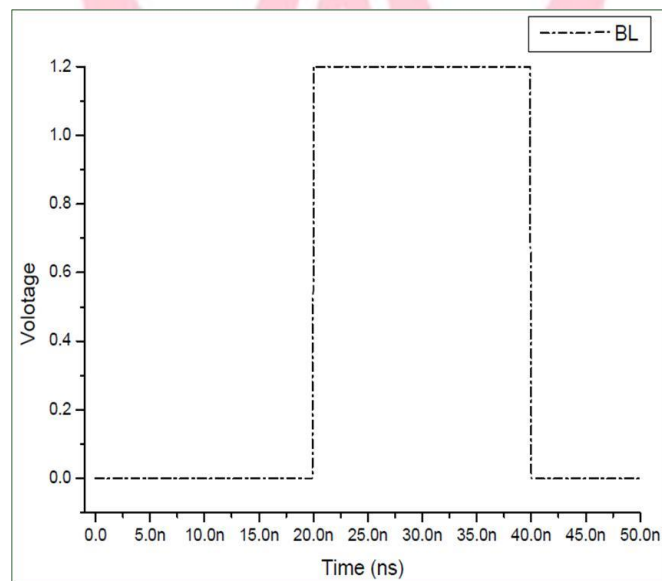


圖 2.3 (b) SRAM 位元線穩態之態狀

如下圖 2.3 (c) 所示，SRAM 由邏輯 “0” 順利寫入邏輯 “1” 至邏輯 “1” 寫入邏輯 “0” 而結束時的節點 A 狀態時序，其時序代表著資料順利完成寫入且無誤。

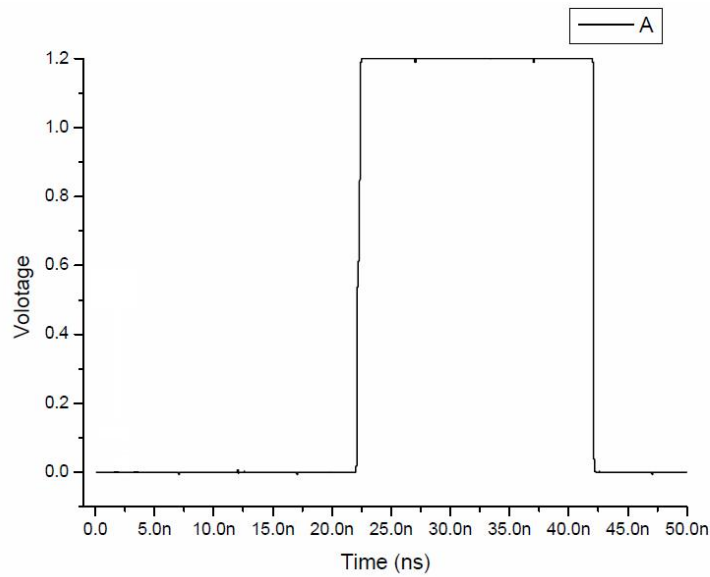


圖 2.3 (c) SRAM 順利寫入時之操作時序狀態

SRAM 經由時序圖統整結合後整體寫入過程狀態，如下圖 2.3 (d) 所示，位元線必須在邏輯“0”寫入邏輯“1”之前達到穩態方能使節點 A 能完成順利寫入的動作，而節點 A 則是由邏輯“0”順利寫入邏輯“1”開始，並且在邏輯“1”寫入邏輯“1”時穩定保持在寫入時的狀態直到邏輯“1”寫入邏輯“0”而結束來完成整個 SRAM 一個完整的寫入時序狀態。

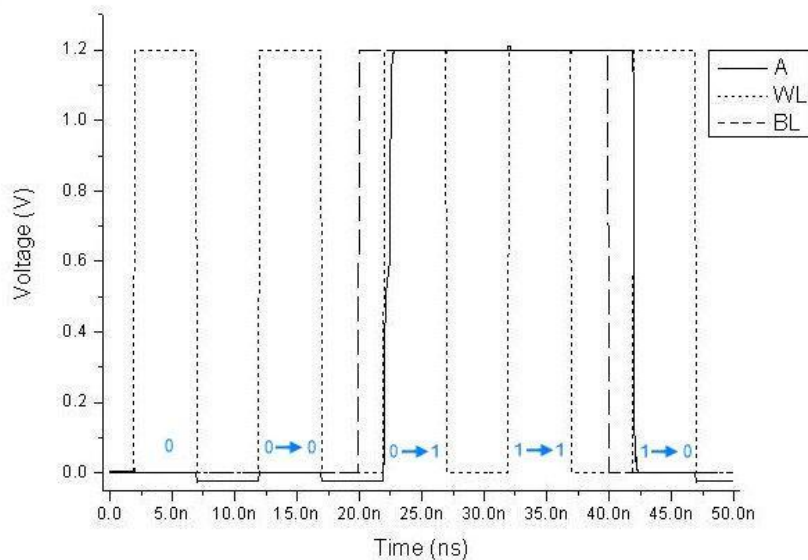


圖 2.3 (d) SRAM 整體寫入過程操作時序狀態

1.6 5T SRAM 無法寫入之成因

如下圖 1.5 (a) 所示，5T SRAM 其組成架構為一條位元線及一條字元線，並且包含了 M3 存取電晶體、M1 與 M2 驅動電晶體、P1 與 P2 負載電晶體及一電源供應電壓 V_{DD} ，但是為了用來減少 6T SRAM 晶胞之電晶體數量所衍生出 5T SRAM 晶胞，但卻會造成其出寫入邏輯 1 相當困難之問題所在，而其寫入困難其原因有三點要素。

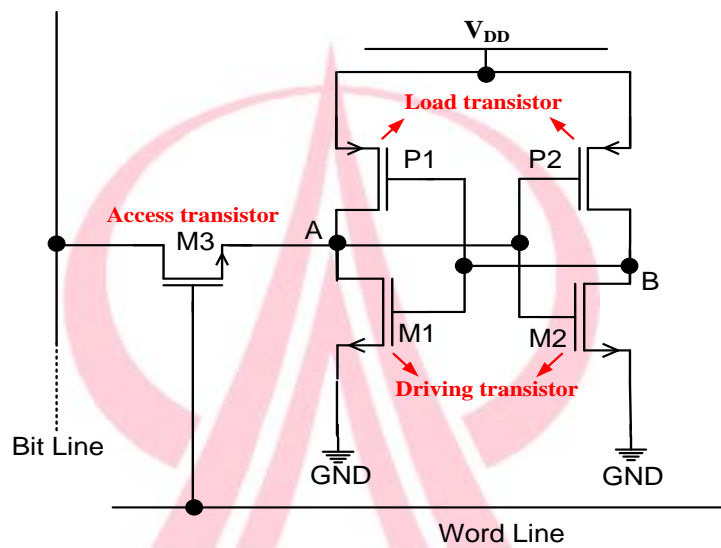


圖 1.5 (a) 5T SRAM 晶胞組成架構

其一，如圖 1.5 (b) 所示，5T SRAM 其構造再於減少了圖中虛線的部份即一存取電晶體 M4 與一條反相位元線，造成讀取與寫入狀態時無法讓晶胞正常的存取資料，使得讓節點 A 無法順利達到所要的電壓準位而讓讀取與寫入造成失敗的結果。

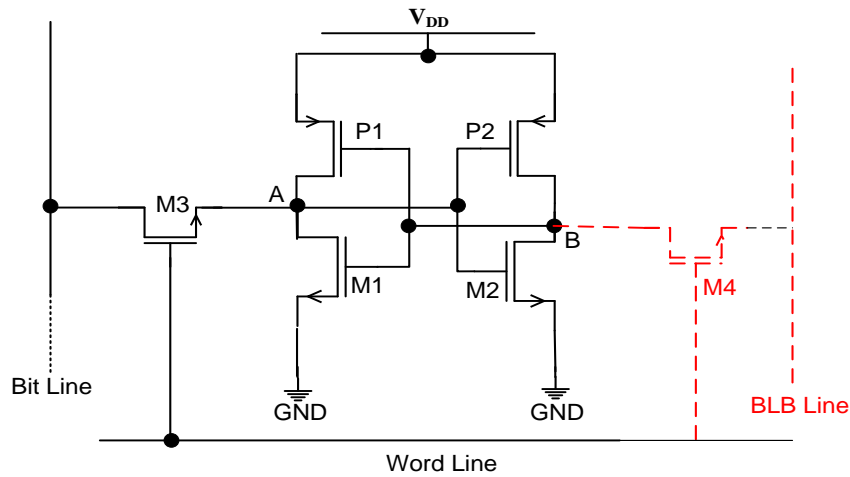


圖 1.5 (b) 5T SRAM 晶胞所減小之虛線部分電晶體

其二，如圖 1.5 (c) 所示，5T SRAM 晶胞中的 M3 存取電晶體與 M1 的驅動電晶體兩者之間存在著驅動能力比值為 2~3.5 倍，加上其分壓因素 $\frac{M_1}{M_3 + M_1} \times BL$ 小於 M1 驅動電晶體的等效電阻，也因為 M1 驅動電晶體的等效電阻太小導致 M2 驅動電晶體無法順利導通，讓晶胞無法順利完成寫入的動作。

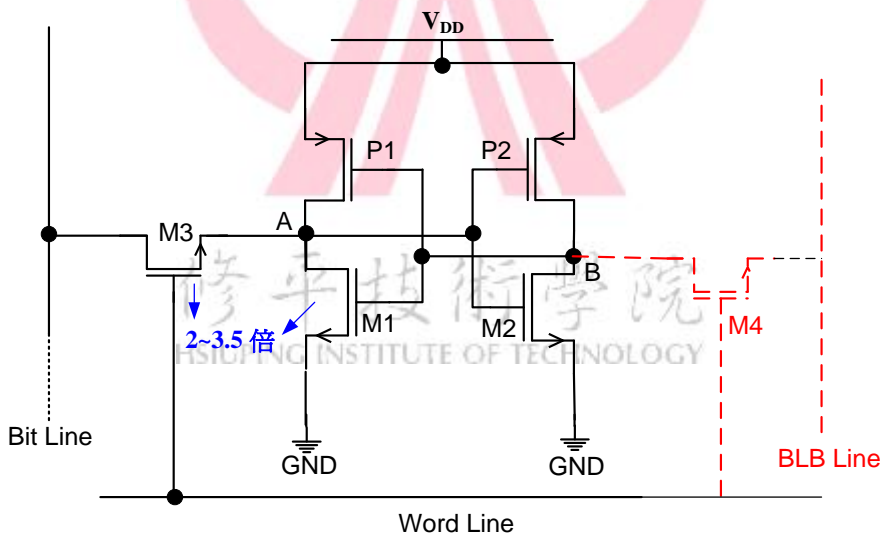


圖 1.5 (c) M1 驅動電晶體的等效電阻太小導致 M2 驅動電晶體無法順利導通

其三，如圖 1.5 (d) 所示，5T SRAM 晶胞中的 M3 存取電晶體工作於飽和區，M1 的驅動電晶體工作於線性區，也因為 M3 存取電晶體工作於飽和區的關係其等效電阻來的比較大，導致分壓時造成 M1 的驅動電晶體因工作於線性區而

所能分到的電阻相對的就變的很小，不足以讓 M2 驅動電晶體導通，讓晶胞無法順利完成寫入的動作。

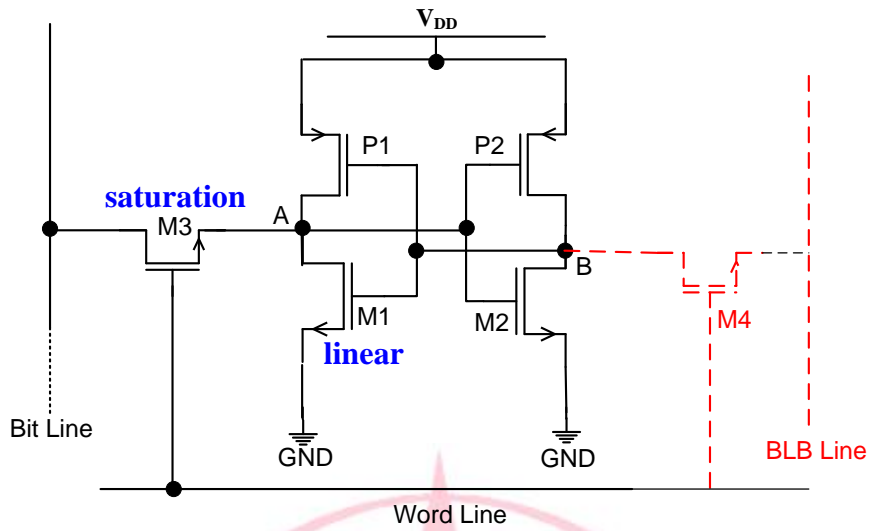


圖 1.5 (d) 分壓時造成 M1 的電晶體所能分到的電阻相對的變小不足以讓 M2 電晶體導通

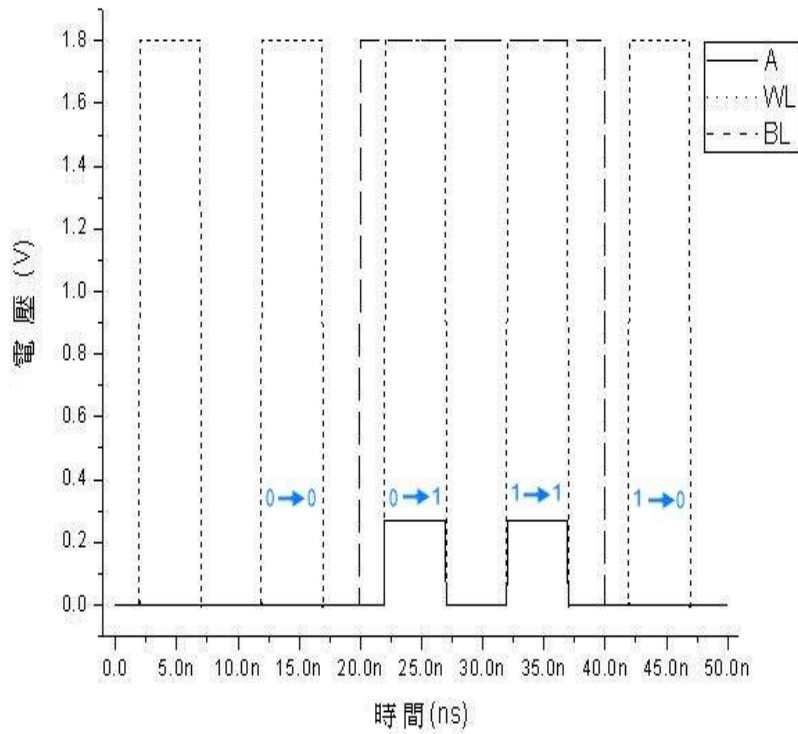


圖 1.5(e) 5T SRAM 時序圖

1.7 系統設計

根據 1.1 節所提出的各項先前系統技術雖然都可以解決寫入困難及降低帶機功率之問題但仍有些不足的缺失，而於 1.5 節所敘述之 5T 無法寫入原因，為了改善其問題所在，因此本專題基於上述原因作為本論文系統設計的條件。

本專題系統設計是藉由選定記憶體晶胞中較接近位元線 (BL) 之驅動電晶體的源極電壓提高，且另將記憶體晶胞中另一驅動電晶體的源極電壓設定成接地電壓，以有效避免習之具單位元線之(單/雙)埠靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題。

更進一步本專題系統設計共分為二個電路設計區塊，分別為記憶體晶胞電路系統區塊、控制電路系統區塊。而二個電路系統區塊又可在細分為三個模式，分別為寫入模式、待機模式、其他模式。

而於寫入模式時可避免寫入邏輯 1 困難之問題；待機模式時可降低低待機電流。

本專題所提出之低待機功率消耗之靜態隨機存取記憶體整體設計主要包括一個記憶體陣列 (memory array) 以及複數個控制電路以及待機啟動電路，記憶體陣列是由複數列記憶晶胞 (a plurality of rows of memory cells) 與複數行記憶晶胞 (a plurality of columns of memory cells) 所組成，每一列記憶晶胞設置一個控制電路，且每一列記憶晶胞與每一行記憶晶胞各包括有複數個記憶晶胞，其中每一記憶晶胞更包括一寫入用選擇電晶體 M3、二顆 NMOS 驅動電晶體 M1 和 M2、二顆 PMOS 負載電晶體 P1 和 P2、讀取用選擇電晶體 M4 以及反相電晶體 M5。如圖 1.6(a)

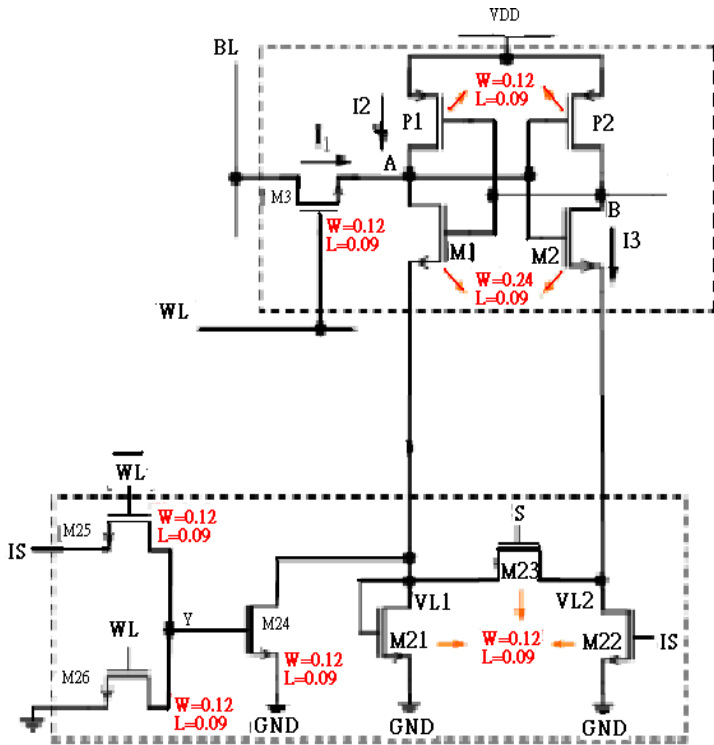


圖 1.6(a)

如圖 1.6 (a) 所示，此種設計形式為雙埠靜態隨機存取記憶體，而表 2 為具通道電晶體邏輯之雙埠靜態隨機存取記憶體各種工作模式下之電壓位準。

表 2 雙埠靜態隨機存取記憶體各工作模式下電壓位準

WL	S	Y	VL1	VL2	註
0	0	$V_{DD-Max} (V_{TM28}, V_{TM27})$	0	0	其他模式
0	V_{DD}	0	V_{TM21}	V_{TM21}	待機模式
V_{DD}	0	0	$V_{GS(M21)}$ 或 0	0	寫入模式

1.8 通道邏輯

$$F = AB + \overline{AC} + \overline{ABC}$$

$$= A(B + \overline{BC}) + \overline{AC}$$

.....將包含 A 及 \overline{A} 的項各自歸類

$$= A(B \cdot V_{DD} + \overline{BC}) + \overline{AC}$$

.....將小括弧中包含 B 及 \overline{B} 的項各自歸類

		wwl	
		0	1
s	0	1	0
	1	0	0(1)

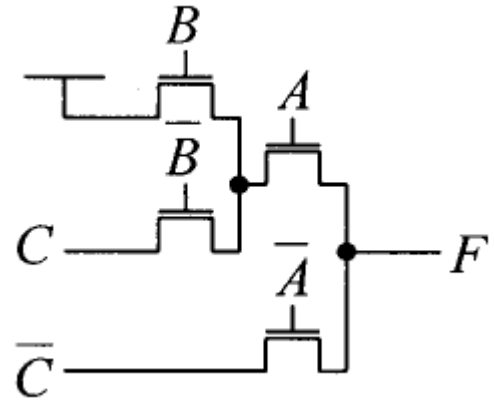
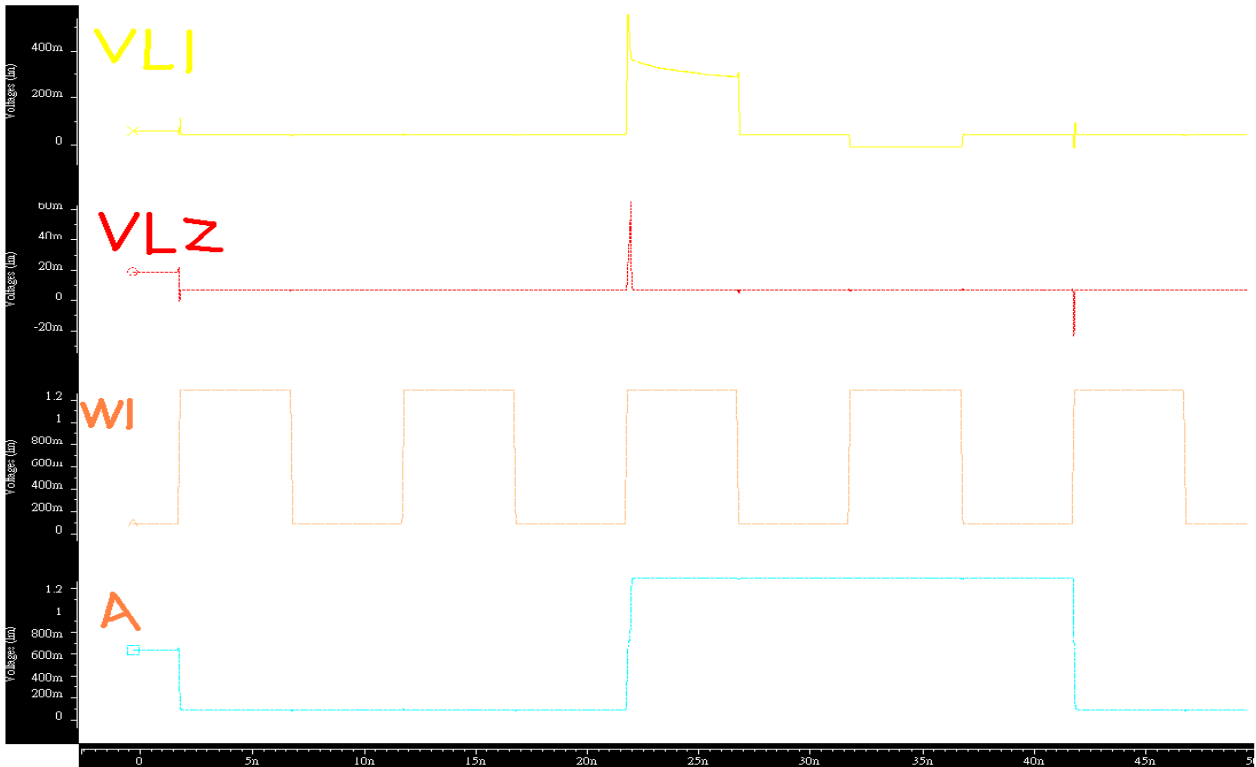
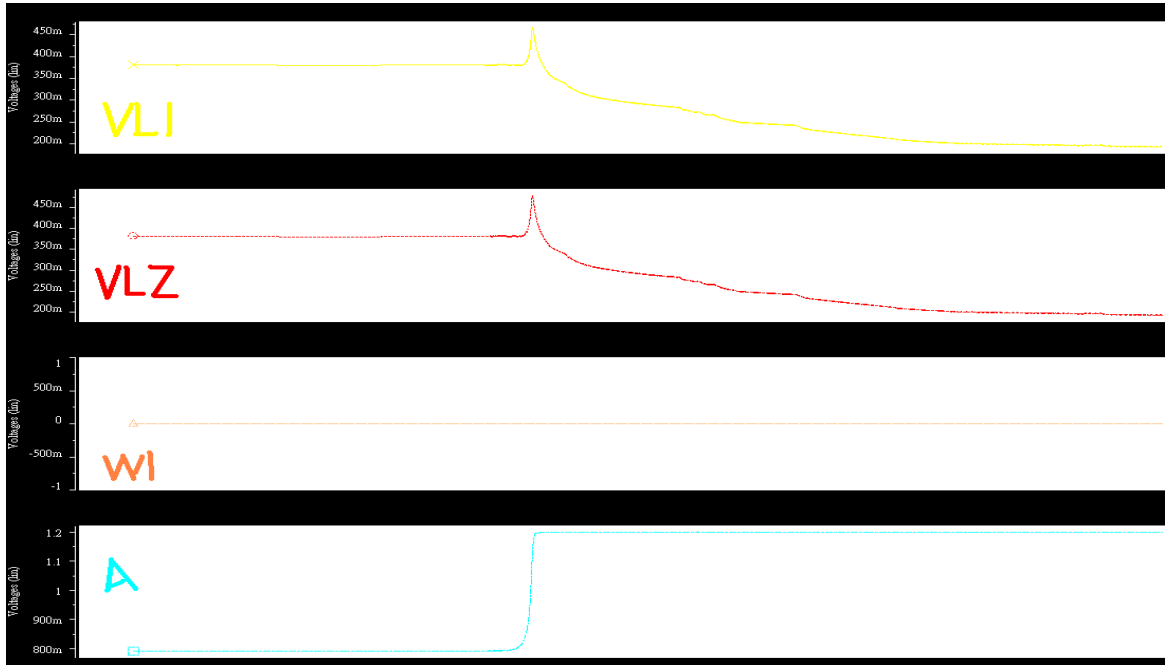


圖 1.7(a)

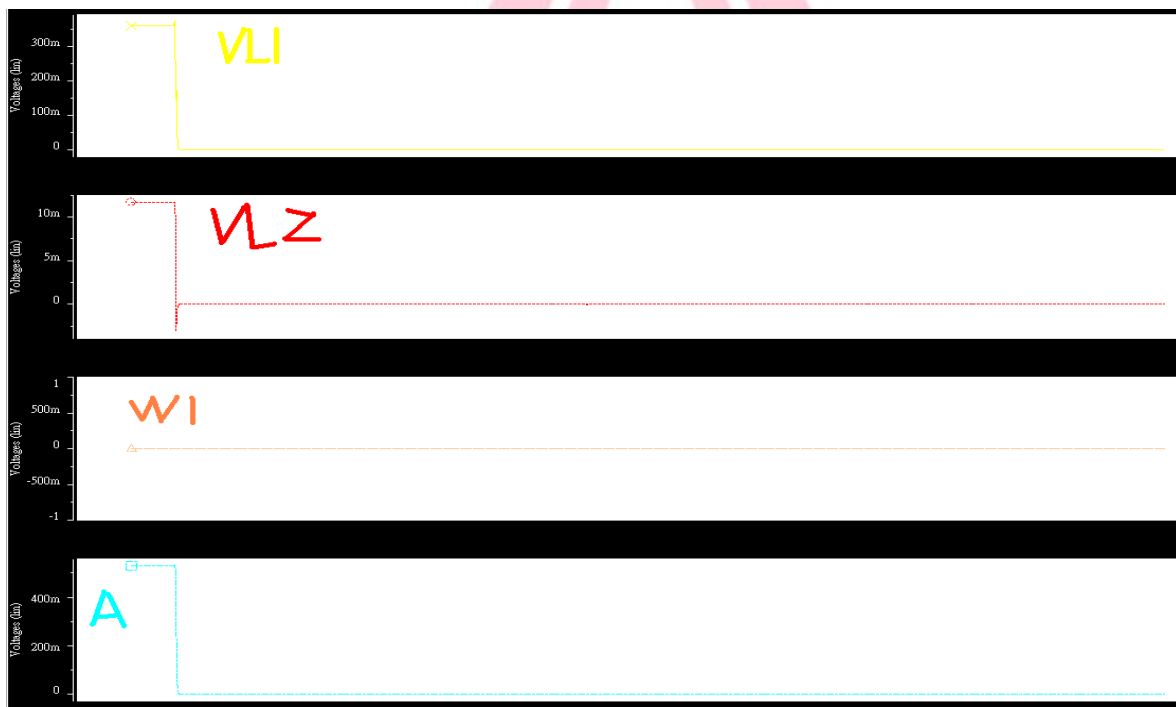
1.9 寫入模式



1.10 待機模式



1.1 其他模式



四、總結

本專題所提出之具電晶體通道邏輯及低待機功率消耗之靜態隨機存取記憶體，具有下列幾項優點：

1. 避免寫入邏輯 1 困難之問題：本專題於寫入操作時，可藉由寫入邏輯 1 之初始期間提高低電壓節點 VL1 之電壓位準以有效避免習知具單一位元線之靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題。

2. 低待機電流：由於本專題可藉由呈導通狀態之 NMOS 電晶體 M23，以使得低電壓節點 VL1 之電壓位準相等於低電壓節點 VL2 之電壓位準，並使得該等電壓位準均等於該 NMOS 電晶體 M21 及 NMOS 電晶體 M24 之臨界電壓的總和之位準，因此本專題所提出之具高效能之雙埠靜態隨機存取記憶體亦具備低待機電流之功效。

本專題所提出的具通道電晶體邏輯及低待機功率消耗之靜態隨機存取記憶體，操作模擬皆使用 HSPICE 做暫態分析模擬結果，其是以 level 49 模型且使用 TSMC 90 奈米 CMOS 製程參數加以模擬，由該模擬結果可証實，本論文提出之新穎架構的具高靜態雜訊邊際及低待機功率消耗之靜態隨機存取記憶體，能藉由寫入邏輯 1 時提高該第一低電壓節點 VL1 之電壓位準，以有效避免習知具單一位元線之靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題。再者，即使於電源供應電壓 V_{DD} 下降至 1.0V 特，並使用 TSMC 90 奈米 CMOS 製程參數加以模擬，仍能維持良好的性能。

如表 3 所示，本專題所提出之具通道電晶體邏輯及低待機功率消耗之靜態隨機存取記憶體與傳統 SRAM 於待機模式下之漏電流比較，在製程 TT、SS 以及 FF 時分別減少 90.7%、31.5% 及 87.3% 的漏電流。

五、參考文獻

- [1] Y. H. Chan et al., “Eight transistor SRAM cell with improved stability requiring only one word line” , U.S. pat.7606060, Oct., 2009.
- [2] M. Ukita et al. ,” A single-bit-line cross-point cell activation (SCPA) architecture for ultra-low-power SRAM's,” *IEEE JSSC*, vol.28, pp.1114-1118 ,1993.
- [3] H. Tran,” Demonstration of 5T SRAM and 6T dual-port RAM cell arrays,” *VLSI Circuits Digest of Technical Papers., 1996 Symposium* , pp.68-69 ,1996.
- [4] J.B. Kuo et al. ,” A novel two-port 6T CMOS SRAM cell structure for low-voltage VLSI SRAM with single-bit-line simultaneous read-and-write access (SBLRWA) capability,” *IEEE Symposium on Circuits and Systems*, pp.733-736,2000.
- [5] I. Carlson et al. ,” A high density, low leakage, 5T SRAM for embedded caches,” *Solid-State Circuits Conference, 2004. ESSCIRC 2004. Proceeding of the 30th European*, pp.215-218,2004.
- [6] M. Wieckowski et al. ,” A novel five-transistor (5T) sram cell for high performance cache,” *IEEE Conference on SOC*, pp.1001-1002,2005.
- [7] M. C. Shiau et al., “Single port SRAM having a lower power supply in writing operation” , TW pat. M358390, June, 2009.
- [8] H. Ankur Goel, “8-T SRAM cell circuit, system and method for low leakage current” , U.S. pat.7619916, Nov., 2009.
- [9] 蕭明椿,張恩誌,” 5T 單埠 SRAM” 中華民國專利。
- [10] 張恩誌,蕭明椿”5T 靜態隨機存取記憶體”, 2010 ILT 勤益科技大學第五屆智慧生活科技積體電路設計組。
- [11] 蕭明椿,張恩誌,” 5T 靜態隨機存取記憶體” 中華民國專利。
- [12] 張恩誌,蕭明椿”具高效能之靜態隨機存取記憶體”, 2011 CECA 高雄應用科技大學。
- [13] 蕭明椿,張恩誌,” 具高效能之靜態隨機存取記憶體” 中華民國專利。
- [14] 蕭明椿,張恩誌,” 具高效能之雙埠靜態隨機存取記憶體” 中華民國專利。
- [15] 張恩誌,蕭明椿”雙埠靜態隨機存取記憶體”, pp.197 -204, 2010 C'META 高雄海洋科技大學第八屆微電子技術發展與應用系統設計組。
- [16] 蕭明椿,張恩誌,” 雙埠靜態隨機存取記憶體” 中華民國專利。

六、作者簡介

張至瑜 四電四乙 BD97122

朱塏越 四電四乙 BD97095



修平技術學院
HSIUPING INSTITUTE OF TECHNOLOGY