

【54】名稱：低功率電壓位準轉換器

LOW-POWER LEVEL CONVERTER

【21】申請案號：097209144

【22】申請日：中華民國97(2008)年5月26日

【72】創作人：余建政 YU, CHIEN CHENG

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY

臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種低功率電壓位準轉換器，用以將一第一信號轉換為一第二信號，包含有：

一第一輸入端(IN)，用以提供一輸入電壓(V(IN))信號；

一第二輸入端(INB)，用以提供一輸入電壓(V(IN))的反相信號；

一輸出端(OUT)，用以輸出該第二信號；

一第一節點(X)，用以提供一電壓信

號至輸出級(5)中之第三 PMOS 電晶體(MP3)的閘極；

一第二節點(Y)，用以提供一電壓信號至第二電晶體(2)的閘極；

5. 一第一電源電壓，用以提供電壓位準轉換器所需之第一高電位電壓(VDDH)；

一第二電源電壓，用以提供電壓位準轉換器所需之第二高電位電壓

10. (VDDL)，該第二高電位電壓(VDDL)

之位準係小於該第一高電位電壓(VDDH)之位準；

一第一電晶體(1)，用來接受輸入電壓(V(IN))信號，其係由一第一NMOS電晶體(MN1)組成，其源極連接至地(GND)，其汲極連接至第二電晶體的汲極，而其閘極則連接至第一輸入端(IN)；

一第二電晶體(2)，用來接受回授控制電路(4)所提供的信號，其係由一第一PMOS電晶體(MP1)組成，其源極連接至第一高電位電壓(VDDH)，其汲極連接至第一電晶體(1)的汲極，而其閘極則連接至第二節點(Y)；

一第一反相器(3)，用來接受輸入電壓(V(IN))信號，並提供一個與輸入電壓(V(IN))信號反相的信號至第二反相器(4)以及輸出級(5)中之第三NMOS電晶體(MN3)的閘極；

一第二反相器(4)，用來控制第二電晶體(2)；以及

一輸出級(5)，用以調整輸出端(OUT)之電壓信號。

2.如申請專利範圍第1項所述的低功率電壓位準轉換器，其中該第一反相器(3)包括：

一第二PMOS電晶體(MP2)，其源極連接至第二高電位電壓(VDDL)，其汲極連接至第二NMOS電晶體(MN2)的汲極，而其閘極則連接至第一輸入端(IN)；以及

一第二NMOS電晶體(MN2)，其源極連接至地(GND)，其汲極連接至第二PMOS電晶體(MP2)的汲極，而其閘極則連接至第一輸入端(IN)。

3.如申請專利範圍第2項所述的低功率電壓位準轉換器，其中該第二反相器(4)包括：

一第四PMOS電晶體(MP4)，其源極連接至第一高電位電壓(VDDH)，其汲極連接至第四NMOS電晶體(MN4)的汲極，而其閘極則連接至第二輸入端(INB)；以及

一第四NMOS電晶體(MN4)，其源極連接至地(GND)，其汲極連接至第四PMOS電晶體(MP4)的汲極，而其閘極則連接至第二輸入端(INB)。

5. 4.如申請專利範圍第3項所述的低功率電壓位準轉換器，其中該輸出級(5)包括：

一第三PMOS電晶體(MP3)，其源極連接至第一高電位電壓(VDDH)，其汲極連接至第三NMOS電晶體(MN3)的汲極，而其閘極則連接至第一節點(X)；以及

15. 一第三NMOS電晶體(MN3)，其源極連接至地(GND)，其汲極連接至第三PMOS電晶體(MP3)的汲極，而其閘極則連接至第二輸入端(INB)。

20. 5.如申請專利範圍第1項所述的低功率電壓位準轉換器，其中該第一信號的振幅為0伏特至該第二高電位電壓(VDDL)之間。

25. 6.如申請專利範圍第5項所述的低功率電壓位準轉換器，其中該第二信號的振幅為0伏特至該第一高電位電壓(VDDH)之間。

30. 圖式簡單說明：

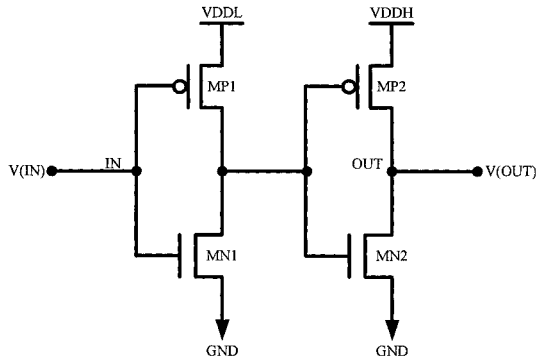
第1圖係顯示第一先前技術中電壓位準轉換器之電路圖；

第2圖係顯示第二先前技術中電壓位準轉換器之電路圖；

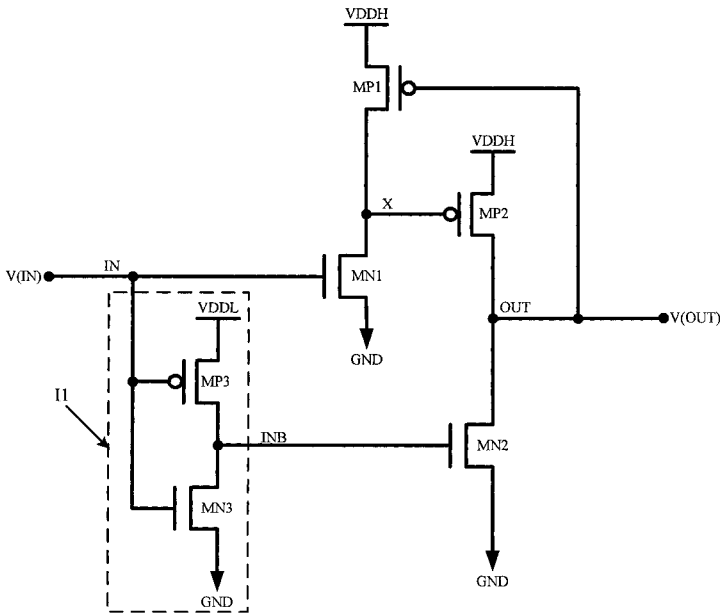
35. 第3圖係顯示本創作較佳實施例之電壓位準轉換器之電路圖；

第4圖係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

(3)

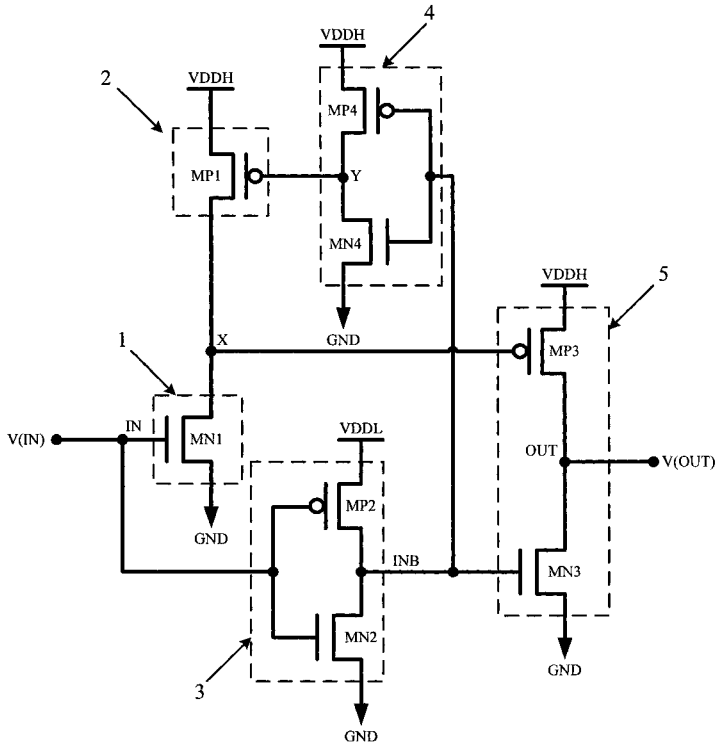


第 1 圖

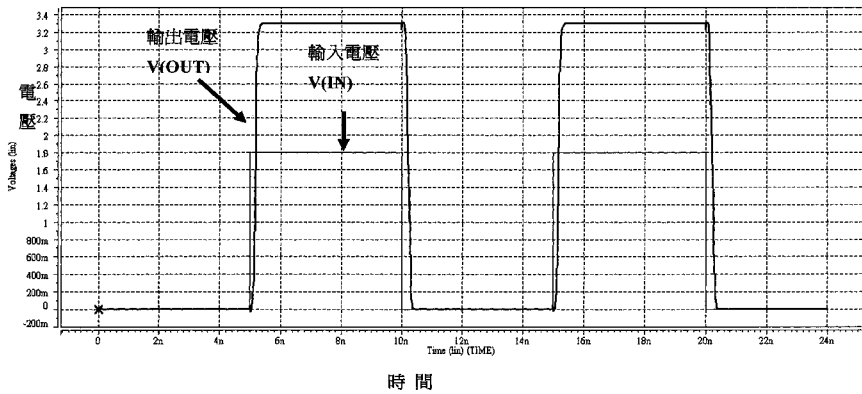


第 2 圖

(4)



第 3 圖



第 4 圖