

【11】證書號數：M346220

【45】公告日：中華民國97(2008) 年 12 月 1 日

【51】Int. Cl. : **H03K19/0175 (2006.01)**

新型

全 4 頁

【54】名稱： 具雙充電路徑之電位轉換器

LEVEL SHIFTER HAVING DUAL CHARGING PATHS

【21】申請案號：097204381

【22】申請日：中華民國97(2008)年3月14日

【72】創作人：余建政 YU, CHIEN CHENG

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

- 1.一種具雙充電路徑之電位轉換器，用以將一第一信號轉換為一第二信號，其包括：
 - 一輸入端(IN)，用以提供一輸入電壓信號；
 - 一輸出端(OUT)，用以輸出該第二信號；
 - 一第一電源電壓，用以提供電位轉換器所需之第一高電位電壓(VDDH)和參考接地；

5.

10.

- 一第二電源電壓，用以提供電位轉換器所需之第二高電位電壓(VDDL)和參考接地，該第二高電位電壓(VDDL)之位準係小於該第一高電位電壓(VDDH)之位準；
 - 一差動放大器(1)，用以接受該輸入電壓信號及輸出端之輸出電壓回授信號，並提供充電電流信號給電流鏡(2)；
 - 一電流鏡(2)，其係做為第一充電器

使用，以提供控制電晶體(5)所需之第一充電電流；

一反相器(3)，用來接受輸入電壓(V(IN))信號，並控制該控制電晶體(5)之導通(on)或關閉(off)；

一二極體(4)，該二極體係做為第二充電器使用，以提供該控制電晶體(5)所需之第二充電電流，其係由一第四 NMOS 電晶體(MN4)組成，其源極連接至輸出端(OUT)，其閘極與汲極連接在一起；以及

一控制電晶體(5)，用以提供一充電路徑，其係由一第三 NMOS 電晶體(MN3)組成，其源極連接至地(GND)，其汲極連接至第四PMOS電晶體(MP4)的汲極，以接受該電流鏡(2)所供應之充電電流，而其閘極則連接至反相器(3)的輸出端。

- 2.如申請專利範圍第1項所述之具雙充電路徑之電位轉換器，其中該差動放大器(1)包括：一第一 PMOS 電晶體(MP1)，其源極連接至第一高電位電壓(VDDH)，閘極與第二 PMOS 電晶體(MP2)之閘極相連接，而汲極則與該電流鏡(2)以及第一 NMOS 電晶體(MN1)之汲極相連接；一第二 PMOS 電晶體(MP2)，其源極連接至第一高電位電壓(VDDH)，閘極與汲極連接在一起，並連接至第一PMOS電晶體(MP1)之閘極，而汲極與第二 NMOS電晶體(MN2)之汲極連接；一第一 MNOS 電晶體(MN1)，其源極與第二 MNOS 電晶體(MN2)之源極連接在一起，並連接至地(GND)，閘極用以接受該輸入電壓(V(IN))信號，而汲極則與該電流鏡(2)以及第一 PMOS 電晶體(MP1)之汲極相連接；以及
- 一第二 MNOS 電晶體(MN2)，其源極與第一 MNOS 電晶體(MN1)之源

極連接在一起，並連接至地(GND)，閘極用以接受輸出端(OUT)之輸出電壓 V((OUT))回授信號，而汲極則與該第二 PMOS 電晶體(MP2)之汲極相連接。

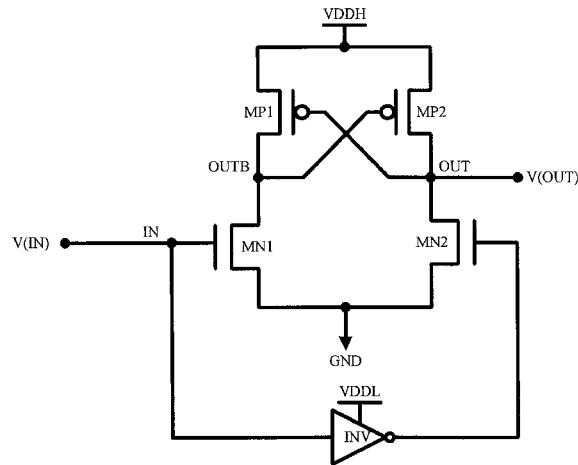
5. 3.如申請專利範圍第2項所述之具雙充電路徑之電位轉換器，其中該電流鏡(2)包括：
 10. 一第三 PMOS 電晶體(MP3)，其源極連接至第一高電位電壓(VDDH)，閘極與汲極連接在一起，並連接至第一 MNOS 電晶體(MN1)之汲極；以及
 15. 一第四 PMOS 電晶體(MP4)，其源極連接至第一高電位電壓(VDDH)，閘極與第三 PMOS 電晶體(MP3)之閘極連接，而汲極則與該控制電晶體(5)以及第二 NMOS 電晶體(MN2)之閘極相連接到輸出端(OUT)。
 20. 4.如申請專利範圍第1項所述之具雙充電路徑之電位轉換器，其中該反相器(3)的電壓源為該第二高電位電壓(VDDL)。
 25. 5.如申請專利範圍第4項所述之具雙充電路徑之電位轉換器，其中該第一信號的振幅為0伏特至該第二高電位電壓(VDDL)之間。
 30. 6.如申請專利範圍第5項所述之具雙充電路徑之電位轉換器，其中該第二信號的振幅為0伏特至該第一高電位電壓(VDDH)之間。
- 圖式簡單說明：
35. 第 1 圖 係顯示第一先前技藝中電位轉換器之電路圖；
 35. 第 2 圖 係顯示第二先前技藝中電位轉換器之電路圖；
 35. 第 3 圖 係顯示本創作較佳實施例之電位轉換器之電路圖；
 40. 第 4 圖 係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之

(3)

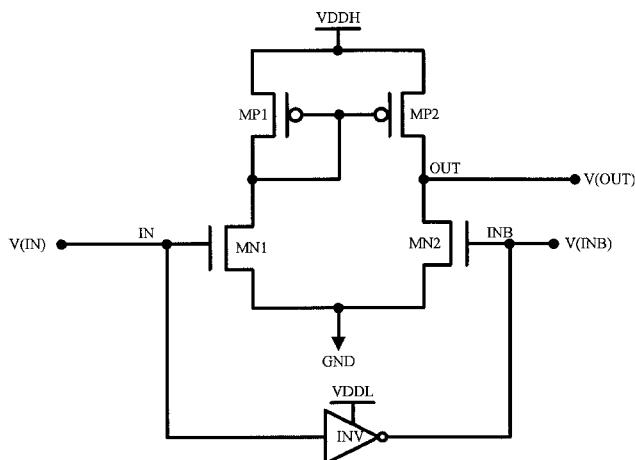
5

6

暫態分析時序圖；

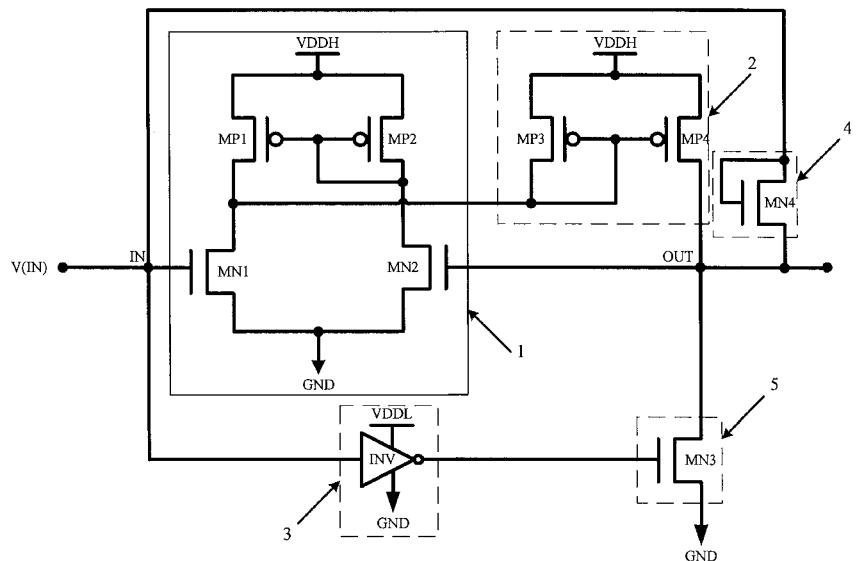


第 1 圖

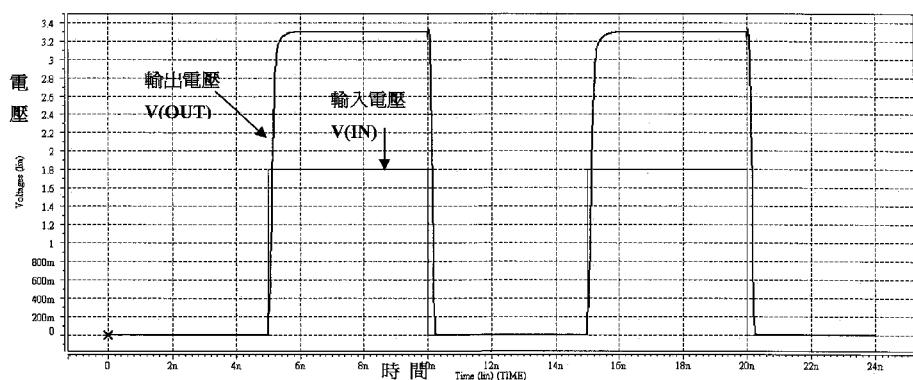


第 2 圖

(4)



第3圖



第4圖