

【11】證書號數：M350181

【45】公告日：中華民國98(2009)年2月1日

【51】Int. Cl. : **H03K19/096 (2006.01)**

新型 全 3 頁

【54】名稱：具NMOS樹之骨牌式電路

DOMINO CIRCUIT WITH NMOS TREE

【21】申請案號：097210760

【22】申請日：中華民國97(2008)年6月18日

【72】創作人：蕭明椿 SHIAU, MING CHUEN；彭嘉璋 PENG, JIA WEI；張雅筑 JANG, YA JU

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY

臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種具 NMOS 樹之骨牌式電路，其包括：

一控制電路(3)以及複數個具 NMOS 樹之骨牌式基本閘；

每一具 NMOS 樹之骨牌式基本閘更包括有：

一第一 PMOS 電晶體(MP1)，其源極連接至一第一電源電壓(Vdd)，閘極用於接受一時脈(clk)，而汲極則連接至一第一內部節點(N1)；

一第一 NMOS 電晶體(MN1)，其源極連接至參考接地，閘極用於接受該時脈(clk)，而汲極則連接至一第二內部節點(N2)；

5. 一 NMOS 樹(1)，其連接在該第一內部節點(N1)與該第二內部節點(N2)之間，並接受複數個邏輯輸入信號(IN1、IN2、...、INn)，以便對該等邏輯輸入信號(IN1、IN2、...、INn)

10. 執行一邏輯運算；

一保持電路(2)，供有效保持該具 NMOS 樹之骨牌式電路的輸出端 (OUT) 之信號不受電荷重新分佈、耦合雜訊、及 / 或漏電流等的影響；以及

一時脈 (clk)，該時脈 (clk) 具有一第二電源電壓 (Vdd2) 之邏輯高電位與參考接地之邏輯低電位；

其中，該保持電路(2)更包括有：

一反相器 (INV)，該反相器 (INV) 係連接在該第一內部節點 (N1) 與該具 NMOS 樹之骨牌式電路的輸出端 (OUT) 之間；以及

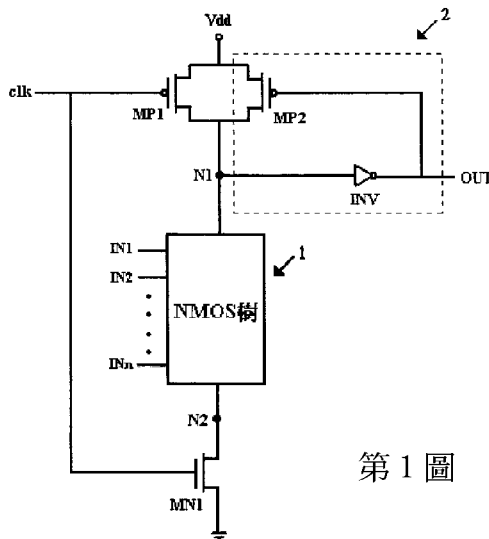
一第二 PMOS 電晶體 (MP2)，其汲極連接至第一內部節點 (N1)，閘極連接至該具 NMOS 樹之骨牌式電路的輸出端 (OUT)，而源極則連接至一第一電源電壓 (Vdd1)；

而該控制電路(3)則更包括有：

一第三 PMOS 電晶體 (MP3)，該第三 PMOS 電晶體 (MP3) 之源極連接至該第一電源電壓 (Vdd)，閘極用於接受該時脈 (clk)，而汲極則連接至該第一 PMOS 電晶體 (MP1) 之一基底；以及
一第四 PMOS 電晶體 (MP4)，該第四

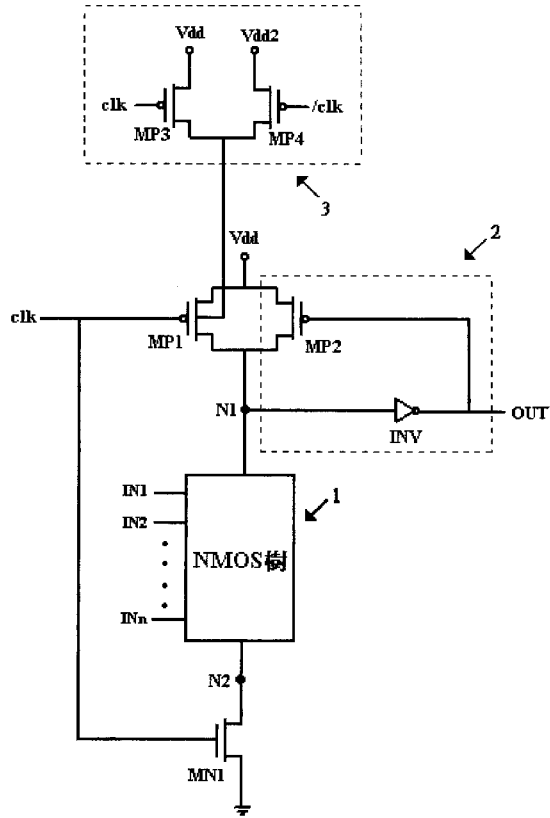
PMOS 電晶體 (MP4) 之源極連接至該第二電源電壓 (Vdd2)，閘極用於接受一反相時脈 (/clk)，而汲極則連接至該第一 PMOS 電晶體 (MP1) 之該基底。

5. 2. 如申請專利範圍第 1 項所述之具 NMOS 樹之骨牌式電路，其中該第二電源電壓 (Vdd2) 之電位係高於該第一電源電壓 (Vdd) 之電位。
10. 3. 如申請專利範圍第 1 項所述之具 NMOS 樹之骨牌式電路，其中該時脈 (clk) 於一預放電相位 (Precharge phase) 期間，係為參考接地之邏輯低電位。
15. 4. 如申請專利範圍第 1 項所述之具 NMOS 樹之骨牌式電路，其中該時脈 (clk) 於一求值相位 (Evaluation phase) 期間，係為該第二電源電壓 (Vdd2) 之邏輯高電位。
20. 圖式簡單說明：
25. 第 1 圖 係顯示一種習知具 NMOS 樹之骨牌式基本閘；
第 2 圖 係顯示本創作較佳實施例之具 NMOS 樹之骨牌式電路。



第 1 圖

(3)



第 2 圖

