

【11】證書號數：M352747

【45】公告日：中華民國98(2009)年3月11日

【51】Int. Cl. : **G11C11/40 (2006.01)**

新型 全 7 頁

【54】名稱：具低漏電流及預寫控制之雙埠靜態隨機存取記憶體

DUAL PORT SRAM WITH LOWERING LEAKAGE CURRENT AND PREWRITING CONTROL

【21】申請案號：097215626

【22】申請日：中華民國97(2008)年8月29日

【72】創作人：廖笙緯 LIAO, SHENG WEI；蕭明椿 SHIAU, MING CHUEN

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY

臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種具低漏電流及預寫控制之雙埠靜態隨機存取記憶體，包括：

複數個雙埠 SRAM 晶胞(1)，該等雙埠 SRAM 晶胞(1)係連接在一高電壓節點(VH)與一低電壓節點(VL)之間；

一第一偏壓電路(2)，該第一偏壓電路(2)係用以接收一第一控制信號(SAP)，且於該第一控制信號(SAP)為代表主動模式(active mode)之邏輯

低位準時，將一高電源供應電壓(HV_{DD})供應至該高電壓節點(VH)，而於該第一控制信號(SAP)為代表待機模式(standby mode)之邏輯高位準時，則將一低電源供應電壓(LV_{DD})供應至該高電壓節點(VH)；以及

一第二偏壓電路(3)，該第二偏壓電路(3)係用以接收一第二控制信號(SAN)，且於該第二控制信號(SAN)為代表主動模式之邏輯高位準時，

將接地電壓供應至該低電壓節點(VL)，而於該第二控制信號(SAN)為代表待機模式之邏輯低位準時，則將較接地電壓為高之一電壓供應至該低電壓節點(VL)；

其中，每一雙埠SRAM晶胞(1)更包含：

一第一反相器，係由第一PMOS電晶體(P1)與第一NMOS電晶體(M1)所組成；

一第二反相器，係由第二PMOS電晶體(P2)與第二NMOS電晶體(M2)所組成；

一儲存節點(A)，係由該第一反相器之輸出端所形成；

一反相儲存節點(B)，係由該第二反相器之輸出端所形成；

一寫入用選擇電晶體(MWS)，係連接在該儲存節點(A)與一寫入用位元線(WBL)之間，且閘極連接至一寫入用字元線(WWL)；

一讀取用選擇電晶體(MRS)，其一端連接至一讀取用位元線(RBL)，另一端與一反相電晶體(MINV)相連接，而閘極則連接至一讀取用字元線(RWL)；

一預寫電晶體(MPRE)，係連接在該反相儲存節點(B)與接地之間，且閘極連接至一預寫控制線(WPRE)；以及

一反相電晶體(MINV)，其一端與該讀取用選擇電晶體(MRS)相連接，另一端連接至儲存節點(A)，而閘極則連接至該反相儲存節點(B)；

其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端(即儲存節點A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點B)則連接至該第一反相器之輸入

端。

- 2.如申請專利範圍第1項所述之具低漏電流及預寫控制之雙埠靜態隨機存取記憶體，其中該寫入用字元線(WWL)於寫入操作期間係設定為該高電源供應電壓(HV_{DD})，而於寫入操作以外之期間則設定為接地電壓。
- 5.
- 3.如申請專利範圍第1項所述之具低漏電流及預寫控制之雙埠靜態隨機存取記憶體，其中該讀取用字元線(RWL)於讀取操作期間係設定為該高電源供應電壓(HV_{DD})，而於讀取操作以外之期間則設定為低於接地電壓但高於產生閘極引發汲極洩漏(GIDL)電流之電壓位準。
- 10.
- 15.
- 4.如申請專利範圍第1項所述之具低漏電流及預寫控制之雙埠靜態隨機存取記憶體，其中該第一偏壓電路(2)係由一第三PMOS電晶體(P21)、一第四PMOS電晶體(P22)以及一第三反相器(I23)所組成，該第三PMOS電晶體(P21)之源極、閘極與汲極係分別連接至該高電源供應電壓(HV_{DD})、該第一控制信號(SAP)與該高電壓節點(VH)，該第四PMOS電晶體(P22)之源極、閘極與汲極係分別連接至該低電源供應電壓(LV_{DD})、該第三反相器(I23)之輸出端與該高電壓節點(VH)，而該第三反相器(I23)之輸入端則用以接收該第一控制信號(SAP)。
- 20.
- 25.
- 30.
- 5.如申請專利範圍第1項所述之具低漏電流及預寫控制之雙埠靜態隨機存取記憶體，其中該第二偏壓電路(3)係由一第三NMOS電晶體(M31)以及一第四NMOS電晶體(M32)所組成，該第三NMOS電晶體(M31)之源極、閘極與汲極係分別連接至接地電壓、該第二控制信號(SAN)與該低電壓節點(VL)，該第四NMOS電晶體
- 35.
- 40.

(M32)之源極係連接至接地電壓，而閘極與汲極則連接在一起，並連接至該低電壓節點(VL)。

圖式簡單說明：

第1圖 係顯示習知6T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

第2圖 係顯示習知5T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

第3圖 係顯示習知4T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

第4圖 係顯示習知3T 靜態隨機

存取記憶體(SRAM)晶胞之電路示意圖；

第5圖 係顯示習知雙埠靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

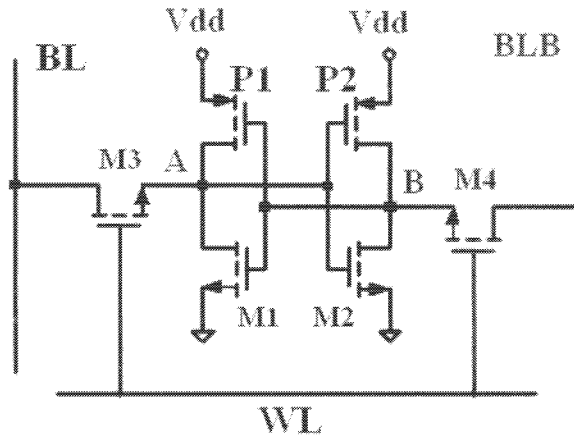
第6圖 係顯示我國專利公告第M285004 號之習知雙埠靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

第7圖 係顯示本創作所提出之雙埠靜態隨機存取記憶體(SRAM)之電路示意圖；

第8圖 係顯示第7圖雙埠SRAM於待機模式時所產生之各次臨界漏電流。

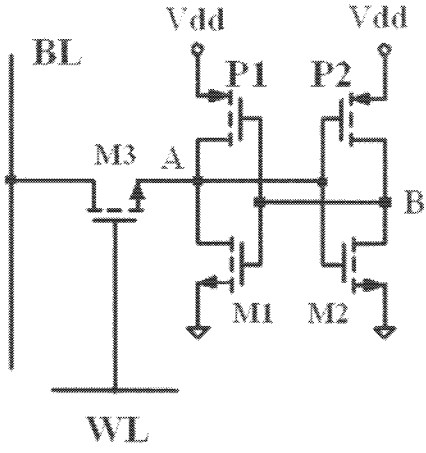
5.

10.

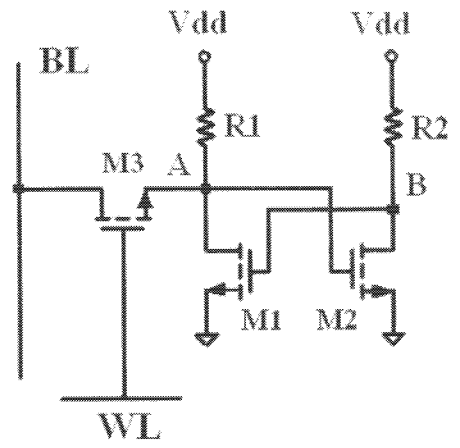


第1圖

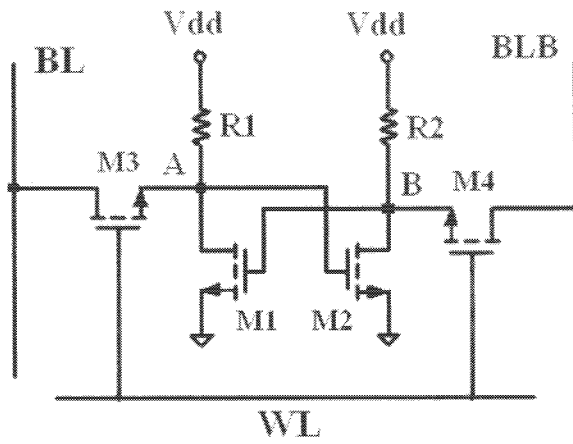
(4)



第 2 圖

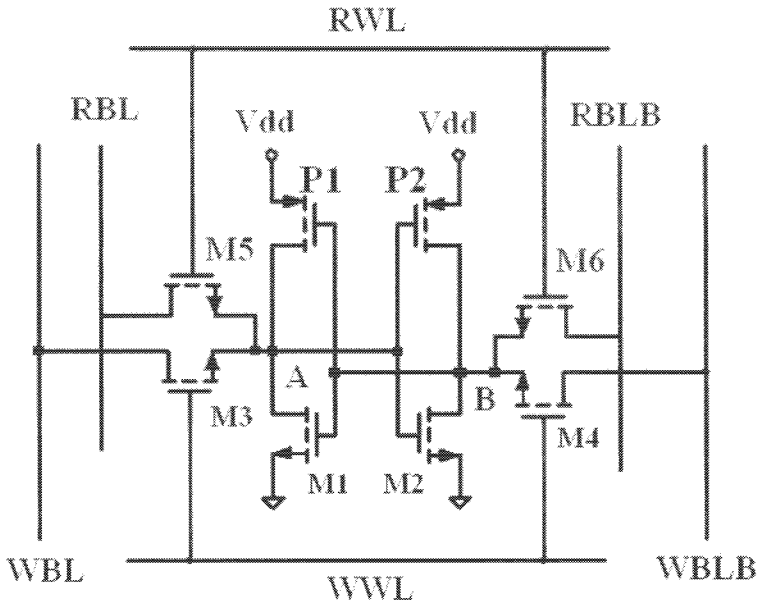


第 4 圖

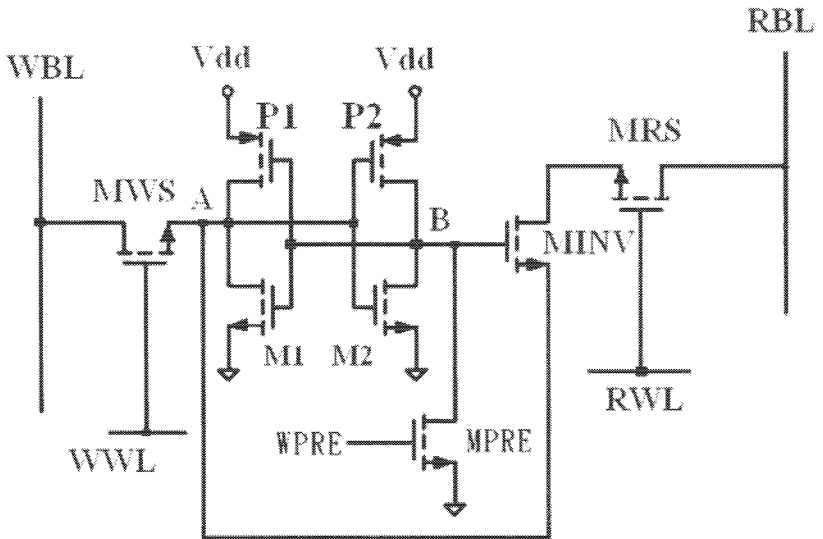


第 3 圖

(5)

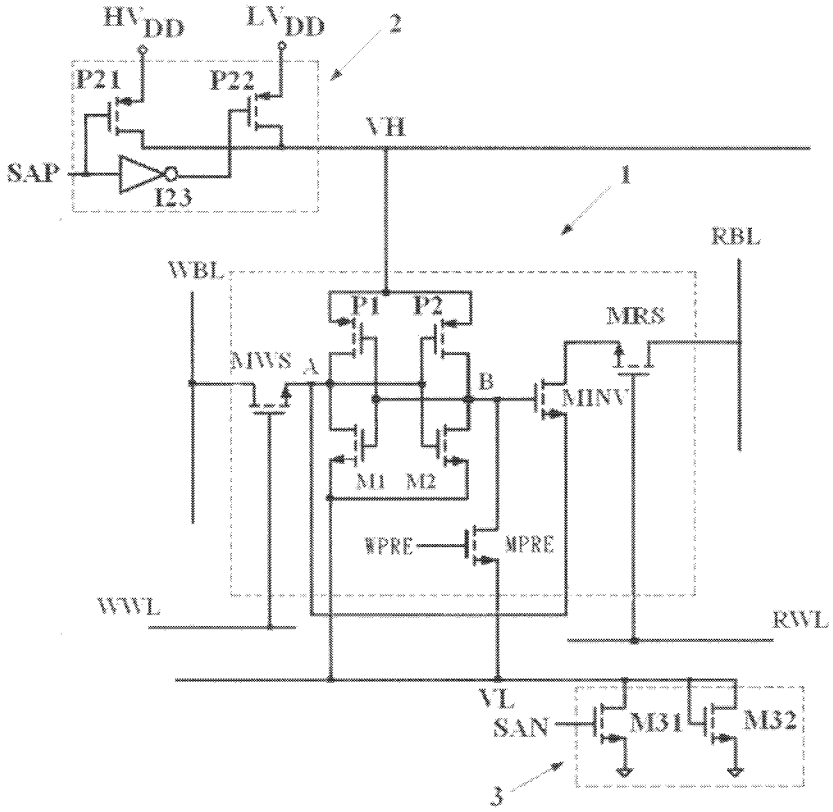


第 5 圖



第 6 圖

(6)



第 7 圖

