

【54】名稱：位準移位器
LEVEL SHIFTER

【21】申請案號：097215625

【22】申請日：中華民國97(2008)年8月29日

【72】創作人：余建政 YU, CHIEN CHENG

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種位準移位器，用以將一第一信號轉換為一第二信號，其包括：

- 一第一輸入端(IN)，用以提供一輸入電壓(V(IN))信號；
- 一第二輸入端(INB)，用以提供一輸入電壓(V(IN))的反相信號；
- 一輸出端(OUT)，用以輸出該第二信號；
- 一第一電源電壓，用以提供位準移位器所需之第一高電位電壓

- (VDDH)；
- 一第二電源電壓，用以提供位準移位器所需之第二高電位電壓(VDDL)，該第二高電位電壓(VDDL)之位準係小於該第一高電位電壓(VDDH)之位準；
- 一差動放大器(1)，用以接受並比較輸入電壓信號及輸出端(OUT)上之電壓信號，並提供充電電流給拉升電晶體(2)；

一拉升電晶體(2)，用以根據流過該差動放大器(1)之負載電晶體之電流量，而將輸出端(OUT)拉升至第一高電位電壓(VDDH)之位準；

一第一反相器(3)，用以接受該輸入電壓(V(IN))信號，並控制該差動放大器(1)之導通(on)或關閉(off)；

一第二反相器(4)，用來接受輸入電壓(V(IN))信號，並控制該拉降電晶體(5)之導通(on)或關閉(off)；以及一拉降電晶體(5)，用以提供一放電路徑，以便將輸出端(OUT)電位拉降至地(GND)。

- 2.如申請專利範圍第1項所述的位準移位器，其中該差動放大器(1)包括：
 - 一負載電晶體，其係由一第一PMOS電晶體(MP1)所組成，該第一PMOS電晶體(MP1)之源極連接至第一高電位電壓，閘極與汲極連接在一起，並連接至拉升電晶體(2)之閘極；
 - 一第一NMOS電晶體(MN1)，其源極與第二NMOS電晶體(MN2)之源極以及第五PMOS電晶體(MP5)之汲極相連接，其閘極用以接受輸入電壓(V(IN))信號，而其汲極則與該拉升電晶體(2)之閘極以及該第一PMOS電晶體(MP1)之汲極相連接；
 - 一第二NMOS電晶體(MN2)，其源極與第一NMOS電晶體(MN1)之源極以及第五PMOS電晶體(MP5)之汲極相連接，其閘極用以接受輸出端(OUT)上之電壓信號，而其汲極則連接至第一高電位電壓；以及
 - 一電流源，該電流源係由一第五PMOS電晶體(MP5)所組成，其閘極連接至該第一反相器(3)之輸出，其源極連接至該第一NMOS電晶體(MN1)和該第二NMOS電晶體(MN2)之源極，而其汲極則連接至接地(GND)。

- 3.如申請專利範圍第2項所述的位準移位器，其中該拉升電晶體(2)係由第二PMOS電晶體(MP2)所組成，其源極連接至第一高電位電壓(VDDH)，其閘極與第一PMOS電晶體(MP1)的閘極以及第一NMOS電晶體(MN1)的汲極相連接，而其汲極則與第五NMOS電晶體(MN5)的汲極以及第二NMOS電晶體(MN2)的閘極相連接。
5. 4.如申請專利範圍第3項所述的位準移位器，其中該第一反相器(3)包括：
 - 一第三PMOS電晶體(MP3)，其源極連接至第一高電位電壓(VDDH)，其汲極連接至第三NMOS電晶體(MN3)的汲極，而其閘極則連接至第一輸入端(IN)；以及
 - 一第三NMOS電晶體(MN3)，其源極連接至地(GND)，其汲極連接至第三PMOS電晶體(MP3)的汲極，而其閘極則連接至第一輸入端(IN)。
10. 5.如申請專利範圍第4項所述的位準移位器，其中該第二反相器(4)包括：
 - 一第四PMOS電晶體(MP4)，其源極連接至第二高電位電壓(VDDL)，其汲極連接至第四NMOS電晶體(MN4)的汲極，而其閘極則連接至第一輸入端(IN)；以及
 - 一第四NMOS電晶體(MN4)，其源極連接至地(GND)，其汲極連接至第四PMOS電晶體(MP4)的汲極，而其閘極則連接至第一輸入端(IN)。
15. 6.如申請專利範圍第5項所述的位準移位器，其中該拉降電晶體(5)係由一第五NMOS電晶體(MN5)組成，其源極連接至地(GND)，其汲極連接至拉升電晶體(2)的汲極，而其閘極則連接至第二輸入端(INB)。
20. 7.如申請專利範圍第1項所述的位準移位器，其中該第一信號的振幅為0伏特至該第二高電位電壓(VDDL)之
25. 40.
- 30.
- 35.
- 40.

間。

- 8.如申請專利範圍第7項所述的位準移位器，其中該第二信號的振幅為0伏特至該第一高電位電壓(VDDH)之間。
- 9.如申請專利範圍第8項所述的位準移位器，其中該第一反相器(3)的電壓源為該第一高電位電壓(VDDH)。
- 10.如申請專利範圍第9項所述的位準移位器，其中該第二反相器(4)的電壓源為該第二高電位電壓(VDDL)。

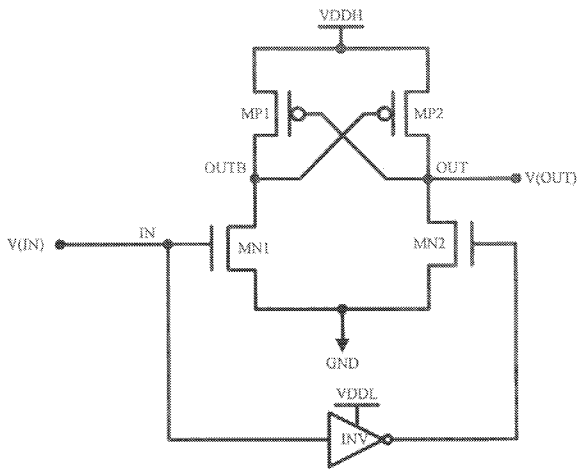
圖式簡單說明：

第1圖 係顯示第一先前技藝中位準移位器之電路圖；

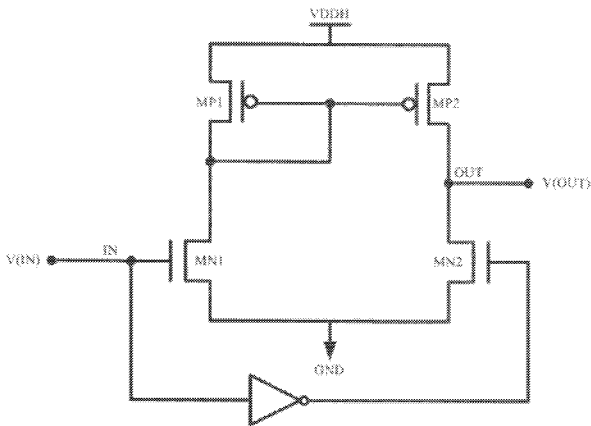
第2圖 係顯示第二先前技藝中位準移位器之電路圖；

第3圖 係顯示本創作較佳實施例之位準移位器之電路圖；

第4圖 係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

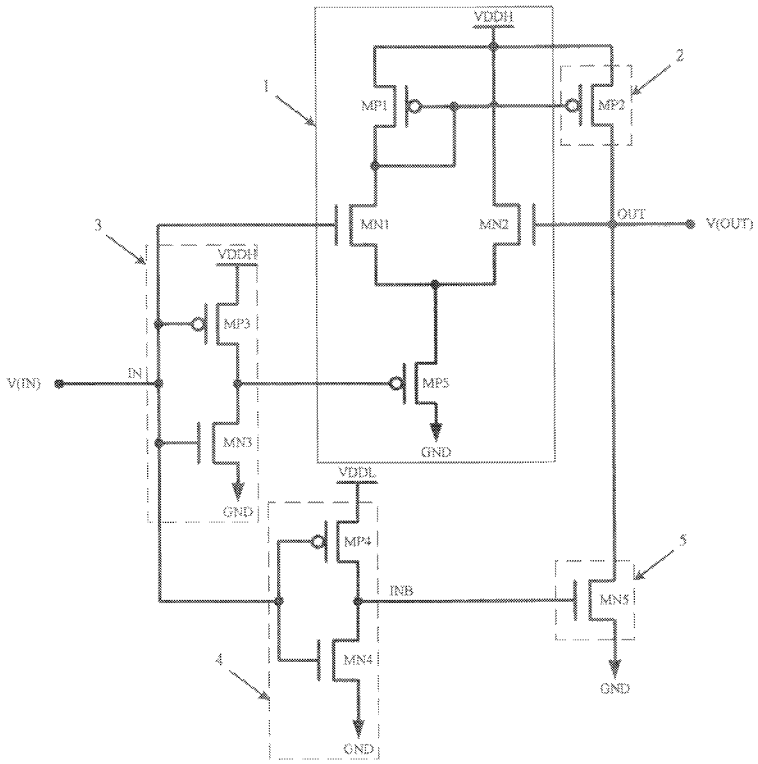


第1圖

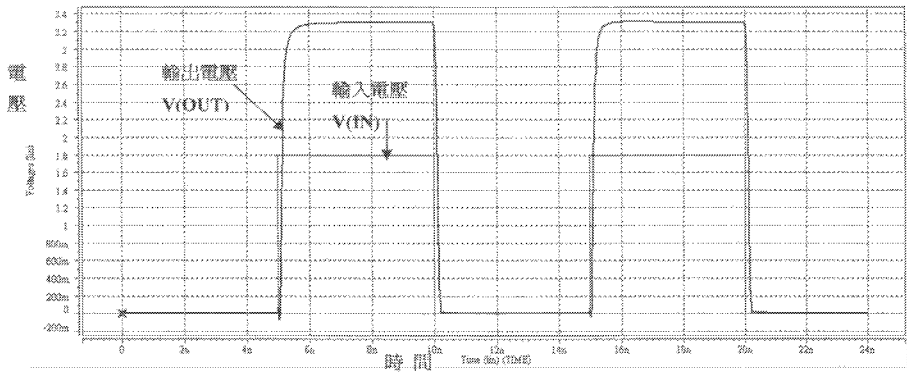


第2圖

(4)



第 3 圖



第 4 圖