

【11】證書號數：M385170

【45】公告日：中華民國 99 (2010) 年 07 月 21 日

【51】Int. Cl.： H03K19/00 (2006.01)

新型

全 4 頁

【54】名稱：用於多電源電壓之位準移位器

LEVEL SHIFTER FOR MULTIPLE SUPPLY VOLTAGE CIRCUITRY

【21】申請案號：097221856

【22】申請日：中華民國 97 (2008) 年 12 月 05 日

【72】創作人：余建政 (TW) YU, CHIEN CHENG；王錦賢 (TW) WANG, CHIN HSIEN；陳冠廷 (TW) CHEN, KUAN TING

【71】申請人：修平技術學院

HSIUPING INSTITUTE OF
TECHNOLOGY

臺中縣大里市工業路 11 號

[57]申請專利範圍

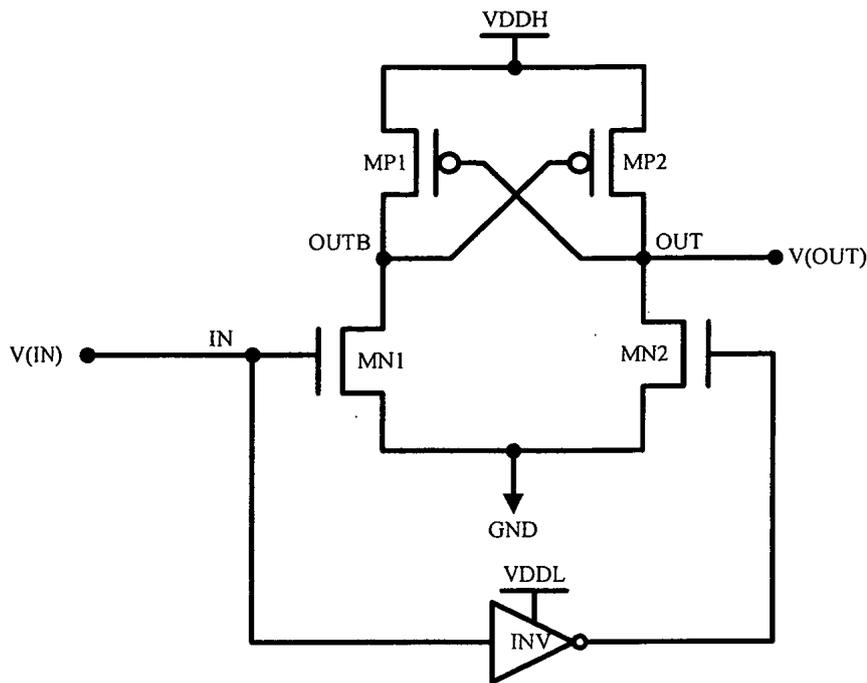
1. 一種用於多電源電壓之位準移位器，用以將一第一信號轉換為一第二信號，其包括：一輸入端(IN)，用以提供一輸入電壓(V(IN))信號；一輸出端(OUT)，用以輸出該第二信號；一第一電源電壓，用以提供位準移位器所需之第一高電位電壓(VDDH)；一第二電源電壓，用以提供位準移位器所需之第二高電位電壓(VDDL)，該第二高電位電壓(VDDL)之位準係小於該第一高電位電壓(VDDH)之位準；一比較器(1)，用以接受並比較輸入電壓(V(IN))信號及輸出端(OUT)上之電壓信號，其係由一第一 PMOS 電晶體(MP1)，一第二 PMOS 電晶體(MP2)，一第一 NMOS 電晶體(MN1)以及一第二 NMOS 電晶體(MN2)所組成；一第一反相器(I1)，用以接受該輸入電壓(V(IN))信號，並控制該比較器(1)之導通(on)或關閉(off)；一第二反相器(I2)，用以反相該比較器(1)的一輸出信號；一第三反相器(I3)，用以反相該第二反相器(I2)的一輸出信號；一輸入控制電晶體(2)，用以將該第一 PMOS 電晶體(MP1)之汲極端預先充電；以及一輸出緩衝電路(3)，用以提供輸出端(OUT)一延遲的輸出信號。
2. 如申請專利範圍第 1 項所述的用於多電源電壓之位準移位器，其中該比較器(1)包括：一第一 PMOS 電晶體(MP1)，其源極連接至該第一高電位電壓(VDDH)，閘極與汲極連接在一起，並連接至該第二 PMOS 電晶體(MP2)之閘極；一第二 PMOS 電晶體(MP2)，其源極連接至該第一高電位電壓(VDDH)，閘極連接至該第一 PMOS 電晶體(MP1)之閘極與汲極，而其汲極則與該第二 NMOS 電晶體(MN2)之汲極相連接；一第一 NMOS 電晶體(MN1)，其源極連接至地(GND)，其閘極連接至輸入端(IN)，用以接受輸入電壓(V(IN))信號，而其汲極則與該第一 PMOS 電晶體(MP1)之汲極以及該輸入控制電晶體(2)之汲極相連接；以及一第二 NMOS 電晶體(MN2)，其源極連接至地(GND)，其閘極用以接受該第一反相器(I1)的輸出信號，而其汲極則與該第二 PMOS 電晶體(MP2)之汲極相連接。
3. 如申請專利範圍第 2 項所述的用於多電源電壓之位準移位器，其中該輸入控制電晶體(2)係由一第三 PMOS 電晶體(MP3)所組成，其源極連接至輸入端(IN)，其閘極與該第一反相器(I1)的輸出以及該第二 NMOS 電晶體(MN2)的閘極相連接，而其汲極則與該第一 PMOS 電晶體(MP1)之汲極、該第二 PMOS 電晶體(MP2)的閘極以及該第一 NMOS 電晶體(MN1)的汲極相連接。

(2)

4. 如申請專利範圍第 3 項所述的用於多電源電壓之位準移位器，其中該輸出緩衝電路(3)包括：一第二反相器(I2)，用以反相該比較器(1)的一輸出信號；以及一第三反相器(I3)，用以反相該第二反相器(I2)的一輸出信號。
5. 如申請專利範圍第 1 項所述的用於多電源電壓之位準移位器，其中該第一信號的振幅為 0 伏特至該第二高電位電壓(VDDL)之間。
6. 如申請專利範圍第 5 項所述的用於多電源電壓之位準移位器，其中該第二信號的振幅為 0 伏特至該第一高電位電壓(VDDH)之間。
7. 如申請專利範圍第 6 項所述的用於多電源電壓之位準移位器，其中該第一反相器(I1)的電壓源為該第二高電位電壓(VDDL)。
8. 如申請專利範圍第 7 項所述的用於多電源電壓之位準移位器，其中該第二反相器(I2)的電壓源為該第一高電位電壓(VDDH)。
9. 如申請專利範圍第 8 項所述的用於多電源電壓之位準移位器，其中該第三反相器(I3)的電壓源為該第一高電位電壓(VDDH)。

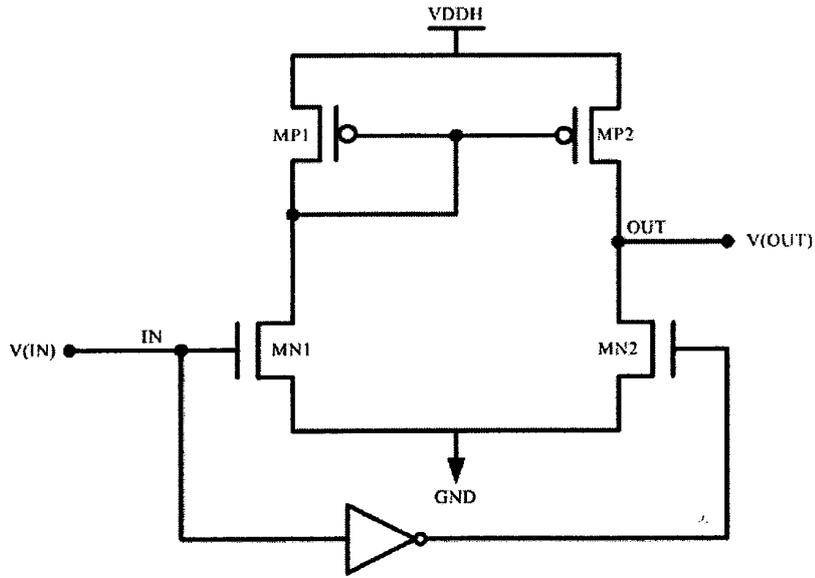
圖式簡單說明

第 1 圖 係顯示第一先前技藝中位準移位器之電路圖；第 2 圖 係顯示第二先前技藝中位準移位器之電路圖；第 3 圖 係顯示本創作較佳實施例之用於多電源電壓之位準移位器之電路圖；第 4 圖 係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

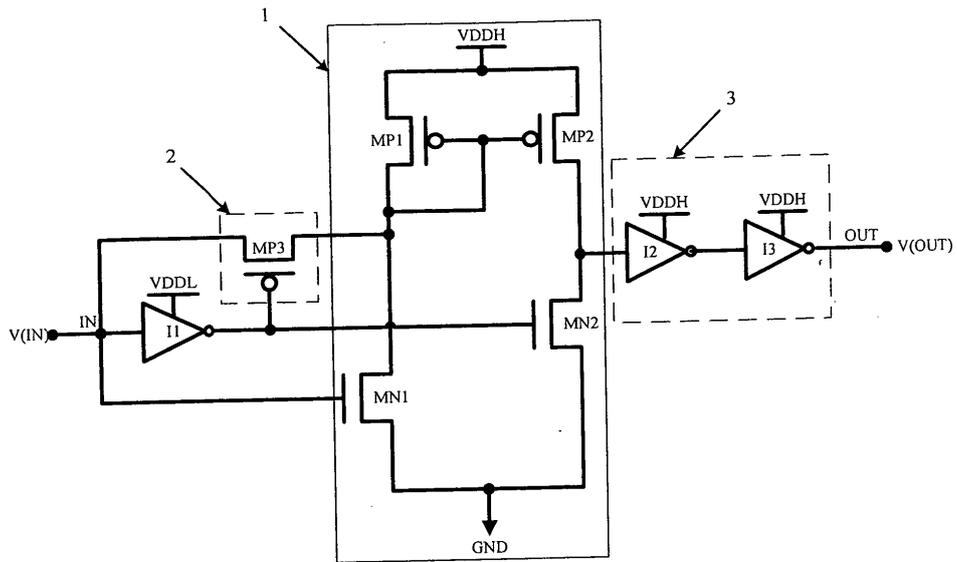


第 1 圖

(3)

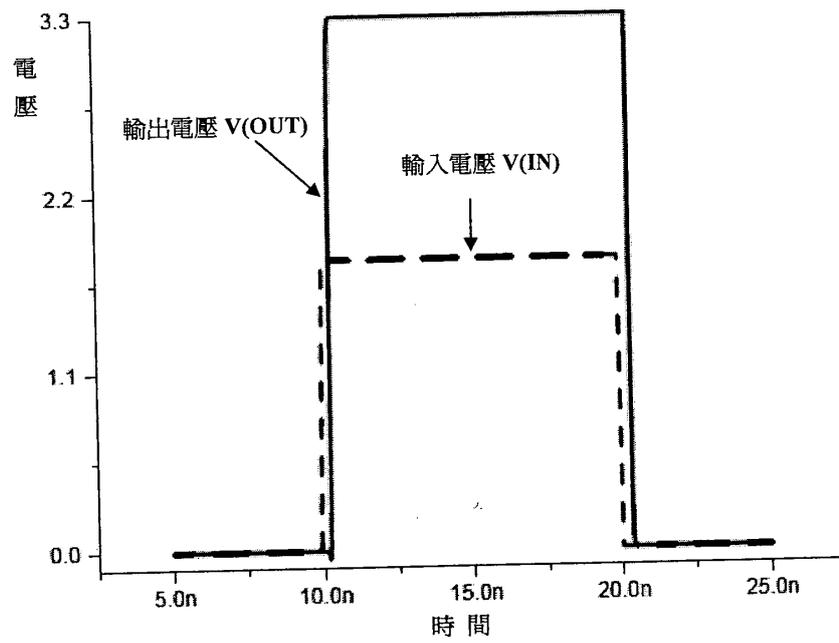


第 2 圖



第 3 圖

(4)



第 4 圖