

【54】名稱：具低漏電流之NP骨牌式電路

NP-DOMINO CIRCUIT WITH LOWERING LEAKAGE CURRENT

【21】申請案號：097221863

【22】申請日：中華民國97(2008)年12月5日

【72】創作人：蕭明椿 SHIAU, MING CHUEN；陳冠宇 CHEN, GUAN YU；陳裕勳 CHEN, YU SHIUN；湛添閏 JAN, TIAN REUN；王弘毅 WANG, HUNG YI

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY  
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種具低漏電流之NP骨牌式電路，其包括：  
一控制電路(5)；  
複數個具NMOS樹之骨牌式基本閘；以及  
複數個具PMOS樹之骨牌式基本閘，  
其中該等具NMOS樹之骨牌式基本閘與該等具PMOS樹之骨牌式基本閘係交隔串接配置；

每一具NMOS樹之骨牌式基本閘更包括有：

- 一第一PMOS電晶體(MP1)，其源極連接至一第一電源電壓(Vdd)，閘極用於接受一時脈(clk)，而汲極則連接至一第一內部節點(N1)；  
5. 一第一NMOS電晶體(MN1)，其源極連接至參考接地，閘極用於接受該時脈(clk)，而汲極則連接至一第二內部節點(N2)；  
10.

一 NMOS 樹(1)，其連接在該第一內部節點(N1)與該第二內部節點(N2)之間，並接受複數個邏輯輸入信號(INN1、INN2、、、INNn)，以便對該等邏輯輸入信號(INN1、INN2、、、INNn)執行一邏輯運算；

一第一保持電路(3)，供有效保持該具 NMOS 樹之骨牌式基本閘的第一輸出端(OUT1)之信號不受電荷重新分佈、耦合雜訊、及 / 或漏電流等的影響；以及

一時脈(clk)，該時脈(clk)具有一第二電源電壓(Vdd2)之邏輯高電位與參考接地之邏輯低電位；

每一具 PMOS 樹之骨牌式基本閘更包括有：

一第二 PMOS 電晶體(MP2)，其源極連接至該第一電源電壓(Vdd)，閘極用於接受一反相時脈(/clk)，而汲極則連接至一第三內部節點(N3)；

一第二 NMOS 電晶體(MN2)，其源極連接至參考接地，閘極用於接受該反相時脈(/clk)，而汲極則連接至一第四內部節點(N4)；

一 PMOS 樹(2)，其連接在該第三內部節點(N3)與該第四內部節點(N4)之間，並接受複數個邏輯輸入信號(INP2、、、INPn)，以便對該等邏輯輸入信號(INP2、、、INPn)執行一邏輯運算；

一第二保持電路(4)，供有效保持該具 PMOS 樹之骨牌式基本閘的第二輸出端(OUT)之信號不受電荷重新分佈、耦合雜訊、及 / 或漏電流等的影響；以及

一反相時脈(/clk)，該反相時脈(/clk)具有該第二電源電壓(Vdd2)之邏輯高電位與參考接地之邏輯低電位；

而該控制電路(5)則更包括有：

一第四 PMOS 電晶體(MP4)，該第四 PMOS 電晶體(MP4)之源極連接至該第一電源電壓(Vdd)，閘極用於接受該時脈(clk)，而汲極則連接至該第一 PMOS 電晶體(MP1)之一基底；

5.

一第五 PMOS 電晶體(MP5)，該第五 PMOS 電晶體(MP5)之源極連接至該第一電源電壓(Vdd)，閘極用於接受該反相時脈(/clk)，而汲極則連接至該第二 PMOS 電晶體(MP2)之一基底；

10.

一第六 PMOS 電晶體(MP6)，該第六 PMOS 電晶體(MP6)之源極連接至該第二電源電壓(Vdd2)，閘極用於接受該時脈(clk)，而汲極則連接至該第一 PMOS 電晶體(MP1)之該基底與該第四 PMOS 電晶體(MP4)之該汲極；以及

15.

一第七 PMOS 電晶體(MP7)，該第七 PMOS 電晶體(MP7)之源極連接至該第二電源電壓(Vdd2)，閘極用於接受一反相時脈(/clk)，而汲極則連接至該第二 PMOS 電晶體(MP2)之該基底與該第五 PMOS 電晶體(MP5)之該汲極。

20.

25.

2.如申請專利範圍第1項所述之具低漏電流之 NP 骨牌式電路，其中該第一保持電路(3)更包括有：

一第一反相器(INV1)，該第一反相器(INV1)係連接在該具 NMOS 樹之骨牌式基本閘的第一輸出端(OUT1)與一第三 PMOS 電晶體(MP3)之閘極之間；以及

30.

一第三 PMOS 電晶體(MP3)，其汲極連接至該第一內部節點(N1)，閘極連接至該第一反相器(INV1)的輸出，而源極則連接至該第一電源電壓(Vdd)。

35.

3.如申請專利範圍第1項所述之具低漏電流之 NP 骨牌式電路，其中該第二

40.

保持電路(4)更包括有：

一第二反相器(INV2)，該第二反相器(INV)係連接在該具 PMOS 樹之骨牌式基本閘的第二輸出端(OUT)與一第三 NMOS 電晶體(MN3)之閘極之間；以及

一第三 NMOS 電晶體(MN3)，其源極連接至參考接地，閘極連接至該第二反相器(INV2)的輸出，而汲極則連接至該第四內部節點(N4)。

- 4.如申請專利範圍第1項所述之具低漏電流之 NP 骨牌式電路，其中該第二電源電壓(Vdd2)之電位係高於該第一電源電壓(Vdd)之電位。
- 5.如申請專利範圍第1項所述之具低漏電流之 NP 骨牌式電路，其中該時脈(/clk)於一求值相位(Evaluation phase)期間，係為該第二電源電壓(Vdd2)之邏輯高電位。
- 6.如申請專利範圍第1項所述之具低漏電流之 NP 骨牌式電路，其中該反相

時脈(/clk)於一預充/放電相位(Precharge/predischage phase)期間，係為該第二電源電壓(Vdd2)之邏輯高電位。

5. 7.如申請專利範圍第1項所述之具低漏電流之 NP 骨牌式電路，其中該時脈(/clk)於一預充/放電相位期間，係為參考接地之邏輯低電位。
- 8.如申請專利範圍第1項所述之具低漏電流之 NP 骨牌式電路，其中該反相時脈(/clk)於一求值相位期間，係為參考接地之邏輯低電位。

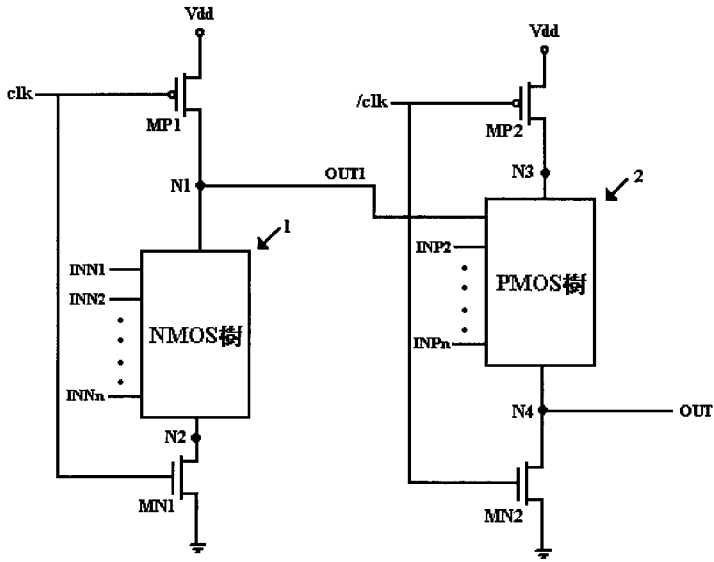
圖式簡單說明：

15. 第1圖 係顯示一種習知具 NP 之骨牌系統；
- 第2圖 係顯示一種習知具 NP 之骨牌式基本閘；
- 第3圖 係顯示另一種習知具 NP 之骨牌式基本閘；
20. 第4圖 係顯示本創作較佳實施例之具低漏電流之 NP 骨牌式電路。

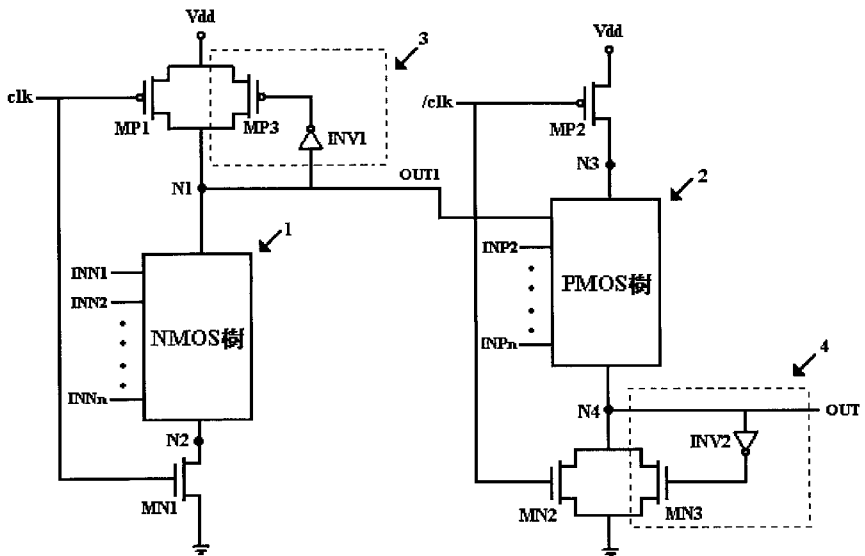


第1圖

(4)

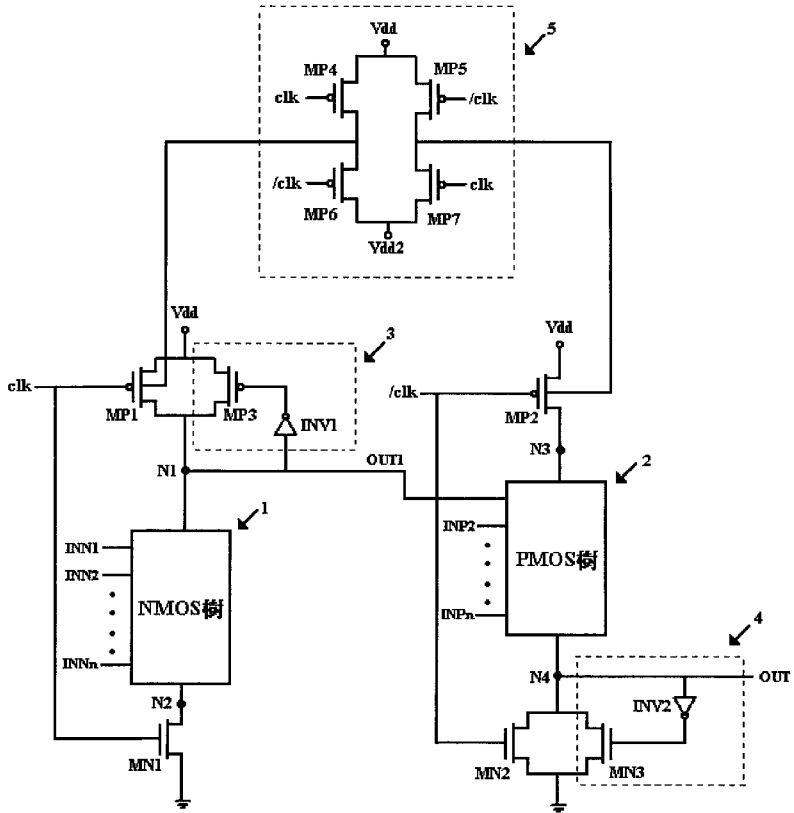


第 2 圖



第 3 圖

(5)



第 4 圖

