

【11】證書號數：M358390

【45】公告日：中華民國98(2009)年6月1日

【51】Int. Cl. : **G11C11/00 (2006.01)**

新型 全 6 頁

【54】名稱：寫入操作時降低電源電壓之單埠靜態隨機存取記憶體

SINGLE PORT SRAM HAVING A LOWER POWER VOLTAGE IN WRITING OPERATION

【21】申請案號：097223133

【22】申請日：中華民國97(2008)年12月24日

【72】創作人：蕭明椿 SHIAU, MING CHUEN；廖笙緯 LIAO, SHENG WEI

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY

臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，包括：

一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞(1)；

複數條字元線，每一字元線對應至複數列記憶體晶胞中之一列(row)；

複數條位元線，每一位元線係對應

至複數行記憶體晶胞中之一行(column)；以及

複數個寫入電壓控制電路(2)，每一列記憶體晶胞設置一個寫入電壓控制電路；

其中，每一記憶體晶胞(1)更包含：一第一反相器，係由第一 PMOS 電晶體(P1)與第一 NMOS 電晶體(M1)所組成，該第一反相器係連接在一高電壓節點(VH)與接地電壓之間；

一第二反相器，係由第二 PMOS 電晶體(P2)與第二 NMOS 電晶體(M2)所組成，該第二反相器係連接在該高電壓節點(VH)與接地電壓之間；一儲存節點(A)，係由該第一反相器之輸出端所形成；

一反相儲存節點(B)，係由該第二反相器之輸出端所形成；以及

一存取電晶體(M3)，係連接在該儲存節點(A)與一對應位元線(BL)之間，且閘極連接至一對應字元線(WL)；

其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端(即儲存節點 A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點 B)則連接至該第一反相器之輸入端；而每一寫入電壓控制電路(2)更包含：

一第三 PMOS 電晶體(P21)，該第三 PMOS 電晶體(P21)之源極、閘極與汲極係分別連接至一高電源供應電壓(HVDD)、一第一控制信號(CTL1)與該高電壓節點(VH)；

一第四 PMOS 電晶體(P22)，該第四 PMOS 電晶體(P22)之源極、閘極與汲極係分別連接至一低電源供應電壓(LVDD)、一第三反相器(I23)之輸出端與該高電壓節點(VH)；以及

一第三反相器(I23)，該第三反相器(I23)之輸入端用以接收該第一控制信號(CTL1)，而該第三反相器(I23)之輸出端則連接至該第四 PMOS 電晶體(P22)之閘極。

2.如申請專利範圍第 1 項所述之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，其中，該第一控制信號(CTL1)為一寫入致能(Write Enable，簡稱 WE)信號與該對應字

元線(WL)的及閘(AND gate)運算結果，亦即僅於該寫入致能(WE)信號與該對應字元線(WL)均為邏輯高位準時，該第一控制信號(CTL1)方為代表選定寫入狀態之邏輯高位準；而於該第一控制信號(CTL1)為代表非選定寫入狀態之邏輯低位準時，則將該高電源供應電壓(HVDD)供應至該高電壓節點(VH)。

5. 3.如申請專利範圍第 2 項所述之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，其中，該對應字元線(WL)之邏輯高位準係為該高電源供應電壓(HVDD)之位準。

10. 4.一種寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，包括：

一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞(1)；

20. 複數條字元線，每一字元線對應至複數列記憶體晶胞中之一列；

25. 複數條位元線，每一位元線係對應至複數行記憶體晶胞中之一行；以及

30. 複數個寫入電壓控制電路(2)，每一行記憶體晶胞設置一個寫入電壓控制電路；

35. 其中，每一記憶體晶胞(1)更包含：

一第一反相器，係由第一 PMOS 電晶體(P1)與第一 NMOS 電晶體(M1)所組成，該第一反相器係連接在一高電壓節點(VH)與接地電壓之間；

40. 一第二反相器，係由第二 PMOS 電晶體(P2)與第二 NMOS 電晶體(M2)所組成，該第二反相器係連接在該高電壓節點(VH)與接地電壓之間；

一儲存節點(A)，係由該第一反相器之輸出端所形成；

一反相儲存節點(B)，係由該第二反相器之輸出端所形成；以及一存取電晶體(M3)，係連接在該儲存節點(A)與一對位元線(BL)之間，且閘極連接至一對位元線(WL)；

其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端(即儲存節點A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點B)則連接至該第一反相器之輸入端；而每一寫入電壓控制電路(2)更包含：

一第三 PMOS 電晶體(P21)，該第三 PMOS 電晶體(P21)之源極、閘極與汲極係分別連接至一高電源供應電壓(HVDD)、一第二控制信號(CTL2)與該高電壓節點(VH)；

一第四 PMOS 電晶體(P22)，該第四 PMOS 電晶體(P22)之源極、閘極與汲極係分別連接至一低電源供應電壓(LVDD)、一第三反相器(I23)之輸出端與該高電壓節點(VH)；以及一第三反相器(I23)，該第三反相器(I23)之輸入端用以接收該第二控制信號(CTL2)，而該第三反相器(I23)之輸出端則連接至該第四 PMOS 電晶體(P22)之閘極。

5.如申請專利範圍第4項所述之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，其中，該第二控制信號(CTL2)為一寫入致能(Write Enable，簡稱WE)信號與該對應位元線(BL)的及閘(AND gate)運算結

果，亦即僅於該寫入致能(WE)信號與該對應位元線(BL)均為邏輯高位準時，該第二控制信號(CTL2)方為代表選定寫入邏輯1狀態之邏輯高位準；而於該第二控制信號(CTL2)為代表非選定寫入邏輯1狀態之邏輯低位準時，則將該高電源供應電壓(HVDD)供應至該高電壓節點(VH)。

6.如申請專利範圍第5項所述之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體，其中，該對應位元線(BL)於該選定寫入邏輯1狀態時係為該高電源供應電壓(HVDD)之位準。

圖式簡單說明：

15. 第1圖 係顯示習知6T靜態隨機存取記憶體晶胞之電路示意圖；

第2圖 係顯示習知6T靜態隨機存取記憶體晶胞之寫入動作時序圖；

20. 第3圖 係顯示習知5T靜態隨機存取記憶體晶胞之電路示意圖；

第4圖 係顯示習知5T靜態隨機存取記憶體晶胞之寫入動作時序圖；

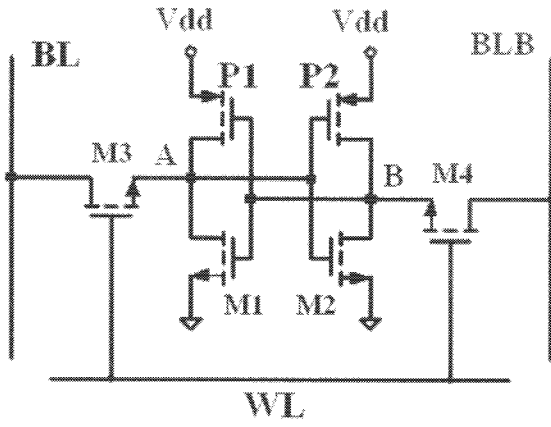
25. 第5圖 係顯示本創作第1實施例所提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體晶胞之電路示意圖；

第6圖 係顯示本創作第1實施例所提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體晶胞之寫入動作時序圖；

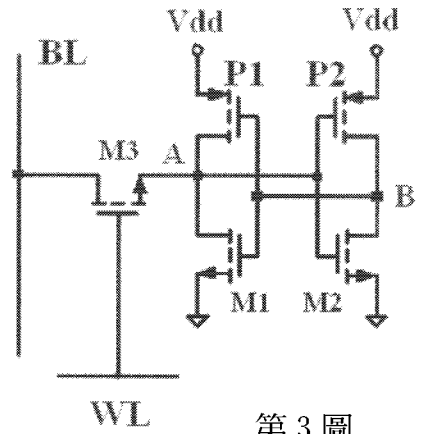
30. 第7圖 係顯示本創作第2實施例所提出之寫入操作時降低電源電壓之單埠靜態隨機存取記憶體晶胞之電路示意圖。

35.

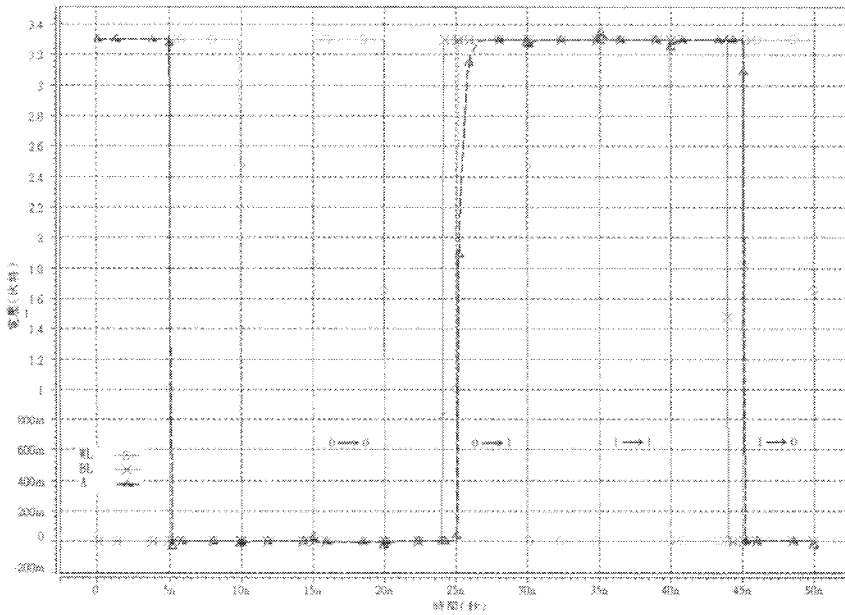
(4)



第 1 圖

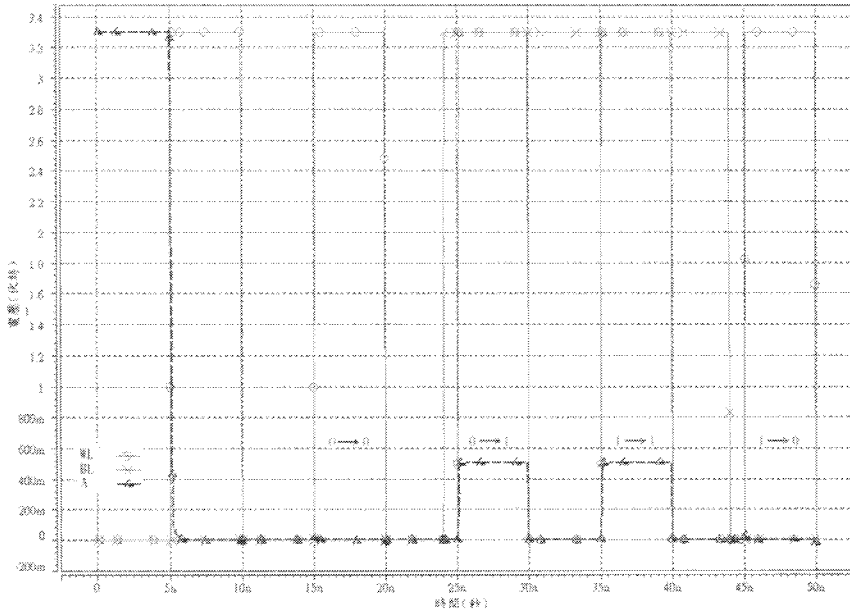


第 3 圖

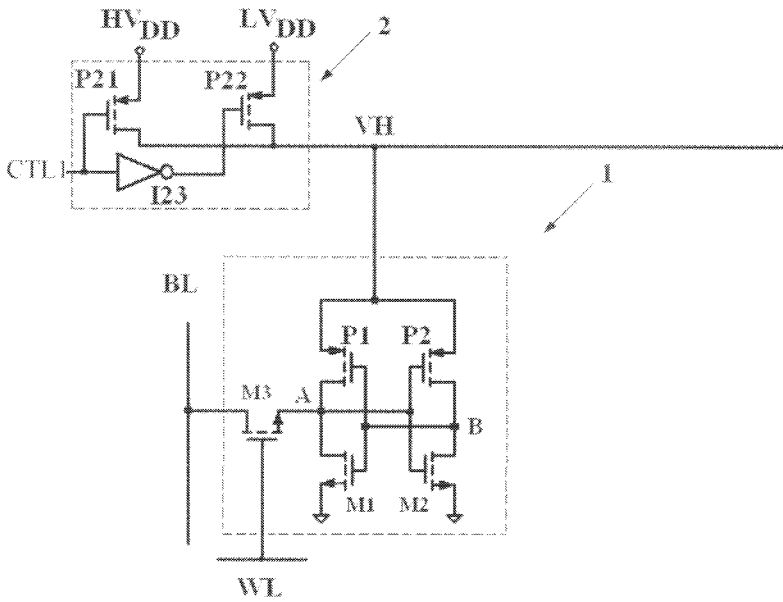


第 2 圖

(5)

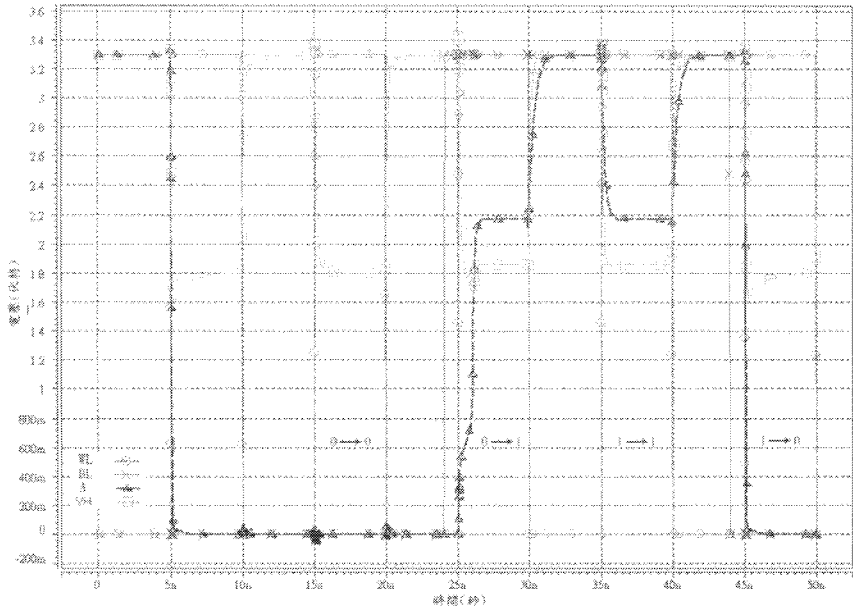


第 4 圖

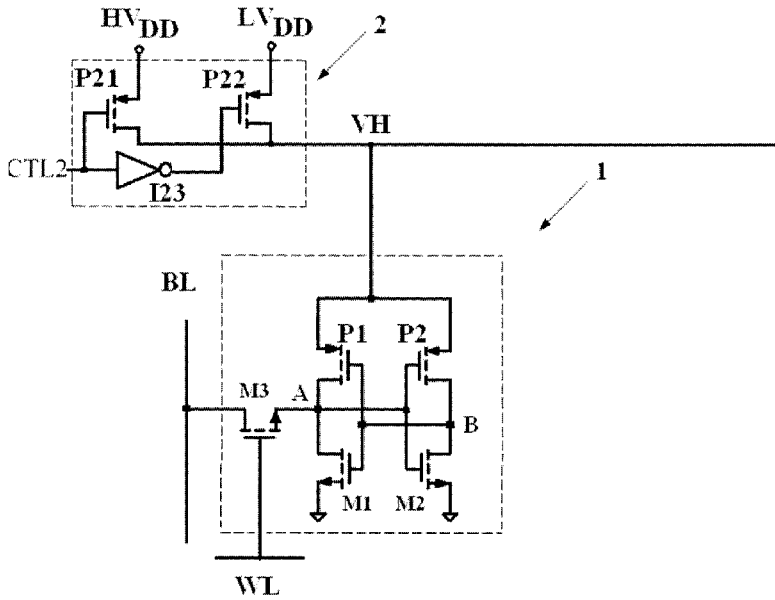


第 5 圖

(6)



第 6 圖



第 7 圖