

【54】名稱：具低功率消耗之NMOS樹骨牌式電路

DOMINO CIRCUIT WITH NMOS TREE HAVING LOWER POWER CONSUMPTION

【21】申請案號：098202138

【22】申請日：中華民國98(2009)年2月13日

【72】創作人：蕭明椿 SHIAU, MING CHUEN；彭嘉瑋 PENG, JIA WEI；張雅筑 JANG, YA JU

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY

臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種具低功率消耗之 NMOS 樹骨牌式電路，其包括：

一第一控制電路(3)；

一第二控制電路(4)；以及

複數個具 NMOS 樹之骨牌式基本閘；

其中每一具 NMOS 樹之骨牌式基本閘更包括有：

一第一 PMOS 電晶體(MP1)，其源極連接至一第一電源電壓(Vdd)，閘極

用於接受一時脈(clk)，而汲極則連接至一第一內部節點(N1)；

一第一 NMOS 電晶體(MN1)，其源極連接至參考接地，閘極用於接受該時脈(clk)，而汲極則連接至一第二內部節點(N2)；

一 NMOS 樹(1)，其連接在該第一內部節點(N1)與該第二內部節點(N2)之間，並接受複數個邏輯輸入信號(IN1、IN2、...、INn)，以便對該等

邏輯輸入信號(IN1、IN2、...、INn)執行一邏輯運算；

一保持電路(2)，供有效保持該具低功率消耗之NMOS 樹骨牌式電路的輸出端(OUT)之信號不受電荷重新分佈、耦合雜訊、及/或漏電流等的影響；以及

一時脈(c1k)，該時脈(c1k)具有一第二電源電壓(Vdd2)之邏輯高電位與參考接地之邏輯低電位；

該保持電路(2)更包括有：

一反相器(INV)，該反相器(INV)係連接在該第一內部節點(N1)與該具低功率消耗之NMOS 樹骨牌式電路的該輸出端(OUT)之間；以及

一第二PMOS 電晶體(MP2)，其汲極連接至該第一內部節點(N1)，閘極連接至該具低功率消耗之NMOS 樹骨牌式電路的該輸出端(OUT)，而源極則連接至該第二控制電路(4)；

該第一控制電路(3)更包括有：

一第三PMOS 電晶體(MP3)，該第三PMOS 電晶體(MP3)之源極連接至該第一電源電壓(Vdd)，閘極用於接受該時脈(c1k)，而汲極則連接至該第一PMOS 電晶體(MP1)之一基底；以及一第四PMOS 電晶體(MP4)，該第四PMOS 電晶體(MP4)之源極連接至該第二電源電壓(Vdd2)，閘極用於接受一反相時脈(/c1k)，而汲極則連接至該第一PMOS 電晶體(MP1)之該基底；

而該第二控制電路(4)則更包括有：

一開關(SW)，該開關(SW)係由一PMOS 電晶體所構成，該開關(SW)之源極連接至該第一電源電壓

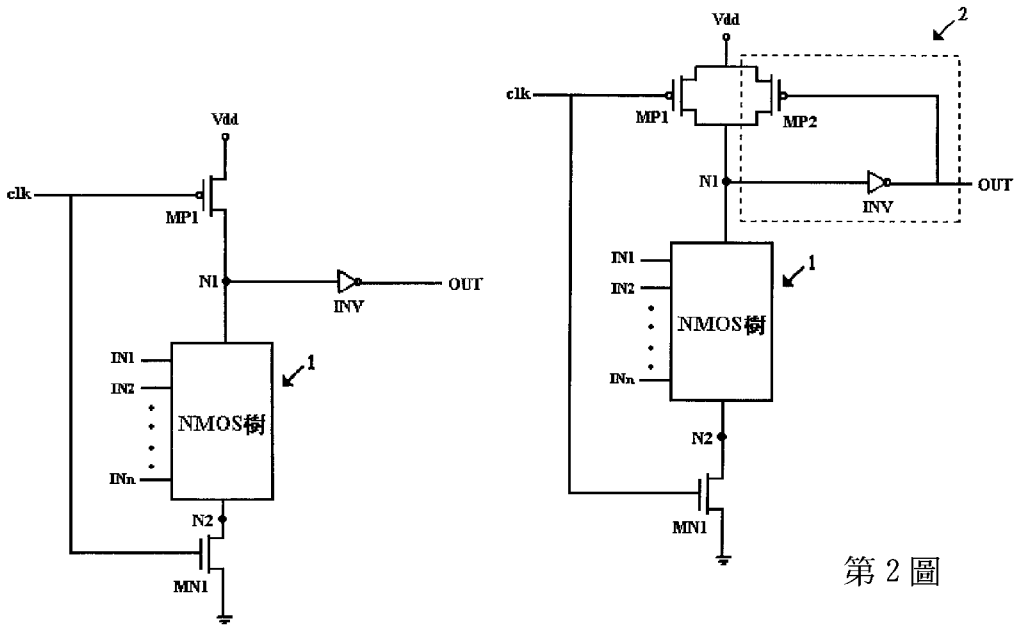
(Vdd)，閘極用於接受一待機指示信號(SB)，而汲極則連接至該第二PMOS 電晶體(MP2)之源極與該反相器(INV)中之正電源端子之間。

5. 2.如申請專利範圍第1項所述之具低功率消耗之NMOS 樹骨牌式電路，其中該第二電源電壓(Vdd2)之電位係高於該第一電源電壓(Vdd)之電位。
- 3.如申請專利範圍第1項所述之具低功率消耗之NMOS 樹骨牌式電路，其中該時脈(c1k)於一預放電相位(Predischage phase)期間，係為參考接地之邏輯低電位。
- 4.如申請專利範圍第1項所述之具低功率消耗之NMOS 樹骨牌式電路，其中該時脈(c1k)於一求值相位(Evaluation phase)期間，係為該第二電源電壓(Vdd2)之邏輯高電位。
- 5.如申請專利範圍第1項所述之具低功率消耗之NMOS 樹骨牌式電路，其中該待機指示信號(SB)於一操作模式(Active mode)期間，係設定為參考接地之邏輯低電位。
- 6.如申請專利範圍第1項所述之具低功率消耗之NMOS 樹骨牌式電路，其中該待機指示信號(SB)於一待機模式(Standby mode)期間，係為該第二電源電壓(Vdd2)之邏輯高電位。

圖式簡單說明：

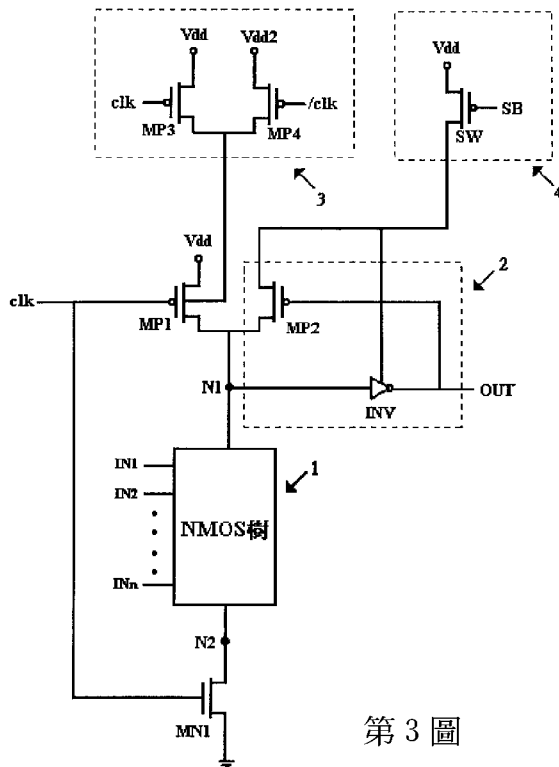
30. 第1圖 係顯示一種習知具NMOS 樹之骨牌式基本閘；
- 第2圖 係顯示另一種習知具NMOS 樹之骨牌式基本閘；
- 第3圖 係顯示本創作較佳實施例之具低功率消耗之NMOS 樹骨牌式電路。

(3)



第 1 圖

第 2 圖



第 3 圖

