

電壓(V(IN))信號，並控制該第一開關電晶體(2)之導通(on)或關閉(off)；
 一第二反相器(I2)，用以提供該第二輸入端(INB)的反相信號，並控制該第二開關電晶體(3)以及該拉降電晶體(5)之導通(on)或關閉(off)；

一第三反相器(I3)，用以反相該第二節點(N2)的一輸出信號，並控制該控制電晶體(4)之導通(on)或關閉(off)；
 一電流鏡電路(1)，用來做為電壓位準控制；

一第一開關電晶體(2)，其係由一第一NMOS電晶體(MN1)所組成，其源極與第二NMOS電晶體(MN2)的源極連接在一起，並連接至地(GND)，其閘極用以接受輸入電壓(V(IN))的反相信號，而其汲極則連接至第一節點(N1)；

一第二開關電晶體(3)，其係由一第二NMOS電晶體(MN2)所組成，其源極與第一NMOS電晶體(MN1)的源極連接在一起，並連接至地(GND)，其閘極用以接受第二輸入端(INB)的反相電壓信號，而其汲極則連接至第一節點(N1)；

一控制電晶體(4)，用以控制該電流鏡電路(1)之導通(on)或關閉(off)，其係由一第二PMOS電晶體(MP2)所組成，其源極連接至第一高電位電壓(VDDH)，其閘極連接至輸出端(OUT)，而其汲極則與第一PMOS電晶體(MP1)的閘極以及第三PMOS電晶體(MP3)的閘極相連接，並連接至第一節點(N1)；以及

一拉降電晶體(5)，用以提供一放電路徑，以便將輸出端(OUT)電位拉降至地(GND)，其係由一第三NMOS電晶體(MN3)組成，其源極連接至地(GND)，其汲極連接至該第二節點(N2)，而其閘極用以接受第二輸入端

(INB)的反相電壓信號。

2.如申請專利範圍第1項所述的用於低輸入電壓之電壓位準轉換器，其中該電流鏡電路(1)包括：

5. 一第一PMOS電晶體(MP1)，其源極連接至第一高電位電壓(VDDH)，閘極與汲極連接至該第一節點(N1)以及該第三PMOS電晶體(MP3)之閘極；
 以及

10. 一第三PMOS電晶體(MP3)，其源極連接至第一高電位電壓(VDDH)，其閘極連接至該第一PMOS電晶體(MP1)之閘極與汲極以及該第一節點(N1)，而其汲極則連接至該第二節點(N2)。

3.如申請專利範圍第1項所述的用於低輸入電壓之電壓位準轉換器，其中該第一信號的振幅為0伏特至該第二高電位電壓(VDDL)之間。

20. 4.如申請專利範圍第3項所述的用於低輸入電壓之電壓位準轉換器，其中該第二信號的振幅為0伏特至該第一高電位電壓(VDDH)之間。

25. 5.如申請專利範圍第4項所述的用於低輸入電壓之電壓位準轉換器，其中該第一反相器(I1)的電壓源為該第二高電位電壓(VDDL)。

30. 6.如申請專利範圍第5項所述的用於低輸入電壓之電壓位準轉換器，其中該第二反相器(I2)的電壓源為該第二高電位電壓(VDDL)。

35. 7.如申請專利範圍第6項所述的用於低輸入電壓之電壓位準轉換器，其中該第三反相器(I3)的電壓源為該第一高電位電壓(VDDH)。

圖式簡單說明：

第1圖 係顯示第一先前技藝中電壓位準轉換器之電路圖；

第2圖 係顯示第二先前技藝中電壓位準轉換器之電路圖；

40.

(3)

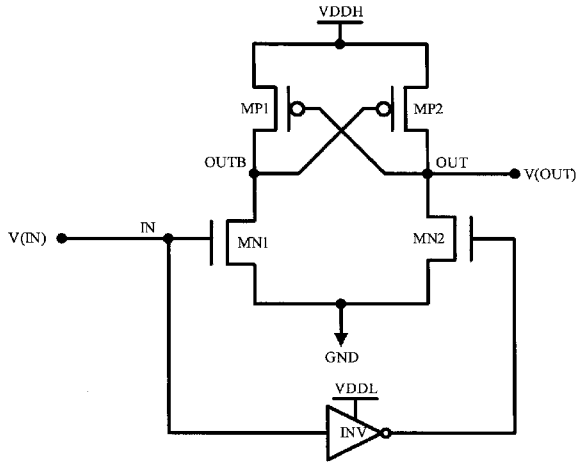
5

6

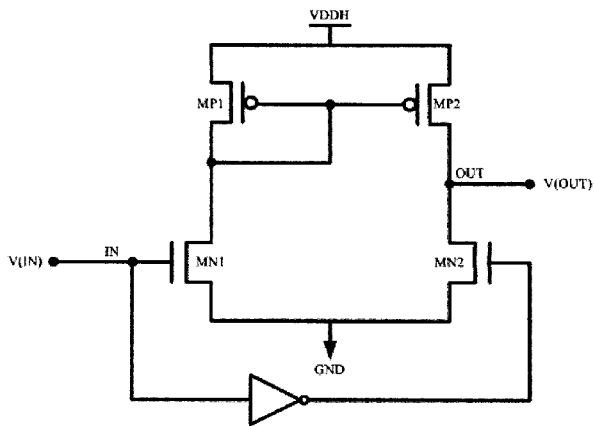
第3圖 係顯示本創作較佳實施例之電壓位準轉換器之電路圖；

例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

第4圖 係顯示本創作較佳實施



第1圖



第2圖

