

【11】證書號數：M391712

【45】公告日：中華民國 99 (2010) 年 11 月 01 日

【51】Int. Cl.： G11C7/12 (2006.01)

新型

全 6 頁

【54】名稱：寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體
SINGLE PORT SRAM HAVING A HIGHER VOLTAGE WORD LINE IN
WRITING OPERATION

【21】申請案號：099202280 【22】申請日：中華民國 99 (2010) 年 02 月 04 日

【72】創作人：蕭明椿 (TW) SHIAU, MING CHUEN；張恩誌 (TW) CHANG, EN GHIH

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF
TECHNOLOGY

臺中縣大里市工業路 11 號

[57]申請專利範圍

1. 一種寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體，包括：一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞(1)；複數條字元線，每一字元線對應至複數列記憶體晶胞中之一列(row)；複數條位元線，每一位元線係對應至複數行記憶體晶胞中之一行(column)；複數個字元線電壓控制電路(2)，每一列記憶體晶胞設置一個字元線電壓控制電路(2)，該等字元線電壓控制電路(2)於對應之字元線(WL)為邏輯高位準，且一寫入致能(Write Enable，簡稱 WE)信號為代表致能狀態之邏輯高位準時，方將一寫入用電源供應電壓(WV_{DD})供應至一存取電壓節點(VA)，其中該寫入用電源供應電壓(WV_{DD})之位準係設定至少為一電源電壓(V_{dd})加上一第三 NMOS 電晶體(M3)之臨界電壓之位準；而該等字元線電壓控制電路(2)於對應之字元線(WL)為邏輯高位準，但該寫入致能(WE)信號為代表非致能狀態之邏輯低位準時，則將該電源電壓(V_{dd})供應至該存取電壓節點(VA)；除此之外，則該等字元線電壓控制電路(2)將接地電壓供應至該存取電壓節點(VA)；一第一偏壓電路(3)，該第一偏壓電路(3)係用以接收一反相待機模式控制信號(/S)，且於該反相待機模式控制信號(/S)為代表主動模式之邏輯高位準時，將接地電壓供應至一低電壓節點(VL)，而於該反相待機模式控制信號(/S)為代表待機模式之邏輯低位準時，則將較接地電壓為高之一電壓供應至該低電壓節點(VL)；以及一第二偏壓電路(4)，該第二偏壓電路(4)係用以接收一待機模式控制信號(S)，且於該待機模式控制信號(S)為代表主動模式之邏輯低位準時，將該電源電壓(V_{dd})供應至一高電壓節點(VH)，而於該待機模式控制信號(S)為代表待機模式之邏輯高位準時，則將一低電源供應電壓(LV_{DD})供應至該高電壓節點(VH)；其中，每一記憶體晶胞(1)更包含：一第一反相器，係由第一 PMOS 電晶體(P1)與第一 NMOS 電晶體(M1)所組成，該第一反相器係連接在該高電壓節點(VH)與該低電壓節點(VL)之間；一第二反相器，係由第二 PMOS 電晶體(P2)與第二 NMOS 電晶體(M2)所組成，該第二反相器係連接在該高電壓節點(VH)與該低電壓節點(VL)之間；一儲存節點(A)，係由該第一反相器之輸出端所形成；一反相儲存節點(B)，係由該第二反相器之輸出端所形成；以及一第三電晶體(M3)，該第三電晶體(M3)係作為一存取電晶體使用，並連接在該儲存節點(A)與一對應位元線(BL)之間，且閘極連接至該存取電壓節點(VA)；其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第

(2)

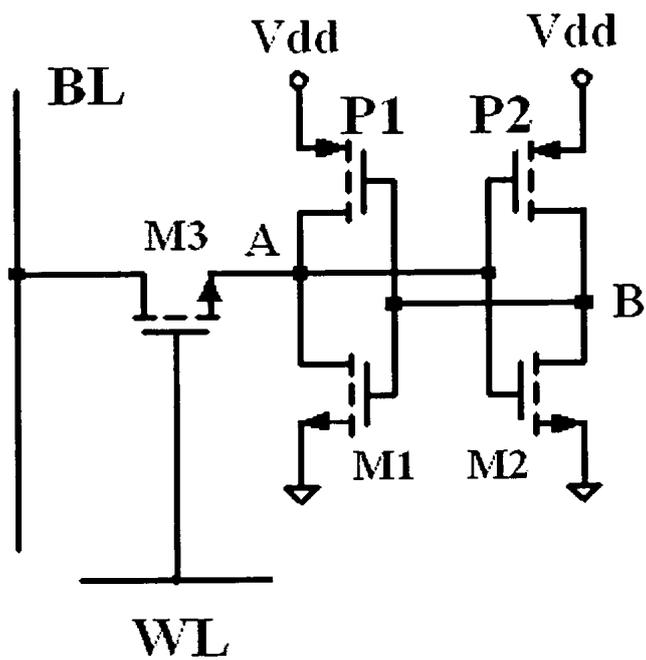
一反相器之輸出端(即儲存節點 A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點 B)則連接至該第一反相器之輸入端。

2. 如申請專利範圍第 1 項所述之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體，其中該等字元線電壓控制電路(2)中之每一者更包含：一第三 PMOS 電晶體(P21)，該第三 PMOS 電晶體(P21)之源極、閘極與汲極係分別連接至該電源電壓(V_{DD})、該寫入致能(WE)信號與一第四 PMOS 電晶體(P23)之汲極端；一第四 PMOS 電晶體(P22)，該第四 PMOS 電晶體(P22)之源極、閘極與汲極係分別連接至該寫入用電源供應電壓(WV_{DD})、一第三反相器(I21)之輸出端與該第五 PMOS 電晶體(P23)之源極端；一第三反相器(I21)，該第三反相器(I21)之輸入端係用以接收該寫入致能(WE)信號，而該第三反相器(I21)之輸出端則連接至該第四 PMOS 電晶體(P22)之閘極；一第五 PMOS 電晶體(P23)，該第五 PMOS 電晶體(P23)之源極、閘極與汲極係分別連接至該第三 PMOS 電晶體(P21)之汲極端和該第四 PMOS 電晶體(P22)之汲極端、一反相字元線(/WL)與該存取電壓節點(VA)；一第四 NMOS 電晶體(M21)，該第四 NMOS 電晶體(M21)之源極、閘極與汲極係分別連接至接地電壓、該反相字元線(/WL)與該存取電壓節點(VA)；以及一第四反相器(I22)，該第四反相器(I22)之輸入端用以接收該字元線(WL)，且輸出該反相字元線(/WL)。
3. 如申請專利範圍第 2 項所述之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體，其中，該第三反相器(I21)與該第四反相器(I22)之操作電壓係為該電源電壓(V_{dd})。
4. 如申請專利範圍第 3 項所述之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體，其中，該第一偏壓電路(3)更包含：一第五 NMOS 電晶體(M31)，該第五 NMOS 電晶體(M31)之源極、閘極與汲極係分別連接至接地電壓、該反相待機模式控制信號(/S)與該低電壓節點(VL)；以及一第六 NMOS 電晶體(M32)，該第六 NMOS 電晶體(M32)之源極係連接至接地電壓，而閘極與汲極係連接在一起，並連接至該低電壓節點(VL)。
5. 如申請專利範圍第 4 項所述之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體，其中，該第二偏壓電路(4)更包含：一第六 PMOS 電晶體(P41)，該第六 PMOS 電晶體(P41)之源極、閘極與汲極係分別連接至該電源電壓(V_{dd})、該待機模式控制信號號(S)與該高電壓節點(VH)；一第七 PMOS 電晶體(P42)，該第七 PMOS 電晶體(P42)之源極、閘極與汲極係分別連接至該低電源供應電壓(LV_{DD})、一第五反相器(I41)之輸出端與該高電壓節點(VH)；以及第五反相器(I41)，該第五反相器(I41)之輸入端用以接收該待機模式控制信號(S)，並供產生該反相待機模式控制信號(/S)。

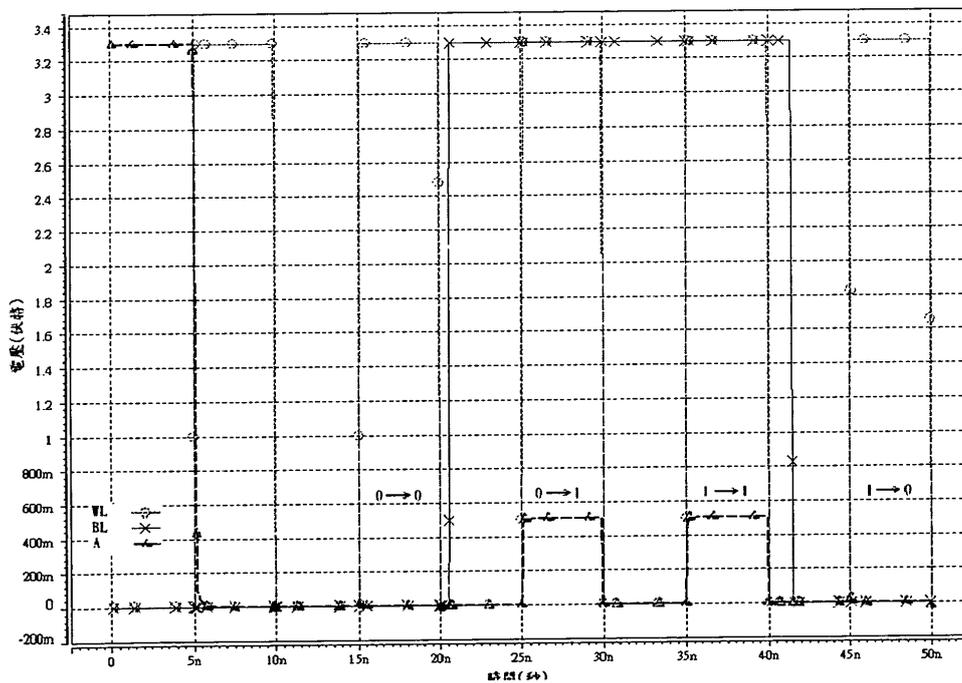
圖式簡單說明

第 1 圖係顯示習知 6T 靜態隨機存取記憶體晶胞之電路示意圖；第 2 圖係顯示習知 6T 靜態隨機存取記憶體晶胞之寫入動作時序圖；第 3 圖係顯示習知 5T 靜態隨機存取記憶體晶胞之電路示意圖；第 4 圖係顯示習知 5T 靜態隨機存取記憶體晶胞之寫入動作時序圖；第 5 圖係顯示本創作所提出之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體之電路示意圖；第 6 圖係顯示本創作所提出之寫入操作時提高字元線電壓位準之單埠靜態隨機存取記憶體之寫入動作時序圖；第 7 圖係顯示第 5 圖單埠靜態隨機存取記憶體於待機模式時所產生之各次臨界漏電流。

(4)

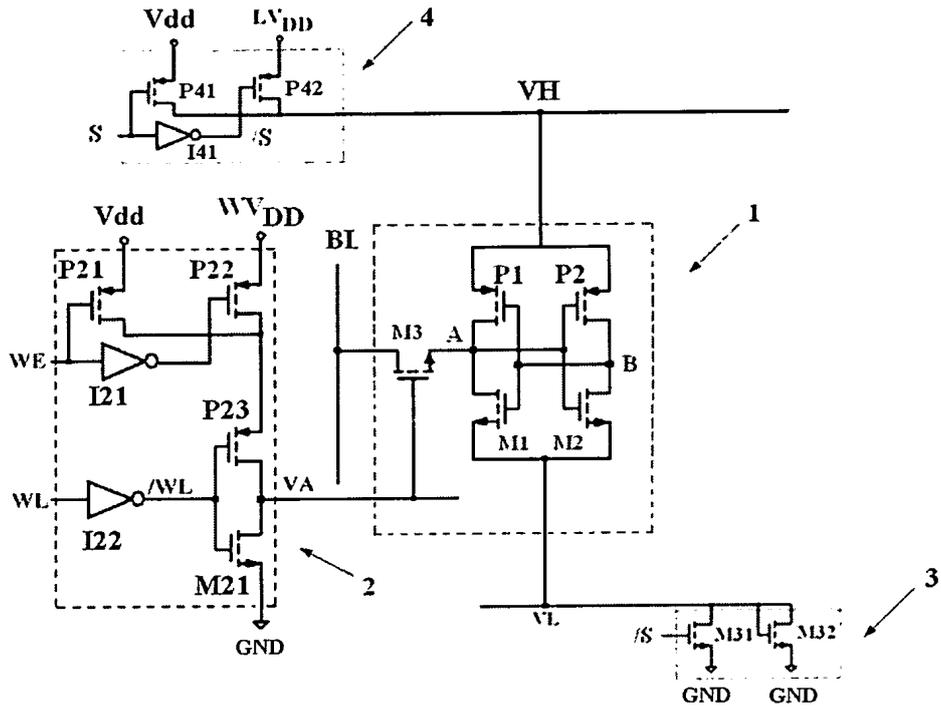


第 3 圖

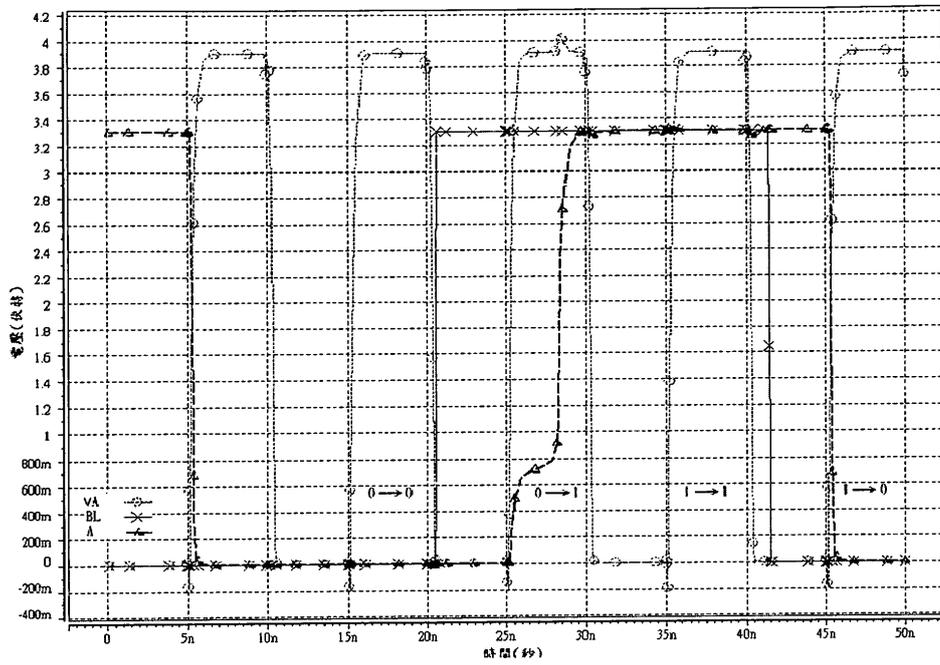


第 4 圖

(5)



第 5 圖



第 6 圖

