

【11】證書號數：M393773

【45】公告日：中華民國 99 (2010) 年 12 月 01 日

【51】Int. Cl.： G11C7/12 (2006.01)

新型

全 7 頁

【54】名稱：具放電路徑之雙埠靜態隨機存取記憶體

DUAL PORT SRAM HAVING A DISCHARGING PATH

【21】申請案號：099212196

【22】申請日：中華民國 99 (2010) 年 06 月 28 日

【72】創作人：蕭明椿 (TW) SHIAU, MING CHUEN；張英信 (TW) JHANG, YING XIN；林彥廷 (TW) LIN, YEN TING；許家禎 (TW) HSU, CHIA CHEN

【71】申請人：修平技術學院

HSIUPING INSTITUTE OF
TECHNOLOGY

臺中縣大里市工業路 11 號

[57]申請專利範圍

1. 一種具放電路徑之雙埠靜態隨機存取記憶體，包括：一記憶體陣列，該記憶體陣列係由複數列記憶體晶胞與複數行記憶體晶胞所組成，每一列記憶體晶胞與每一行記憶體晶胞各包括有複數個記憶體晶胞(1)；一第一偏壓電路(2)，該第一偏壓電路(2)係用以接收一待機模式控制信號(S)，且於該待機模式控制信號(S)為代表主動模式(active mode)之邏輯低位準時，將一高電源供應電壓(HV_{DD})供應至一電壓模式節點(VM)，而於該待機模式控制信號(S)為代表待機模式(standby mode)之邏輯高位準時，則將一低電源供應電壓(LV_{DD})供應至該電壓模式節點(VM)；一第二偏壓電路(3)，該第二偏壓電路(3)係用以接收一反相待機模式控制信號(/S)，且於該反相待機模式控制信號(/S)為代表主動模式之邏輯高位準時，將接地電壓供應至一低電壓節點(VL)，而於該反相待機模式控制信號(/S)為代表待機模式之邏輯低位準時，則將較接地電壓為高之一電壓供應至該低電壓節點(VL)；複數個放電路徑(4)，每一列記憶體晶胞設置一個放電路徑(4)；以及複數個寫入電壓控制電路(5)，每一列記憶體晶胞設置一個寫入電壓控制電路，該等寫入電壓控制電路(5)於對應之一寫入用字元線(WWL)為代表選定寫入狀態之邏輯高位準時，將該低電源供應電壓(LV_{DD})供應至一高電壓節點(VH)；而於對應之該寫入用字元線(WWL)為代表非選定寫入狀態之邏輯低位準時，則將該電壓模式節點(VM)之電壓供應至該高電壓節點(VH)；其中，每一記憶體晶胞(1)更包含：一第一反相器，係由第一 PMOS 電晶體(P1)與第一 NMOS 電晶體(M1)所組成，該第一反相器係連接在該高電壓節點(VH)與該低電壓節點(VL)之間；一第二反相器，係由第二 PMOS 電晶體(P2)與第二 NMOS 電晶體(M2)所組成，該第二反相器係連接在該高電壓節點(VH)與該低電壓節點(VL)之間；一儲存節點(A)，係由該第一反相器之輸出端所形成；一反相儲存節點(B)，係由該第二反相器之輸出端所形成；一寫入用選擇電晶體(MWS)，係連接在該儲存節點(A)與一寫入用位元線(WBL)之間，且閘極連接至該寫入用字元線(WWL)；一讀取用選擇電晶體(MRS)，其一端連接至一讀取用位元線(RBL)，另一端與一反相電晶體(MINV)相連接，而閘極則連接至一讀取用字元線(RWL)；以及一反相電晶體(MINV)，其一端與該讀取用選擇電晶體(MRS)相連接，另一端連接至該低電壓節點(VL)，而閘極則連接至反相儲存節點(B)；其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端(即儲存節點 A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點 B)則連接至該第一反相器之輸入端；其中，該第一偏壓電路(2)更包含：一第三 PMOS 電

(2)

晶體(P21)，該第三 PMOS 電晶體(P21)之源極、閘極與汲極係分別連接至該高電源供應電壓(HV_{DD})、該待機模式控制信號(S)與該電壓模式節點(VM)；一第四 PMOS 電晶體(P22)，該第四 PMOS 電晶體(P22)之源極、閘極與汲極係分別連接至該低電源供應電壓(LV_{DD})、該第三反相器(I23)之輸出端與該電壓模式節點(VM)；以及一第三反相器(I23)，該第三反相器(I23)之輸入端用以接收該待機模式控制信號(S)，並供產生該反相待機模式控制信號(/S)；其中，該第二偏壓電路(3)更包含：一第三 NMOS 電晶體(M31)，該第三 NMOS 電晶體(M31)之源極、閘極與汲極係分別連接至接地電壓、該反相待機模式控制信號(/S)與該低電壓節點(VL)；以及一第四 NMOS 電晶體(M32)，該第四 NMOS 電晶體(M32)之源極係連接至接地電壓，而閘極與汲極則連接在一起，並連接至該低電壓節點(VL)；其中，每一寫入電壓控制電路(5)更包含：一第五 PMOS 電晶體(P51)，該第五 PMOS 電晶體(P51)之源極、閘極與汲極係分別連接至該電壓模式節點(VM)、該寫入用字元線(WWL)與該高電壓節點(VH)；一第六 PMOS 電晶體(P52)，該第六 PMOS 電晶體(P52)之源極、閘極與汲極係分別連接至該低電源供應電壓(LV_{DD})、該第四反相器(I53)之輸出端與該高電壓節點(VH)；以及一第四反相器(I53)，該第四反相器(I53)之輸入端用以接收該寫入用字元線(WWL)，而該第四反相器(I53)之輸出端則連接至該第六 PMOS 電晶體(P52)之閘極；其中，每一放電路徑(4)更包含：一第五 NMOS 電晶體(M41)，該第五 NMOS 電晶體(M41)之源極、閘極與汲極係分別連接至一第七 PMOS 電晶體(P45)之汲極、該寫入用字元線(WWL)與該高電壓節點(VH)；一第六 NMOS 電晶體(M42)，該第六 NMOS 電晶體(M42)之源極、閘極與汲極係分別連接至該第七 PMOS 電晶體(P45)之汲極、該待機模式控制信號(S)與該高電壓節點(VH)；一第七 NMOS 電晶體(M43)，該第七 NMOS 電晶體(M43)之源極、閘極與汲極係分別連接至接地電壓、一延遲電路(D46)之輸出端與該第五 NMOS 電晶體(M41)之源極和該第六 NMOS 電晶體(M42)之源極；一第八 NMOS 電晶體(M44)，該第八 NMOS 電晶體(M44)之源極、閘極與汲極係分別連接至接地電壓、該待機模式控制信號(S)與該延遲電路(D46)之輸入端；一第七 PMOS 電晶體(P45)，該第七 PMOS 電晶體(P45)之源極、閘極與汲極係分別連接至該第一偏壓電路(2)中之該第三反相器(I23)之輸出端(即該反相寫入用字元線/WWL)、該待機模式控制信號(S)與該延遲電路(D46)之輸入端；以及一延遲電路(D46)，該延遲電路(D46)之輸入端係連接至該第八 NMOS 電晶體(M44)之汲極和該第七 PMOS 電晶體(P45)之汲極，而該延遲電路(D46)之輸出端則連接至該第七 NMOS 電晶體(M43)之閘極。

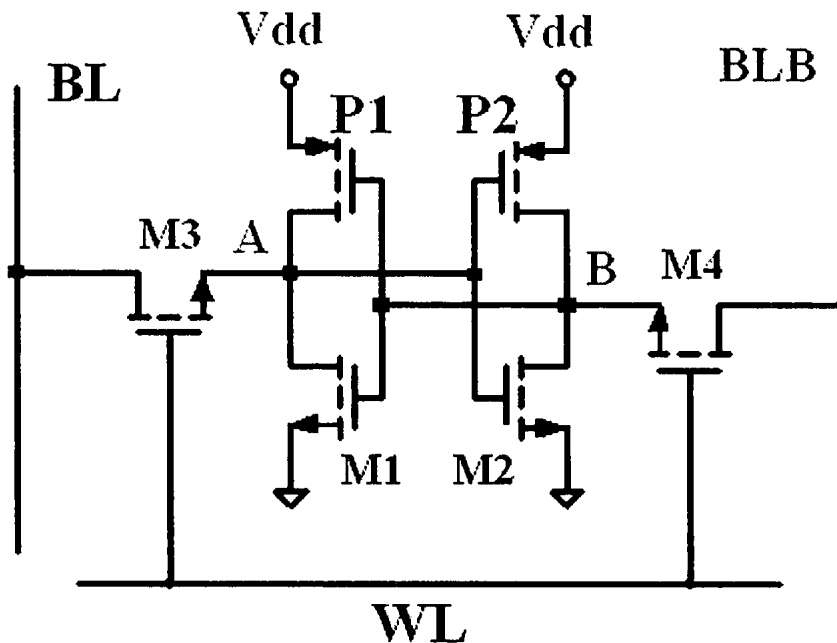
2. 如申請專利範圍第 1 項所述之具放電路徑之雙埠靜態隨機存取記憶體，其中，該寫入用字元線(WWL)之邏輯高位準係為該高電源供應電壓(HV_{DD})之位準。
3. 如申請專利範圍第 1 項所述之具放電路徑之雙埠靜態隨機存取記憶體，其中，該讀取用字元線(RWL)於讀取操作期間係設定為該高電源供應電壓(HV_{DD})，而於讀取操作以外之期間則設定為低於接地電壓之電壓位準。
4. 如申請專利範圍第 1 項所述之具放電路徑之雙埠靜態隨機存取記憶體，其中，該每一放電路徑(4)中之該延遲電路(D46)係由偶數個反相器串接而成，以便提供一延遲時間。
5. 如申請專利範圍第 4 項所述之具放電路徑之雙埠靜態隨機存取記憶體，其中，當該寫入用字元線(WWL)為代表選定寫入狀態之邏輯高位準時，可藉由對應之放電路徑(4)所提供之放電路徑，以將儲存在該高電壓節點(VH)之電荷放電一預定時間。
6. 如申請專利範圍第 5 項所述之具放電路徑之雙埠靜態隨機存取記憶體，其中，該預定時間係等於該延遲電路(D46)所提供之該延遲時間、該第七 PMOS 電晶體(P45)之傳遞延遲時間(propagation delay time)以及該第一偏壓電路(2)中之該第五反相器(I53)之下降傳遞延遲時間(fall propagation delay time)的總和。

(3)

7. 如申請專利範圍第 4 項所述之具放電路徑之雙埠靜態隨機存取記憶體，其中，當該待機模式控制信號(S)為代表待機模式之邏輯高位準時，可藉由對應之放電路徑(4)所提供之放電路徑，以將儲存在該高電壓節點(VH)之電荷放電另一預定時間。
8. 如申請專利範圍第 7 項所述之具放電路徑之雙埠靜態隨機存取記憶體，其中，該另一預定時間係等於該延遲電路(D46)所提供之該延遲時間再加上該第八 NMOS 電晶體(M44)之下降傳遞延遲時間。

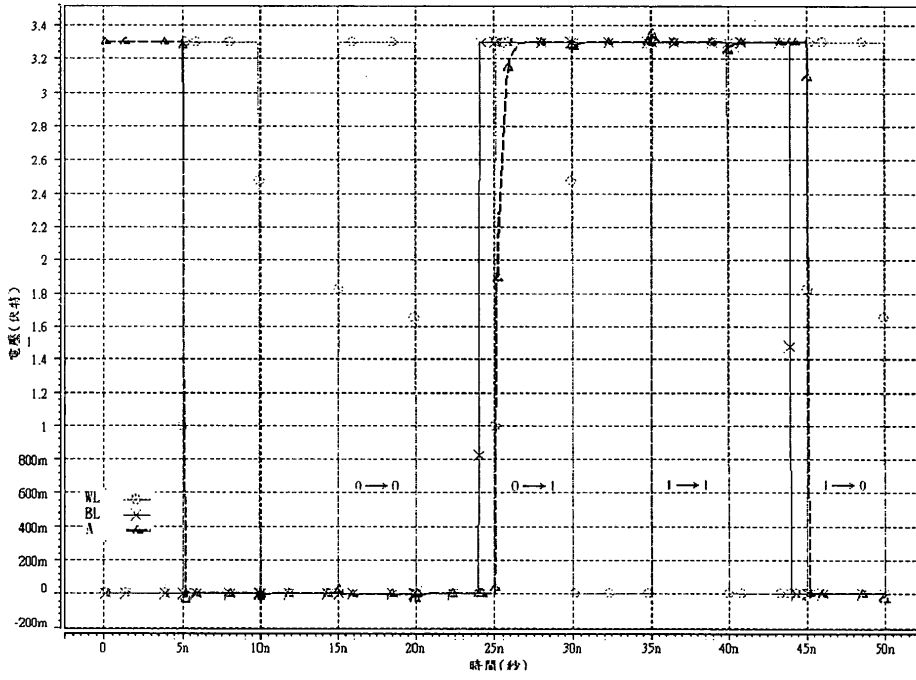
圖式簡單說明

- 第 1 圖 係顯示習知 6T 靜態隨機存取記憶體晶胞之電路示意圖；
- 第 2 圖 係顯示習知 6T 靜態隨機存取記憶體晶胞之寫入動作時序圖；
- 第 3 圖 係顯示習知 5T 靜態隨機存取記憶體晶胞之電路示意圖；
- 第 4 圖 係顯示習知 5T 靜態隨機存取記憶體晶胞之寫入動作時序圖；
- 第 5 圖 係顯示習知雙埠靜態隨機存取記憶體晶胞之電路示意圖；
- 第 6 圖 係顯示本創作較佳實施例所提出之具放電路徑之雙埠靜態隨機存取記憶體之電路示意圖；
- 第 7 圖 係顯示本創作較佳實施例所提出之具放電路徑之雙埠靜態隨機存取記憶體之放電路徑的電路示意圖；
- 第 8 圖 係顯示第 6 圖之本創作較佳實施例之寫入動作時序圖；
- 第 9 圖 係顯示第 6 圖雙埠靜態隨機存取記憶體於待機模式時所產生之各次臨界漏電流。

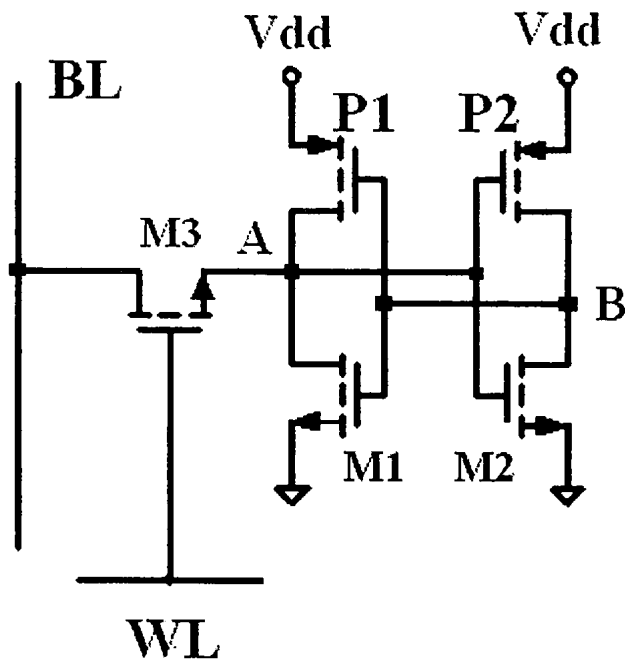


第 1 圖

(4)

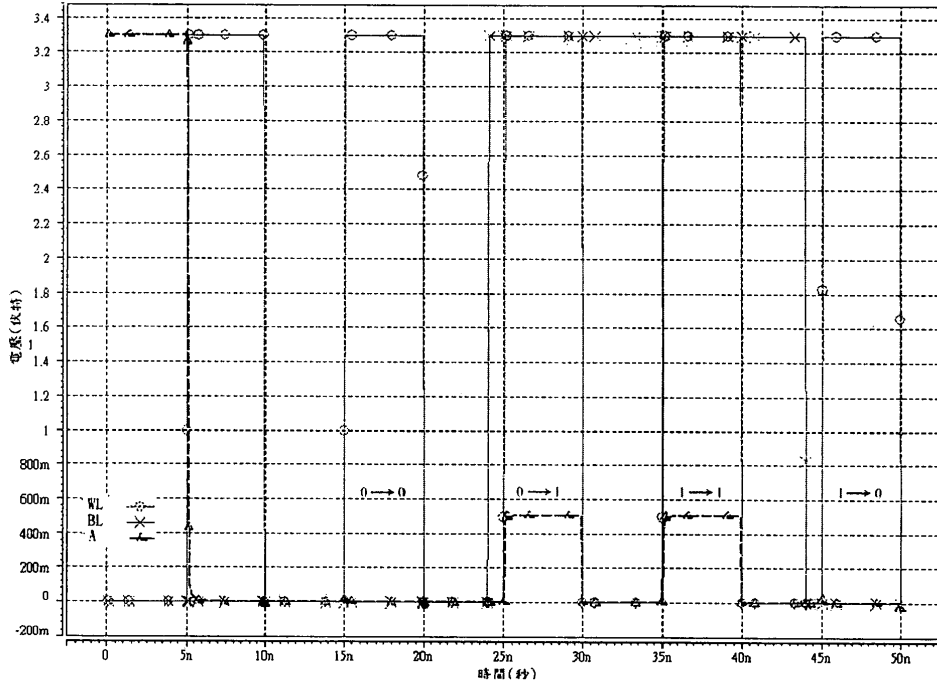


第 2 圖

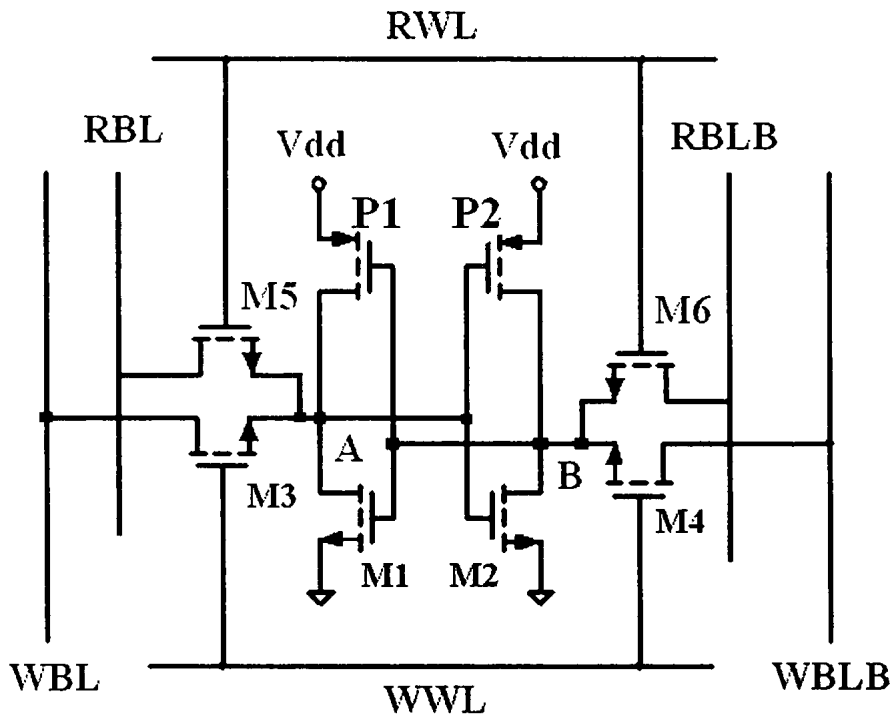


第 3 圖

(5)

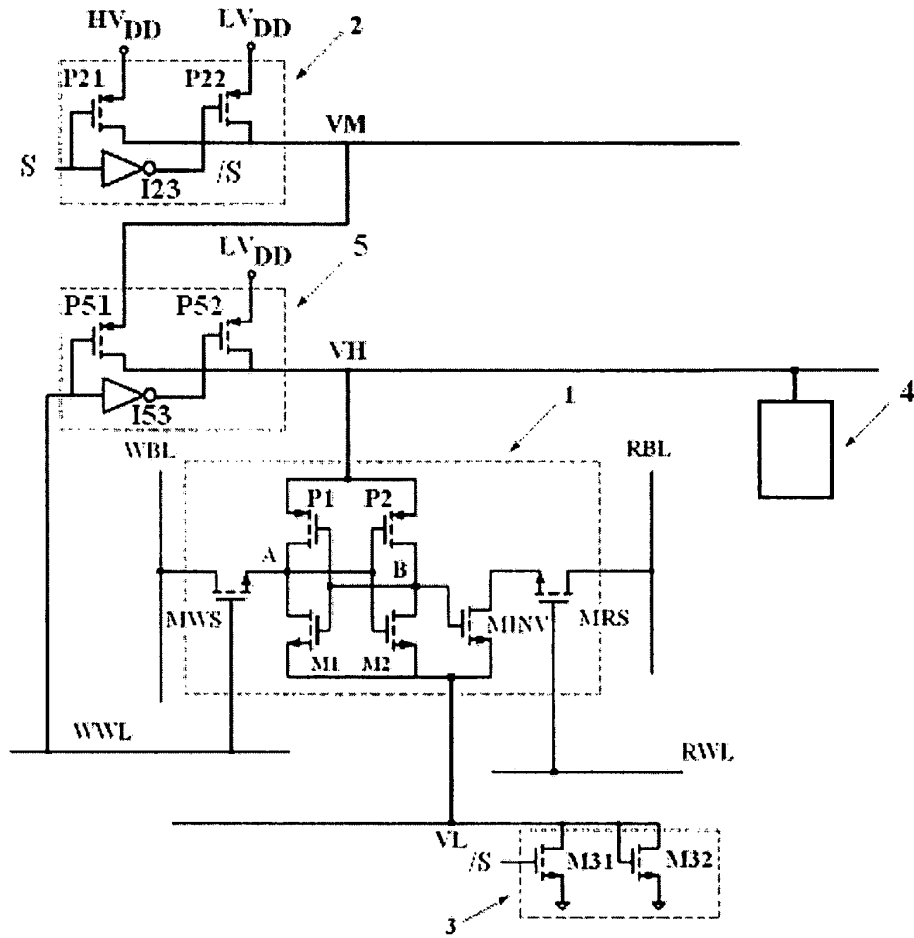


第 4 圖

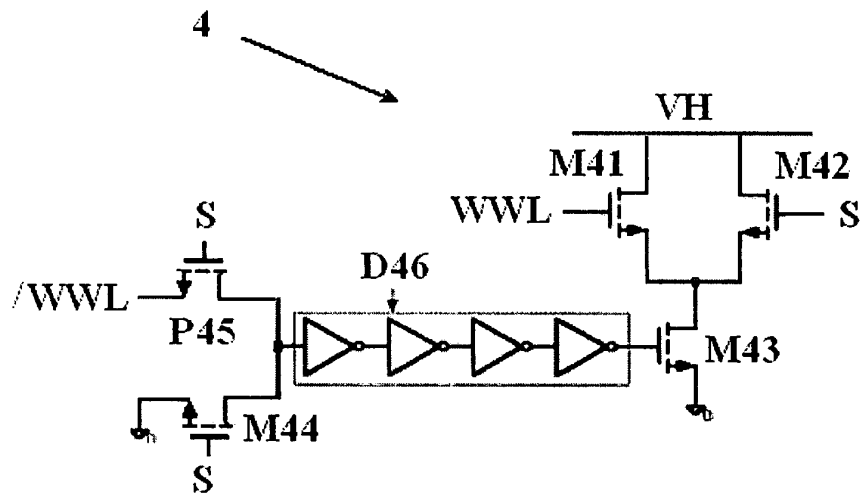


第 5 圖

(6)

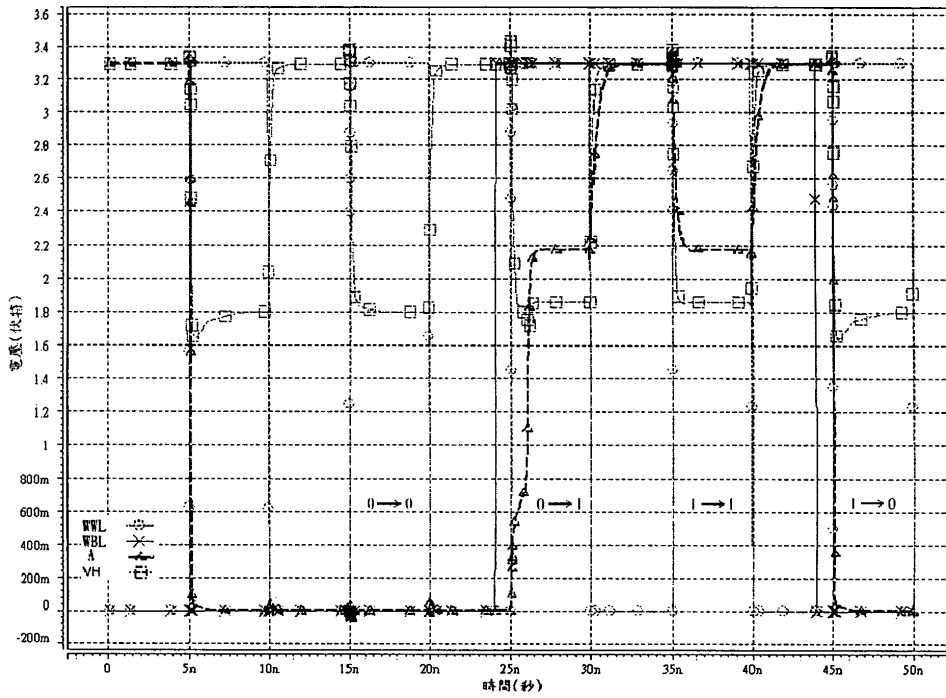


第 6 圖

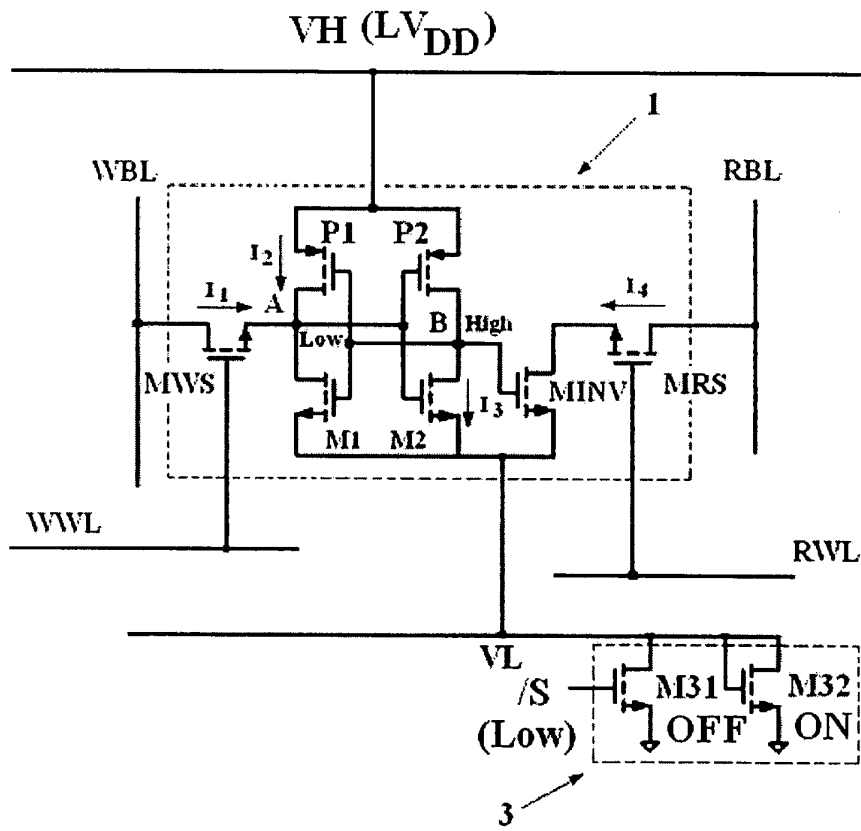


第 7 圖

(7)



第 8 圖



第 9 圖

