

【11】證書號數：M420839

【45】公告日：中華民國 101 (2012) 年 01 月 11 日

【51】Int. Cl.： H01L27/10 (2006.01)

新型

全 6 頁

【54】名稱：單埠靜態隨機存取記憶體

SINGLE PORT SRAM

【21】申請案號：100207251

【22】申請日：中華民國 100 (2011) 年 04 月 25 日

【72】創作人：蕭明椿 (TW) SHIAU, MING CHUEN；梁明璋 (TW) LIANG, MING WEI；謝明哲 (TW) SIE, MING JHE；張恩誌 (TW) CHANG, EN CHIH

【71】申請人：修平技術學院

HSIUPING INSTITUTE OF
TECHNOLOGY

臺中市大里區工業路 11 號

[57]申請專利範圍

1. 一種單埠靜態隨機存取記憶體，包括：一記憶體陣列，該記憶體陣列係由複數個記憶體區塊所組成，每一記憶體區塊更包括有複數個記憶體晶胞(1)；以及複數個控制電路(2)，每一記憶體區塊設置一個控制電路(2)；其中，每一記憶體晶胞(1)更包含：一第一反相器，係由一第一 PMOS 電晶體(P1)與一第一 NMOS 電晶體(M1)所組成，該第一反相器係連接在一電源供應電壓(V_{DD})與一第一低電壓節點(VL1)之間；一第二反相器，係由一第二 PMOS 電晶體(P2)與一第二 NMOS 電晶體(M2)所組成，該第二反相器係連接在該電源供應電壓(V_{DD})與一第二低電壓節點(VL2)之間；一儲存節點(A)，係由該第一反相器之輸出端所形成；一反相儲存節點(B)，係由該第二反相器之輸出端所形成；一第三反相器，係由一第一 PMOS 控制電晶體(PC1)與一第一 NMOS 控制電晶體(MC1)所組成，該第三反相器係連接在一次電源供應電壓(V_{DDL})與接地電壓之間；一第四反相器，係由一第二 PMOS 控制電晶體(PC2)與一第二 NMOS 控制電晶體(MC2)所組成，該第四反相器係連接在該次電源供應電壓(V_{DDL})與接地電壓之間；一第一控制節點(B1)，係由該第四反相器之輸出端所形成；一第二控制節點(B2)，係由該第三反相器之輸出端所形成；以及一第三 NMOS 電晶體(M3)，係連接在該儲存節點(A)與對應之一位元線(BL)之間，且閘極連接至對應之一字元線(WL)，而背閘極連接至該第一控制節點(B1)；其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端(即儲存節點 A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點 B)則連接至該第一反相器之輸入端；而每一控制電路(2)更包含：一第四 NMOS 電晶體(M21)，該第四 NMOS 電晶體(M21)之源極係連接至接地電壓，而閘極與汲極係連接在一起，並連接至該第一低電壓節點(VL1)；一第五 NMOS 電晶體(M22)，該第五 NMOS 電晶體(M22)之源極、閘極與汲極係分別連接至接地電壓、一反相待機模式控制信號(\bar{S})與該第二低電壓節點(VL2)；一第六 NMOS 電晶體(M23)，該第六 NMOS 電晶體(M23)之源極、閘極與汲極係分別連接至該第二低電壓節點(VL2)、一待機模式控制信號(S)與該第一低電壓節點(VL1)；一第七 NMOS 電晶體(M24)，該第七 NMOS 電晶體(M24)之源極連接至接地電壓，汲極連接至該第一低電壓節點(VL1)，而閘極連接至一第八 NMOS 電晶體(M25)之汲極、一第九 NMOS 電晶體(M26)之汲極與一第十 NMOS 電晶體(M27)之源極；一第八 NMOS 電晶體(M25)，該第八 NMOS 電晶體(M25)之源極、閘極與汲極係分別連接至接地電壓、一寫入致能信號(WE)與第七 NMOS 電晶體(M24)之閘極；一第九 NMOS 電晶體

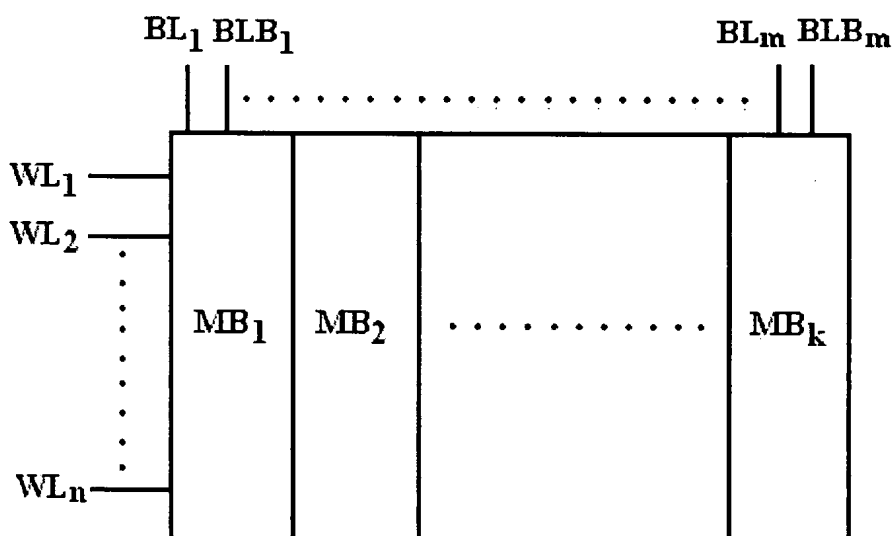
(2)

(M26)，該第九 NMOS 電晶體(M26)之源極、閘極與汲極係分別連接至接地電壓、一待機模式控制信號(S)與第七 NMOS 電晶體(M24)之閘極；一第十 NMOS 電晶體(M27)，該第十 NMOS 電晶體(M27)之源極、閘極與汲極係分別連接至第七 NMOS 電晶體(M24)之閘極、一反相寫入致能信號(\overline{WE})與一第十一 NMOS 電晶體(M28)之源極；以及一第十一 NMOS 電晶體(M28)，該第十一 NMOS 電晶體(M28)之源極、閘極與汲極係分別連接至該第十 NMOS 電晶體(M27)之汲極、該反相待機模式控制信號(\overline{S})與該電源供應電壓(V_{DD})；其中，該反相待機模式控制信號(\overline{S})係由該待機模式控制信號(S)經一反相器而獲得，且該反相寫入致能信號(\overline{WE})係由該寫入致能信號(WE)經另一反相器而獲得，該第一控制節點(B1)更連接至該第二 NMOS 電晶體(M2)之背閘極與該第三 NMOS 電晶體(M3)之背閘極，而該第二控制節點(B2)更連接至該第一 NMOS 電晶體(M1)之背閘極。

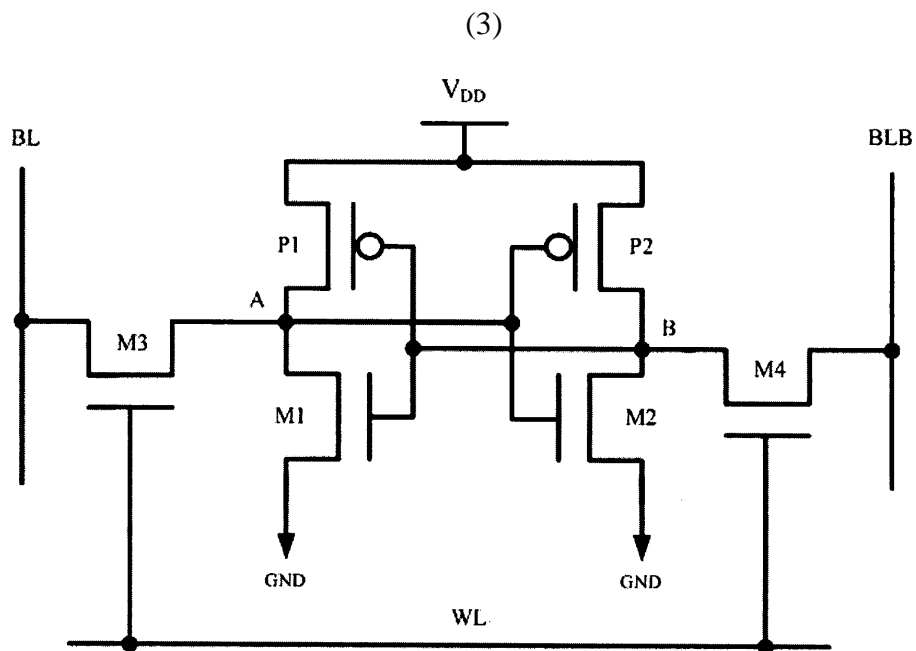
2. 如申請專利範圍第 1 項所述之單埠靜態隨機存取記憶體，其中，該記憶體區塊為一系列記憶體晶胞。
3. 如申請專利範圍第 1 項所述之單埠靜態隨機存取記憶體，其中，該記憶體區塊為一行記憶體晶胞。

圖式簡單說明

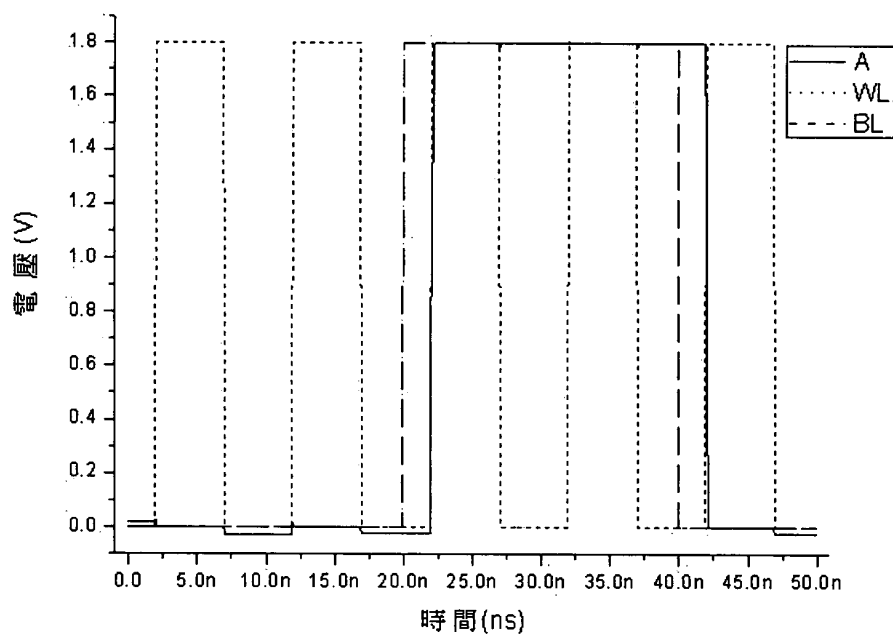
- 第 1a 圖 係顯示習知之靜態隨機存取記憶體；
- 第 1b 圖 係顯示習知 6T 靜態隨機存取記憶體晶胞之電路示意圖；
- 第 2 圖 係顯示習知 6T 靜態隨機存取記憶體晶胞之寫入動作時序圖；
- 第 3 圖 係顯示習知 5T 靜態隨機存取記憶體晶胞之電路示意圖；
- 第 4 圖 係顯示習知 5T 靜態隨機存取記憶體晶胞之寫入動作時序圖；
- 第 5 圖 係顯示習知第 TW M358390 號之 5T 靜態隨機存取記憶體晶胞之電路示意圖；
- 第 6 圖 係顯示本創作較佳實施例所提出之之電路示意圖；
- 第 7 圖 係顯示第 6 圖之本創作較佳實施例之寫入動作時序圖。



第 1a 圖

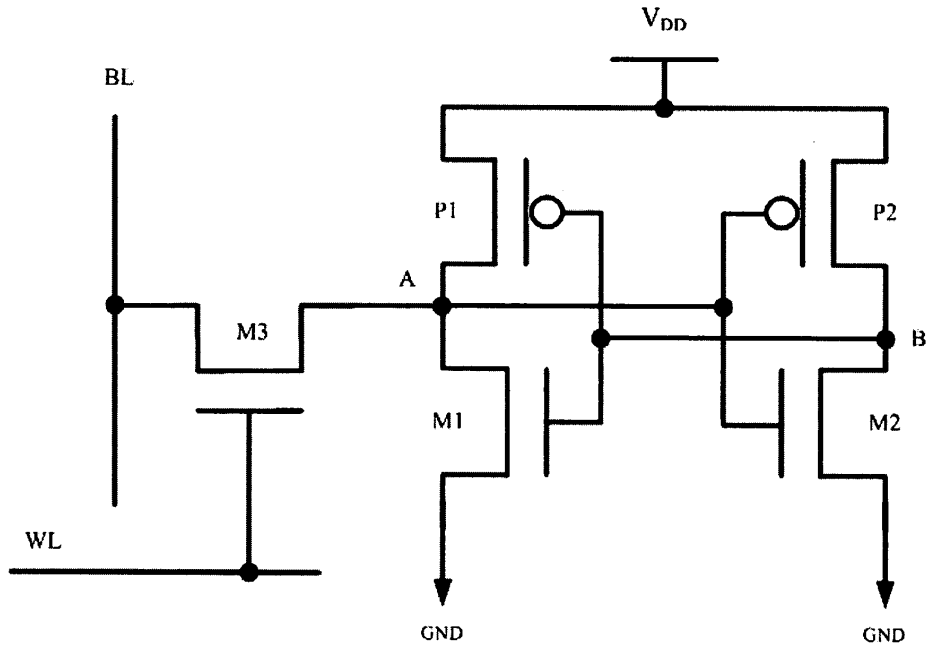


第 1b 圖

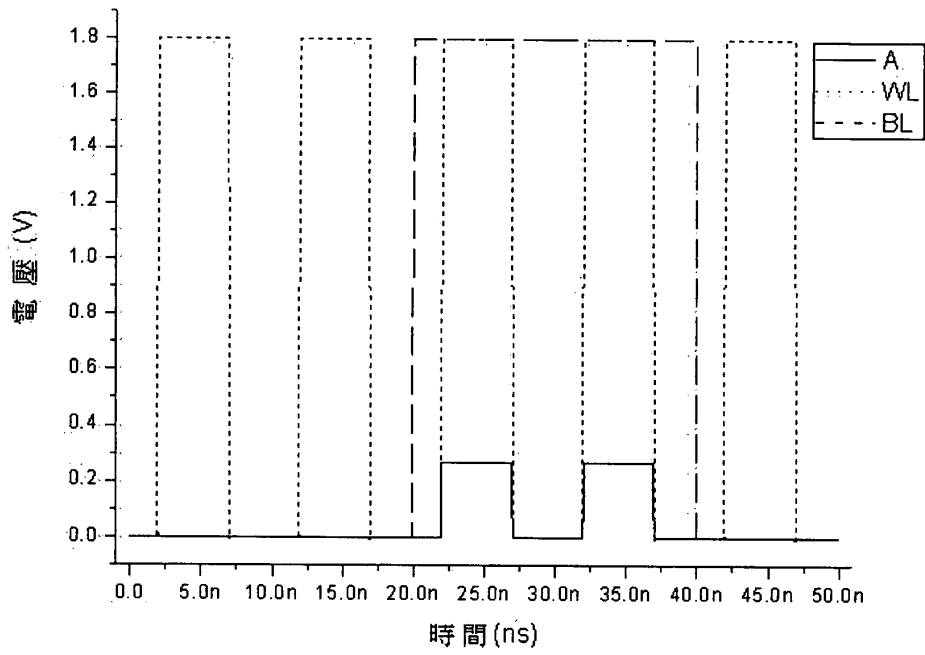


第 2 圖

(4)

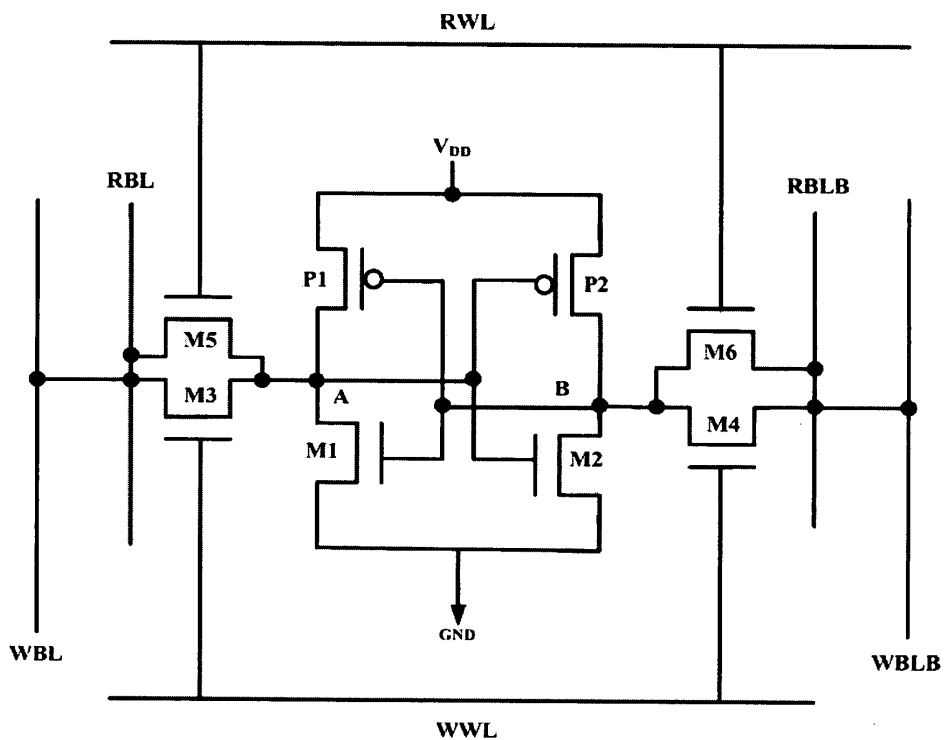


第 3 圖

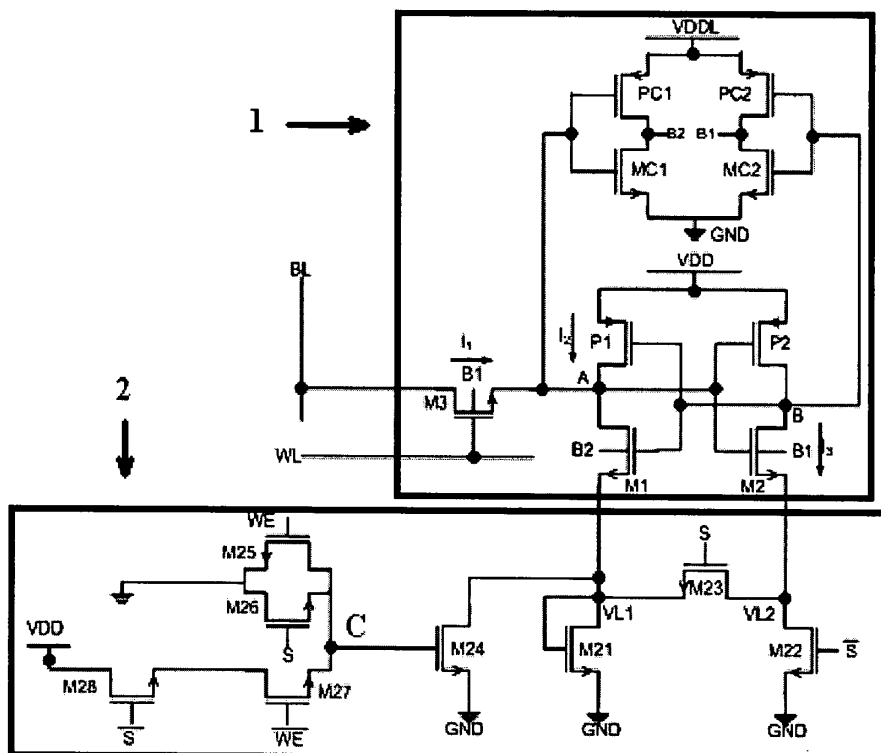


第 4 圖

(5)

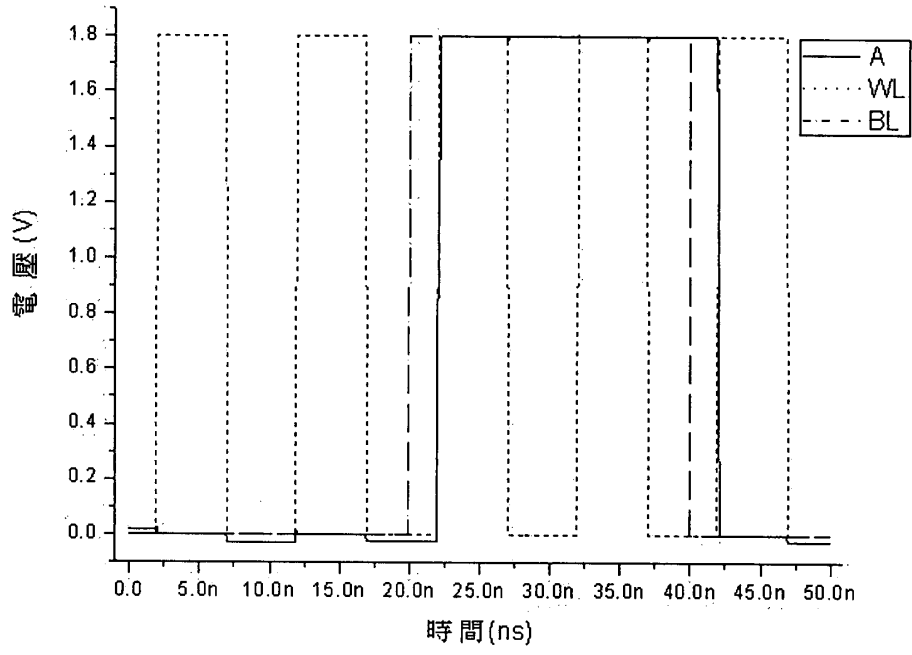


第 5 圖



第 6 圖

(6)



第 7 圖