

摘要

本專題提出一低功率雙邊緣觸發 D 型正反器(Double Edge-Triggered Flip-Flop; DETFF)。在低功率 VLSI 設計中，低功率雙邊緣觸發正反器已受到廣泛的使用與重視。單邊緣觸發正反器(Single Edge-Triggered Flip-Flop; SETFF)每個週期內只使用了兩個邊緣中的一個，第二個邊緣則被浪費了。雙邊緣觸發正反器使用了時脈信號的上升和下降邊緣。在相同的時脈頻率下，雙邊緣觸發正反器能夠提供兩倍於單邊緣觸發正反器的資料傳輸率(data rate)。

本專題所提出的低功率雙邊緣觸發 D 型正反器電路，將與四篇先前之雙邊緣觸發正反器電路，做電晶體總數、資料輸入端到輸出端(D-Q)的延遲、總功率損耗和功率延遲積(Power-Delay Product; PDP)的比較。

本專題以 TSMC 180nm 製程，波形為工作週期(duty cycle)50%的方波，上升時間、下降時間各為 100ps，於室溫 25°C 的環境下做模擬分析與比較，經模擬結果所示，(D-Q)延遲、功率損耗和功率延遲積(PDP)，本專所提出的低功率雙邊緣觸發 D 型正反器電路，都優於四篇先前之雙邊緣觸發正反器電路，而且使用的電晶體數更少，所使用的面積更小。

目錄

摘要.....	1
目錄.....	2
第 1 章 緒論.....	3
第 2 章 低功耗 CMOS 電路設計.....	5
第 3 章 雙邊緣觸發正反器電路.....	7
3.1 先前之雙邊緣觸發正反器電路.....	7
3.2 本專題所提出之雙邊緣觸發正反器電路.....	10
第 4 章 模擬結果與分析.....	12
第 5 章 結論.....	16
第 6 章 參考文獻.....	17
第 7 章 作者簡介.....	18

第 1 章 緒論

微電子領域的發展趨勢顯示，超大型積體電路(Very Large Scale Integrated Circuit; VLSI)的功率損耗每三年增加四倍，這一事實引起人們對功率損耗問題的關注。隨著消費者的需求以及可攜式產品的蓬勃發展，為了延長這些可攜式產品的使用及待機時間，功率損耗(power dissipation)的問題越來越受到重視。在一個數位系統設計中，儲存元件(storage element)在電路系統中扮演著非常重要的角色，它將會直接影響到整個電路系統的操作速度及功率損耗[1]。而正反器(flip-flop; FF)則是時脈系統中常用的儲存元件。實現降低功率損耗的方法很多，雖然都可以達到降低功率損耗的目的，但是降低功率損耗也造成了降低性能的副作用，因此我們需要一個可以同時達到降低功率損耗卻不降低性能的設計方式。

單邊緣觸發正反器(Single Edge-Triggered Flip-Flop; SETFF)每個週期內只使用了兩個邊緣中的一個，第二個邊緣則被浪費了。為了減少不必要的功率損耗，近年來雙邊緣觸發正反器(Dual Edge-Triggered Flip-Flop; DETFF)的設計一直受到關注。雙邊緣觸發正反器使用了時脈信號的上升和下降邊緣。在相同的時脈頻率下，雙邊緣觸發正反器能夠提供兩倍於單邊緣觸發正反器的資料傳輸率(data rate)。也就是說，雙邊緣觸發正反器只需要單邊

緣觸發正反器一半的工作頻率，就可以達到相同的資料傳輸率。因此，雙邊緣觸發正反器可以有效的降低功率損耗。

S. H. Unger 在 1981 年提出了第一種雙邊緣觸發正反器[2]。到目前為止，大多數的雙邊緣觸發正反器大都是由兩個平行排列的單邊緣觸發部分以及用以選擇輸出信號的一些組合邏輯組成的，所需的面積幾乎是單邊緣觸發正反器的兩倍。近年來，有很多學者對於低功率雙邊緣觸發正反器的設計與改良投入研究。這一事實表示，IC 設計者在小的矽面積和低功率之間已經傾向於優先考慮低功率了[3]。為了有效降低功率損耗，有些學者提出的正反器電路中之開關電晶體，是利用傳導電晶體(pass transistor)來取代傳統電路所使用的傳輸閘(Transmission Gate; TG)，以減少電晶體個數(transistor count)以及降低功率損耗[4]-[6]。然而，傳導電晶體邏輯(pass transistor logic; PTL)的主要缺點是在輸出端缺少全擺幅(full swing)，任何由信號驅動的電路，如果不能實現全擺幅，都會出現靜態功率損耗(static power dissipation)。隨著臨界電壓(threshold voltage)的降低，這個問題還會更加嚴重。

本專題將改進上述缺點，提出一具低功率損耗之雙邊緣觸發正反器，並與四篇先前之雙邊緣觸發正反器電路，針對電晶體總數、資料輸入端到輸出端(D-Q)的延遲、總功率損耗和功率延遲積(Power-Delay Product; PDP)

做分析與比較。

第 2 章 低功率 CMOS 電路設計

低功率數位積體電路是目前非常熱門的研究領域。隨著電晶體尺寸的縮小，矽晶片上的電晶體密度大幅增加，功率損耗的降低也就益形重要。

本節將討論有關低功率 CMOS 電路的設計技術。

功率損耗中的主要因素包括各節點的切換率(switching activity; α)、電源電壓(supply voltage; V_{DD})、各節點上的電壓擺幅(voltage swing; V_S)、各節點處的電容(C_L)和時脈頻率(clock frequency; f_{ck})。對於一個 CMOS 電路而言，整體平均功率損耗主要由動態功率損耗(dynamic power dissipation; P_{dy})、短路功率損耗(short-circuit power dissipation; P_{sc})、漏電流功率損耗(leakage-current power dissipation; P_{lc})以及靜態功率損耗(static power dissipation; P_{st})等四個部分所組成，亦即，

$$P_{avg} = P_{dy} + P_{sc} + P_{lc} + P_{st} \quad (1)$$

其中，動態功率損耗為：

$$P_{dy} = \alpha C_L V_{DD}^2 f_{ck} \quad (2)$$

短路功率損耗為：

$$P_{sc} = I_{sc} V_{DD} \quad (3)$$

漏電流功率損耗為：

$$P_{lc} = I_{leakage} V_{DD} \quad (4)$$

靜態功率損耗為：

$$P_{st} = I_{static} V_{DD} \quad (5)$$

CMOS 的一個主要的優點是它具有特別低的靜態功率損耗。然而，只要輸出節點產生切換(switching)動作，CMOS 電路中總會有功率損耗。一般而言，在 CMOS 電路中，動態功率損耗佔整體功率損耗可達 90% [7]。從公式(2)中不難發現，透過減少公式中的一個參數就可以使動態功率損耗得到某種程度的降低。我們可以透過降低工作頻率來降低功率損耗，但是數位系統中對提高資料傳輸率的需求在不斷增加，因此這不是個理想的做法。另一個降低動態功率損耗的方法是減少負載電容。負載電容越大，動態功率損耗也就越大。大的負載電容還會降低工作速度。這可以透過電晶體的尺寸調整，比如縮小寬度(w)、通道長度(l)和氧化層電容(C_{ox})，以有效降低負載電容值。另外，由公式(2)可以很明顯地看出，減少電源電壓可以降低功率損耗。然而，儘管減少電壓可以降低動態功率損耗，但是其代價是傳輸延遲的增加。

一個好的設計技術是需要在本節討論的各種參數之間進行仔細的權衡。在對速度、面積和功率損耗等作出權衡時，功率延遲乘積可能是個很好的衡量參數。它可以在確保對性能影響最小的條件下，獲得最大的節能效果。

第 3 章 雙邊緣觸發正反器電路

3.1 先前之雙邊緣觸發正反器電路

如圖 1 所示是由 Hossain 等人[4]所提出的雙邊緣觸發正反器，該電路是由四個開關電晶體(MN1、MN2、MN3、MN4)以及兩組特殊栓鎖器所組成。

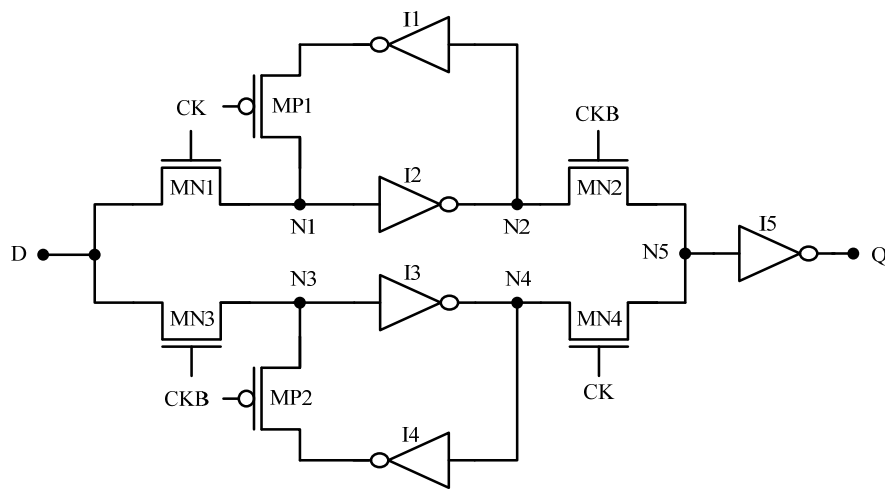


圖 1

如圖 2 所示是由 Kuo 等人[6]所提出的雙邊緣觸發正反器之一，該電路是由六個開關電晶體(MN1、MN2、MN3、MN4、MN5、MN6)以及四個反相器所組成。

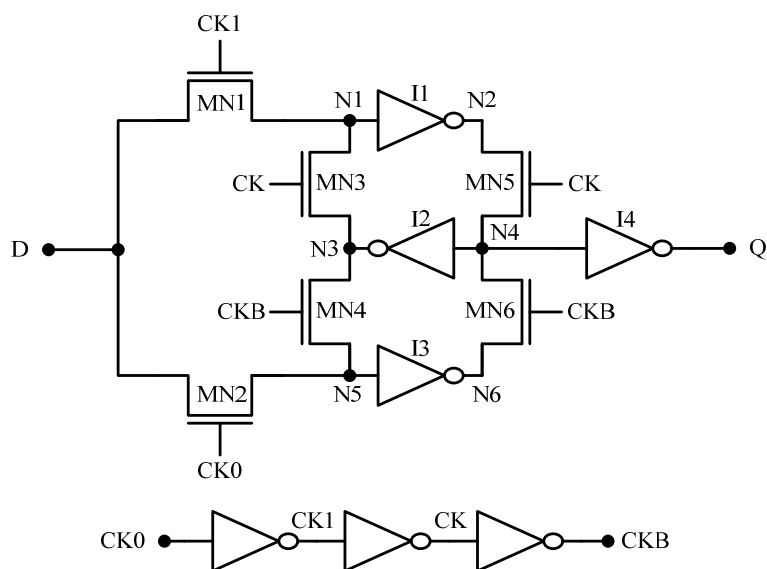


圖 2

如圖 3 所示是由 Kuo 等人[6]所提出的雙邊緣觸發正反器之二，該電路是由兩個傳輸閘(TG1、TG2)、四個開關電晶體(MN3、MN4、MN5、MN6)以及四個反相器所組成。

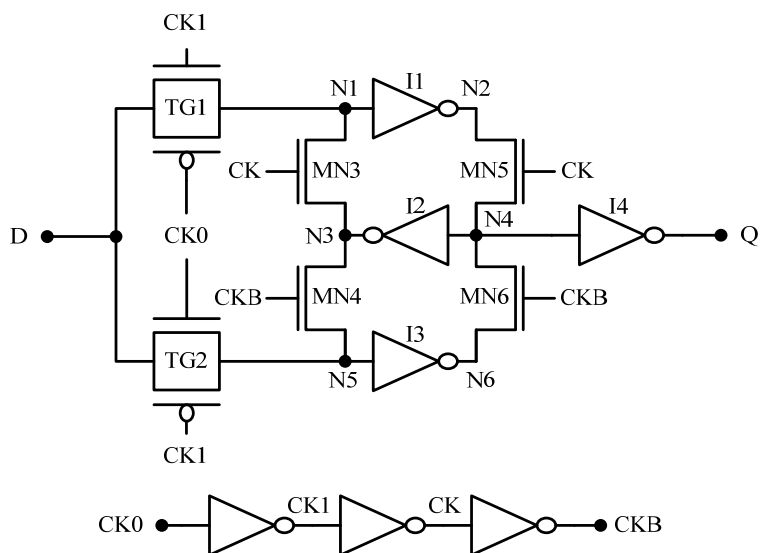


圖 3

圖 4 所示是由 M. Pedram 等人[7]所提出之電路，該電路是由四個傳輸閘(TG1、TG2、TG3、TG4)以及兩組特殊的栓鎖器所組成。

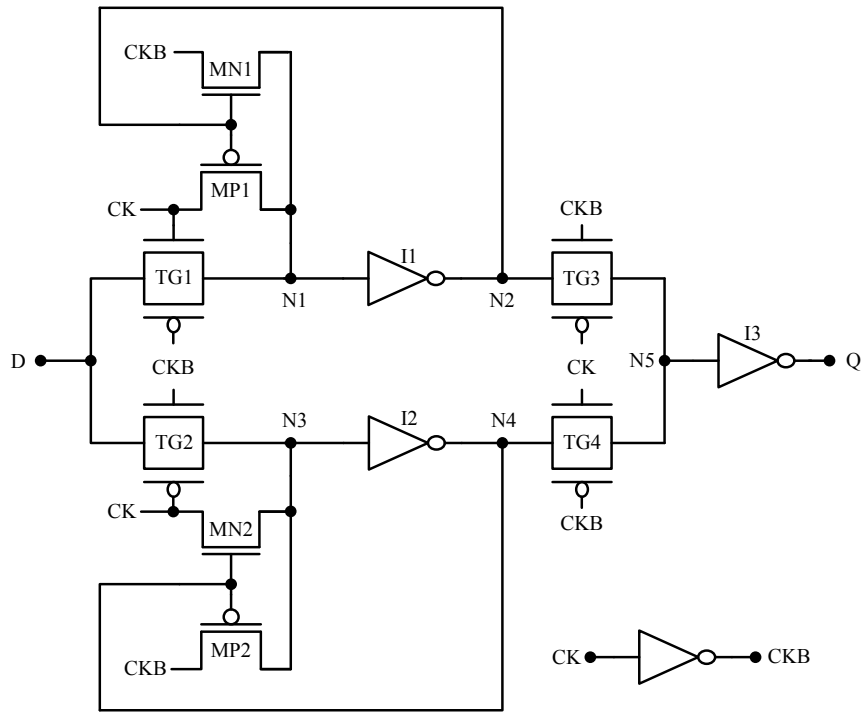


圖 4

3.2 本專題所提出之雙邊緣觸發正反器電路

圖 5 所示為本專題所提出的雙邊緣觸發正反器之電路結構圖。該雙邊緣觸發正反器是由四個開關電晶體(MN1、MN2、MN3、MN4)和兩組特殊的栓鎖器以及一輸出回授電路所組成。其中，栓鎖器係分別由反相器 (I1、I2)及 PMOS (MP1、MP2)所形成；而輸出回授電路係由反相器 I3 及回授電晶體 MP3 所形成。

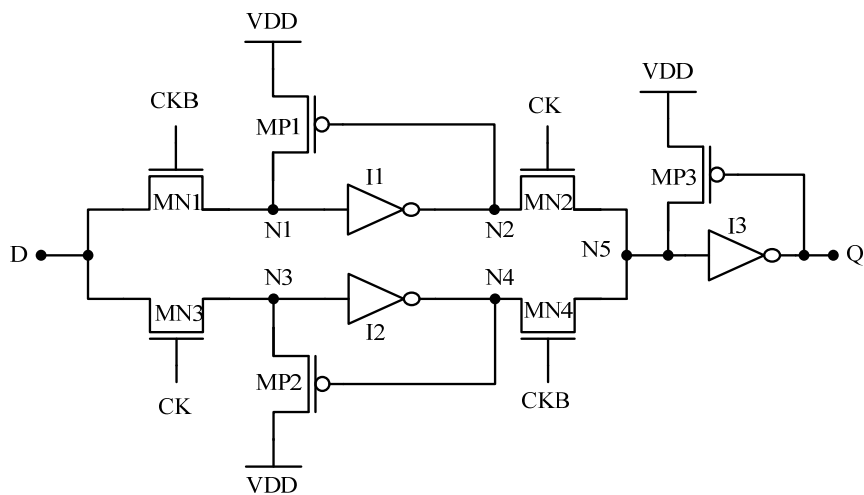


圖 5

使用 NMOS 電晶體做為開關電晶體，有較快的傳輸速度，但是因為 NMOS 傳送的邏輯 1 電位衰減到接近 $V_{DD}-V_m$ 的問題，於是我們以兩組特殊的栓鎖器來解決 NMOS 缺少全擺幅(full swing)的問題。而輸出端的兩個 NMOS 開關電晶體亦可由 MP3 來做回授補償，將 MN2 或 MN4 所傳輸的 $V_{DD}-V_m$ 電位拉升至 V_{DD} 電位。

考慮時脈控制信號 CK 由高電位轉態為低電位時，本專題所提出之雙邊緣觸發正反器的動作描述：當時脈控制信號 CK 是低電位(此時反相時脈控制信號 CKB 是高電位)時，電晶體 MN1 和 MN4 導通，而 MN2 和 MN3 截止。由於 MN1、MN4 導通和 MN2 截止，使得輸入信號 D 透過 MN1 和反相器 I1，將輸入信號 D 的反相信號暫存於節點 N2。如果輸入信號 D 為高電位時，節點 N2 為低電位，迴授電晶體 MP1 導通，並將節點 N1 拉升至 V_{DD} 電位。與此同時，由於 MN4 導通，節點 N4 上的資料信號透過 MN4 經反相器 I3 輸出至輸出節點 Q。如果輸出節點 Q 為低電位，則回授電晶體 MP3 導通，並將節點 N5 拉升至 V_{DD} 電位。

考慮時脈控制信號 CK 由高電位轉態為低電位時，本專題所提出之雙邊緣觸發正反器的動作描述：當時脈控制信號 CK 是高電位(此時反相時脈控制信號 CKB 是低電位)時，電晶體 MN2 和 MN3 導通，而 MN1 和 MN4 截止。由於 MN2、MN3 導通和 MN4 截止，使得輸入信號 D 透過 MN3 和反相器 I2，將輸入信號 D 的反相信號暫存於節點 N4。如果輸入信號 D 為高電位時，節點 N4 為低電位，迴授電晶體 MP2 導通，並將節點 N3 拉升至 V_{DD} 電位。與此同時，由於 MN2 導通，節點 N2 上的資料信號透過 MN2 經反相器 I3 輸出至輸出節點 Q。如果輸出節點 Q 為低電位，則回授電晶體 MP3 導通，並將節點 N5 拉升至 V_{DD} 電位。

第 4 章 模擬結果與分析

在本節中，我們將針對上述先前雙邊緣觸發正反器電路和本專題所提出的雙邊緣觸發正反器，以 TSMC 180nm 製程並使用 BSIM 3 Level 49 的 MOSFET 模型，工作時脈頻率為 500MHz，波形為工作週期(duty cycle)50% 的方波，上升時間、下降時間各為 100ps，於室溫 25°C 的環境下針對功率損耗以及功率延遲乘積加以模擬分析與比較。

如圖 6 所示為本專題所提出之雙邊緣觸發正反器的 HSPICE 暫態模擬結果。由該模擬結果可証實，本專題所提出之雙邊緣觸發正反器電路的功能正確無誤。

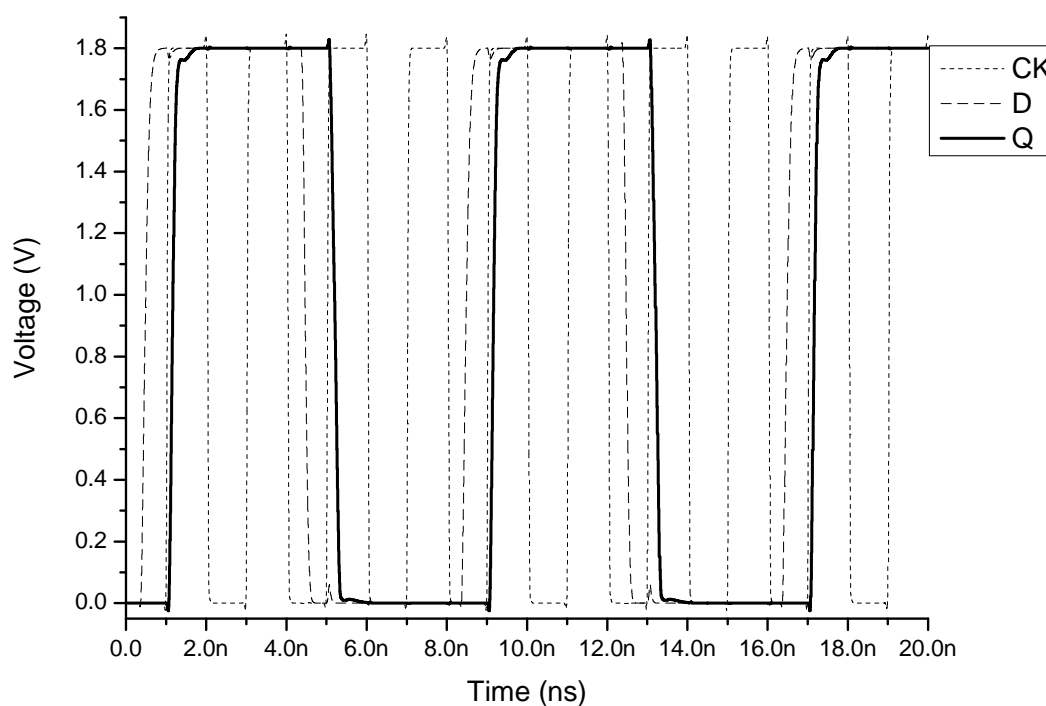


圖 6 本專題所提出電路之暫態分析時序圖

由於雙邊緣觸發正反器功率損耗可以分為資料功率損耗(data power dissipation; P_{data})、時脈功率損耗(clock power dissipation; P_{clock})和內部功率損耗(internal power dissipation; $P_{Internal}$)三個部分。我們以圖 7 做為正反器的模擬測試環境。資料功率損耗定義為圖中灰色反相器的功率損耗；時脈功率損耗定義為黑色反相器的功率損耗；而內部功率損耗定義為正反器電路本身內部的功率損耗。圖中每個負載電容(C_L)大小為 25fF。

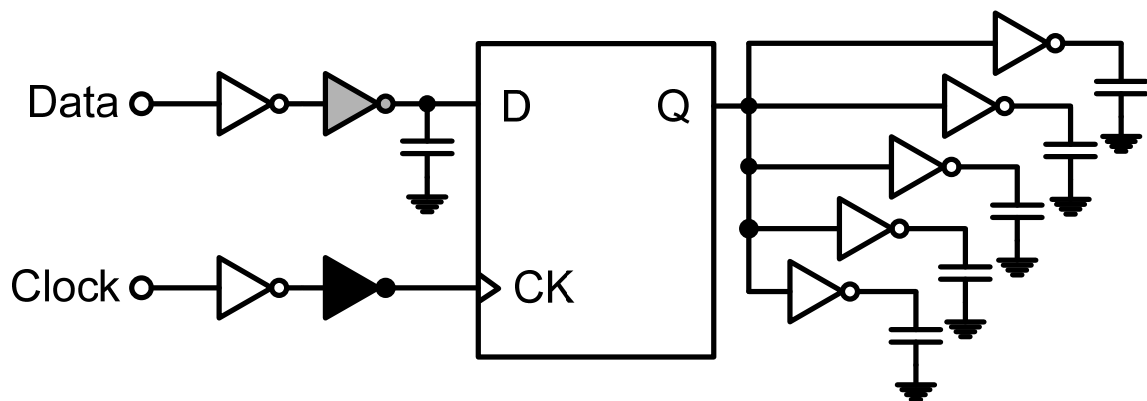


圖 7 雙邊緣觸發正反器的模擬測試環境

如表 1 所示本專題所提出的 DETFF 電路與其他的 DETFF 電路各電晶體的總數、資料輸入端到輸出端(D-Q)的延遲、總功率損耗和功率延遲積(PDP)的比較。 $(\alpha = 0.5)$ 是指資料序列為 11001100。在所有電路的電晶體數比較中，本專題所提出的 DETFF 電路少於其他的 DETFF 電路。此外，本專題所提出的 DETFF 電路與其他的 DETFF 電路相比，功率損耗節省了 22.80%到 47.48%，並且減少了功率延遲積(PDP)25.63%到 76.66%。

表 1 各電路的電晶體數、(D-Q)延遲、總功率損耗和功率延遲乘積(PDP)的比較($\alpha = 0.5$)

FF	# of transistors	D-Q (pS)	Power (uW)	PDP (fJ)
圖 1	16	166	47.46	7.88
圖 2	14	416	60.68	25.24
圖 3	16	254	56.27	14.29
圖 4	18	236	69.76	16.46
圖 5	13	160	36.64	5.86

因為正反器會隨著切換率 α 的不同而產生不同的功率損耗，為了更進一步顯示本專題所提出電路之低功率特性，我們在不同的切換率 α 下，比較各電路的整體功率損耗。

$\alpha = 0$ 是指資料序列為 00000000 或 11111111

$\alpha = 0.5$ 是指資料序列為 11001100

$\alpha = 1$ 是指資料序列為 11001100

表 2 在不同切換率 α 下各電路之功率損耗

FF	$\alpha = 0$		$\alpha = 0.5$	$\alpha = 1$
	00000000	11111111		
圖 1	20.83	17.51	47.46	70.70
圖 2	25.15	29.81	60.68	85.94
圖 3	26.55	25.61	56.27	80.56
圖 4	62.68	28.91	69.76	93.36
圖 5	12.87	12.66	36.64	57.36

如表 2 所示，在不同的切換率 α 下，本專題所提出的 DETFF 電路之功率損耗全都比其他的 DETFF 電路之功率損耗更少。本專題所提出的 DETFF 電路對於其他 DETFF 電路的比較中：輸入資料序列 00000000 的省電率為 38.21% 至 79.47%、輸入資料序列 11111111 的省電率為 27.70% 至 57.53%、輸入資料序列 11001100 的省電率為 22.80% 至 47.48%、輸入資料序列 10101010 的省電率為 18.87% 至 38.56%。

第 5 章 結論

本專題所提出之低功率雙邊緣觸發正反器電路，有多項優點。第一，本專題所提出的雙邊緣觸發正反器電路只使用 13 顆電晶體，比其他雙邊緣觸發正反器電路所使用的電晶體數量更少。第二，相對於其他雙邊緣觸發正反器電路，本專題所提出的雙邊緣觸發正反器電路使用的面積更少。第三，與其他雙邊緣觸發正反器電路相比，本專題所提出的雙邊緣觸發正反器電路資料輸入端到輸出端(D-Q)的延遲更小。第四，與其他雙邊緣觸發正反器電路相比，本專題所提出的雙邊緣觸發正反器電路可以節省更多的功率損耗。第五，本專題所提出的雙邊緣觸發正反器電路非常適合於低功率的應用。第六，相對於其他雙邊緣觸發正反器電路，本專題所提出的雙邊緣觸發正反器電路在處理變化方面更穩定。

第 6 章 參考文獻

- [1] J. Tschanz, S. Narendra, Z. Chen, S. Borkar, and M. Sachdev, “Comparative Delay and Energy of Single Edge-Triggered & Dual Edge-Triggered Pulsed Flip-Flops for High-Performance Microprocessors, ” in *Symp. VLSI Circuits Dig. Tech. Papers*, 2001, pp. 217-218.
- [2] S. H. Unger, “Double Edge-Triggered Flip-Flops,” *IEEE Trans. Comput.*, vol. C-30, no. 6, pp. 1652-1655, June 1981.
- [3] A. Gago, R. Escano, and J. A. Hidalgo, “Reduced Implementation of D-type DET Flip-Flops,” *IEEE J. Solid-State Circ.*, vol. 28, pp. 400-442, Mar. 1993.
- [4] R. Hossain, L. D. Wronski, and A. Albicki, “Low Power Design Using Double Edge Triggered Flip-Flops,” *IEEE Trans. VLSI Syst.*, vol.2, no. 2, pp.261-265, June 1994.
- [5] R. P. Llopis and M. Sachdev, “Low Power, Testable Dual Edge Triggered Flip-Flops,” in *1996 Int. Symp. Low Power Electronics and Design*, 1996, pp. 341-345.
- [6] S. Y. Kuo et al., “Double Edge Triggered Flip-Flop,” U. S. Patent, 5 751 174, May 1998.
- [7] M. Pedram, Q. Wu, and X. Wu, “A New Design of Double Edge Triggered Flip-Flops,” in *Proc. ASP-DAC '98 Asian and South Pacific Design Automation*, 1998, pp. 417-421.

第 7 章 作者簡介

作者文忠宇，出生於 1992 年，個人自求學以來就比較擅長數理相關科目，所以高中選擇就讀大同高工電子科，也因此確定了繼續研習理工專業學程的學習目標。

大學就讀修平科技大學電子工程系，在學期間大一至大三課程中微積分、工程數學、FPGA 設計、C 語言、VLSI 電路設計等成績均表現優異，並獲得陳建榮副教授的肯定，在大三、大四時期擔任微積分的 TA(Teaching Assistant 教學助理)。

本專題報告由余建政教授和陳冠廷學長的指導下，以「低功率雙邊緣觸發 D 型正反器」為題，完成體積更小、消耗功率更低、處理速度更快之「低功率雙邊緣觸發 D 型正反器電路」的專題研究。