

# 新型專利說明書

※申請案號： 096218435

※IPC 分類：

## 一、 新型名稱：

高速電壓位準轉換器  
High-Speed Voltage Level Converter

## 二、 中文新型摘要：

本創作提出一高速電壓位準轉換器，用以將一第一信號轉換為一第二信號，該電壓位準轉換器係由一反相器(INV)、一控制電路(1)、一第一控制電晶體(2)、一第二控制電晶體(3)以及一PMOS電晶體所組成，其中，該控制電路(1)係由一第一PMOS電晶體(MP1)、一第一NMOS電晶體(MN1)及一第三PMOS電晶體(MP3)組成，該第三PMOS電晶體(MP3)的閘極連接至第一輸出端(OUT)做為一回授電晶體之用；該第一控制電晶體(2)係由一第四PMOS電晶體(MP4)組成，用來接受控制電路(1)所提供的輸出信號，而該第二控制電晶體(3)係由一第二NMOS電晶體(MN2)組成，用來接受反相器(INV)所提供的輸出信號。

本創作所提出之高速電壓位準轉換器，其不但能精確地將第一信號轉換為一第二信號，同時亦能夠滿足高速的要求。

## 三、 英文新型摘要：

## 四、 指定代表圖：

(一)本案指定代表圖為： 第3圖

(二)本代表圖之元件符號簡單說明：

1 . . . 控制電路

2 . . . 第一控制電晶體

3 . . . 第二控制電晶體

IN . . . 第一輸入端

INB . . . 第二輸入端

V(OUT) . . . 輸出電壓

OUT . . . 第一輸出端

VINB . . . 第二輸出端

V(IN) . . . 輸入電壓

MP1 . . . 第一PMOS電晶體  
MP2 . . . 第二PMOS電晶體  
MP3 . . . 第三PMOS電晶體  
MP4 . . . 第四PMOS電晶體  
MN1 . . . 第一NMOS電晶體  
MN2 . . . 第二NMOS電晶體  
VDDH . . . 第一電源電壓  
VDDL . . . 第二電源電壓

## 五、 新型說明：

### 【新型所屬之技術領域】

[n] 本創作係有關一種高速電壓位準轉換器，尤指利用一反相器(INV)、一控制電路(1)、一第一控制電晶體(2)、一第二控制電晶體(3)以及一PMOS電晶體所組成，可以準確地將一第一信號轉換為一第二信號之電子電路。

### 【先前技術】

[n] 電壓位準轉換器係一種用來溝通不同的積體電路(Integrated Circuit, 簡稱IC)之間的信號傳遞之電子電路。在許多應用中，當應用系統需將信號從電壓位準較低的核心邏輯傳送到電壓位準較高的週邊裝置時(例如1.8V輸出至3.3V輸入)，電壓位準轉換器就負責將低電壓工作信號轉換成高電壓工作信號。

[n] 先前技術(prior art)中，如第1圖所示為一個習知電壓位準轉換器，其包含一輸入反相器及一輸出反相器，其中該輸入反相器係由一第一PMOS(P-channel metal oxide semiconductor, P通道金屬氧化物半導體)電晶體(MP1)與一第一NMOS(N-channel metal oxide semiconductor, N通道金屬氧化物半導體)電晶體(MN1)所組成，而該輸出反相器係由一第二PMOS電晶體(MP2)與一第二NMOS電晶體(MN2)所組成。第一PMOS電晶體(MP1)與第一NMOS電晶體(MN1)的閘極(gate)連接做為輸入反相器的輸入端，第一PMOS電晶體(MP1)與第一NMOS電晶體(MN1)的汲極(drain)連接做為輸入反相器的輸出端，第一PMOS電晶體(MP1)的源極(source)接第一高電位電壓(VDDH)，第一NMOS電晶體(MN1)的源極接地(GND)，而第二PMOS電晶體(MP2)與第二NMOS電晶體(MN2)的閘極並聯做為輸出反相器的輸入端，第二PMOS電晶體(MP2)與第二NMOS電晶體(MN2)的汲極相連接做為輸出反相器的輸出端，第二PMOS電晶體(MP2)的源極接第一高電位電壓(VDDH)，第二NMOS電晶體(MN2)的源極接地。輸入反相器的輸出端連接至輸出反相器的輸入端。第一高電位電壓(VDDH)為3.3伏特，而輸入電壓V(IN)為一介於0至1.8伏特間的矩形

波。當輸入電壓 $V(IN)$ 為0伏特時，第一NMOS電晶體(MN1)關閉(OFF)，而第一PMOS電晶體(MP1)導通(ON)，輸入反相器的輸出端將被拉升(pull up)到第一高電位電壓(VDDH)，而該第一高電位電壓(VDDH)將使得輸出反相器的第二PMOS電晶體(MP2)關閉，第二NMOS電晶體(MN2)導通，因此，輸出反相器的輸出端被拉降(pulldown)到地(GND)。然而，當輸入電壓 $V(IN)$ 為第二高電位電壓(VDDL)時，第一NMOS電晶體(MN1)導通，而由於加至第一PMOS電晶體(MP1)的汲極(drain)之電壓未達第一高電位電壓(VDDH)，使得第一PMOS電晶體(MP1)無法完全關閉，造成在輸入反相器的第一高電位電壓(VDDH)與地(GND)之間存在一靜態電流(static current)，此靜態電流會增加功率的損耗。在許多應用中，功率損耗的增加係不欲見到的。

[n] 另一種習知之先前技術係使用一第一PMOS電晶體(MP1)、一第二PMOS電晶體(MP2)、一第一NMOS電晶體(MN1)、一第二NMOS電晶體(MN2)及一反相器(INV)來構成一電壓位準轉換器，如第2圖所示。其中，該反相器(INV)的偏壓是第二高電位電壓(VDDL)及地(GND)，而輸入電壓 $V(IN)$ 的電位亦在地(GND)與第二高電位電壓(VDDL)之間。輸入電壓 $V(IN)$ 及經過反相器(INV)輸出的反相輸入電壓信號分別連接至第一NMOS電晶體(MN1)及第二NMOS電晶體(MN2)的閘極。因此，在同一時間內，第一NMOS電晶體(MN1)及第二NMOS電晶體(MN2)之中只有一個會導通。此外，第一輸出端(OUT)和第二輸出端(OUTB)使用交叉耦合(cross-coupled)方式分別連接到第一PMOS電晶體(MP1)的閘極及第二PMOS電晶體(MP2)的閘極上。第一PMOS電晶體(MP1)的源極與第二PMOS電晶體(MP2)的源極接第一高電位電壓(VDDH)，第一NMOS電晶體(MN1)的源極與第二NMOS電晶體(MN2)的源極接地(GND)，而第一NMOS電晶體(MN1)的汲極與第二NMOS電晶體(MN2)的汲極分別連接到第二輸出端(OUTB)和第一輸出端(OUT)。經過位準轉換後的電壓信號由第一輸出端(OUT)輸出，而反相的電壓信號由第二輸出端(OUTB)輸出。

[n] 現在考慮輸入電壓 $V(IN)$ 為低電位(0伏特)時，位準轉換器的穩態操作情形。低電位的輸入電壓 $V(IN)$ 傳送到第一NMOS電晶體(MN1)的閘極上，使得第一NMOS電晶體(MN1)關閉，因此，第二輸出端(OUTB)的電位沒有改變。而反相器(INV)傳送第二高電位電壓(VDDL)到第二NMOS電晶體(MN2)的閘極上，使得第二NMOS電晶體(MN2)導通，此時在第一輸出端(OUT)和地(GND)之間存在一個直接通路，第一輸出端(OUT)的電位被拉降為一低電位(0伏特)的穩態值。由於第二NMOS電晶體(MN2)的汲極連接到第一輸出端(OUT)，因此，第一輸出端(OUT)上的低電位傳送到第一PMOS電晶體(MP1)的閘極上，使得第一PMOS電晶體(MP1)導通，並且將連接到第一

PMOS電晶體(MP1)汲極上的第二輸出端(OUTB)的電位拉升為第一高電位電壓(VDDH)，該第二輸出端(OUTB)的第一高電位電壓(VDDH)傳送到第二PMOS電晶體(MP2)的閘極上，使得第二PMOS電晶體(MP2)關閉，因此，無法改變第一輸出端(OUT)的電位。由上所述，低電位輸入電壓 $V(IN)$ 經位準轉換器轉換成在第一輸出端(OUT)輸出的低電位信號。

[n] 接著考慮輸入電壓 $V(IN)$ 為第二高電位電壓(1.8伏特)時，位準轉換器的穩態操作情形。第二高電位輸入電壓 $V(IN)$ 傳送到第一NMOS電晶體(MN1)的閘極上，使得第一NMOS電晶體(MN1)導通，此時在第二輸出端(OUTB)和地(GND)之間存在一個直接通路，第二輸出端(OUTB)的電位被拉降為一低電位(0伏特)的穩態值。而反相器(INV)傳送低電位到第二NMOS電晶體(MN2)的閘極上，使得第二NMOS電晶體(MN2)關閉，此時第一輸出端(OUT)的電位沒有改變。由於第一NMOS電晶體(MN1)的汲極連接到第二輸出端(OUTB)，因此，第二輸出端(OUTB)上的低電位傳送到第二PMOS電晶體(MP2)的閘極上，使得第二PMOS電晶體(MP2)導通，此時在第一高電位電壓(VDDH)和第一輸出端(OUT)之間存在一個直接通路，第一輸出端(OUT)的電位被拉升為一第一高電位電壓(3.3伏特)。第一輸出端(OUT)的第一高電位電壓(VDDH)傳送到第一PMOS電晶體(MP1)的閘極上，使得第一PMOS電晶體(MP1)關閉。因此，第二輸出端(OUTB)的電位沒有改變。由上所述，第二高電位電壓(VDDL)經位準轉換器轉換成在第一輸出端(OUT)輸出的第一高電位電壓(VDDH)。

[n] 然而，上述習知位準轉換器存在一個競爭(contention)問題。舉一個例子說明，考慮當輸入電壓 $V(IN)$ 由0伏特改變至1.8伏特時，第一NMOS電晶體(MN1)導通，而第二PMOS電晶體(MP2)的閘極變為低電位，使得第二PMOS電晶體(MP2)導通。所以，第一輸出端(OUT)的輸出為一第一高電位電壓(VDDH)。然而，由於0伏特無法瞬間轉換至1.8伏特，因此，在轉換期間的較低輸入電壓 $V(IN)$ 可能無法使第一PMOS電晶體(MP1)、第二PMOS電晶體(MP2)、第一NMOS電晶體(MN1)及第二NMOS電晶體(MN2)達到完全導通或完全關閉，如此會造成在第一高電位電壓(VDDH)與地(GND)之間存在一靜態電流(static current)，此靜態電流會增加功率的損耗。此外，在第二PMOS電晶體(MP2)趨近於導通(或關閉)與在第二NMOS電晶體(MN2)趨近於關閉(或導通)的過程中，對於第一輸出端(OUT)的電位之拉升及拉降有互相競爭(contention)的現象，因此輸出電壓信號 $V(OUT)$ 在轉變成低電位時速度較慢。

[n] 有鑑於此，本創作之主要目的係提出一高速電壓位準轉換器，其不但仍能精確地將第一信號轉換為一第二信號，同時亦能夠滿足高速的要求。

## 【發明內容】

[n] 本創作提出一高速電壓位準轉換器，用以將一第一信號轉換為一第二信號，其中，第一信號為介於0伏特及1.8伏特間的矩形波，第二信號則為介於0伏特及3.3伏特間的對應波形。該電壓位準轉換器係由一反相器(INV)、一控制電路(1)、一第一控制電晶體(2)、一第二控制電晶體(3)以及一第二PMOS電晶體(MP2)所組成，其中，該控制電路(1)係由一第一PMOS電晶體(MN1)、一第一NMOS電晶體(MN1)及一第三PMOS電晶體(MP3)組成，該第三PMOS電晶體(MP3)的閘極連接至第一輸出端(OUT)做為一回授電晶體之用；該第一控制電晶體(2)係由一第四PMOS電晶體(MP4)組成，用來接受控制電路(1)所提供的輸出信號，而該第二控制電晶體(3)係由一第二NMOS電晶體(MN2)組成，用來接受反相器(INV)所提供的輸出信號；一第一電源電壓係用以提供該電壓位準轉換器所需之第一高電位電壓(VDDH)，一第二電源電壓係用以提供該電壓位準轉換器所需之第二高電位電壓(VDDL)，該第二高電位電壓(VDDL)之位準係小於該第一高電位電壓(VDDH)之位準。

## 【實施方式】

[n] 根據上述之目的，本創作提出一高速電壓位準轉換器，如第3圖所示，其係由一反相器(INV)、一控制電路(1)、一第一控制電晶體(2)、一第二控制電晶體(3)以及一第二PMOS電晶體(MP2)所組成，其中，該反相器(INV)係用來接受輸入電壓(V(IN))信號，並提供一個與輸入電壓信號反相的信號至第二輸入端(INB)；該控制電路(1)係用來做為輸入電壓(V(IN))信號的反相器之用，其包含一第一PMOS電晶體(MP1)、一第一NMOS電晶體(MN1)以及一第三PMOS電晶體(MP3)，其中，該第一PMOS電晶體(MP1)的源極連接至第一電源電壓(VDDH)，其汲極連接至第三PMOS電晶體(MP3)的源極，而其閘極則連接至第一NMOS電晶體(MN1)的閘極以及第一輸入端(IN)；該第一NMOS電晶體(MN1)其源極連接至地(GND)，其汲極連接至第三PMOS電晶體(MP3)的汲極以及第二輸出端(VINB)，而其閘極則連接至第一PMOS電晶體(MP1)的閘極以及第一輸入端(IN)；而該第三PMOS電晶體(MP3)係做為回授(feedback)電晶體之用，其源極連接至第一PMOS電晶體(MP1)的汲極，其汲極連接至第一NMOS電晶體(MN1)的汲極以及第二輸出端(VINB)，而其閘極接至第一輸出端(OUT)；該第一控制電晶體(2)係用來接受控制電路(1)所提供的輸出信號，其係由一第四PMOS電晶體(MN4)組成，其源極連接至一第二PMOS電晶體(MP2)的汲極，其汲極連接至第二NMOS電晶體(MN2)的汲極以及第一輸出端(OUT)，而其閘極則連接至第二輸出端(VINB)；該第二控制電晶體(3)係用來接受反相器(INV)輸出的信號，其係由一第二NMOS電晶體(MN2)組成，其

源極連接至第一輸入端(IN)，其汲極連接至第四PMOS電晶體(MP4)的汲極以及第一輸出端(OUT)，而其閘極則連接至第二輸入端(INB)以及第二PMOS電晶體(MP2)的閘極；而該第二PMOS電晶體(MP2)的源極連接至第一電源電壓(VDDH)，其汲極連接至第四PMOS電晶體(MP4)的源極，而其閘極則連接至第二NMOS電晶體(MN2)的閘極以及第二輸入端(INB)。

[n] 請再參閱第3圖，現在考慮輸入電壓( $V(IN)$ )為低電位(0伏特)時，位準轉換器的穩態操作情形。第一輸入端(IN)上的低電位傳送到控制電路(1)的第一PMOS電晶體(MP1)的閘極、第一NMOS電晶體(MN1)的閘極以及第二NMOS電晶體(MN2)的源極，使得第一PMOS電晶體(MP1)導通，第一NMOS電晶體(MN1)關閉，而經過反相器(INV)傳送的第二高電位電壓(VDDL)被傳送至第二NMOS電晶體(MN2)的閘極以及第二PMOS電晶體(MP2)的閘極，使得第二PMOS電晶體(MP2)關閉，而第二NMOS電晶體(MN2)導通，由於第二NMOS電晶體(MN2)的源極接低電位輸入，而其汲極連接到第一輸出端(OUT)，因此，第一輸出端(OUT)的電位被拉降至一低電位(0伏特)的穩態值；第一輸出端(OUT)上的低電位傳送到第三PMOS電晶體(MP3)的閘極，使得第三PMOS電晶體(MP3)導通，由於此時第一PMOS電晶體(MP1)亦導通，因此，第二輸出端(VINB)的電位被拉升至第一高電位電壓(VDDH)，第二輸出端(VINB)的第一高電位電壓(VDDH)傳送到第四PMOS電晶體(MP4)的閘極，使得第四PMOS電晶體(MP4)關閉，因此，第一輸出端(OUT)的電位維持在低電位(0伏特)，而第二輸出端(VINB)的電位維持在第一高電位電壓(VDDH)。質言之，輸入電壓 $V(IN)$ 為低電位(0伏特)時，經過位準轉換器轉換成具低電位(0伏特)的輸出信號，由第一輸出端(OUT)輸出。

[n] 再考慮輸入電壓( $V(IN)$ )為第二高電位電壓(1.8伏特)時，位準轉換器的穩態操作情形。第一輸入端(IN)上的第二高電位電壓(VDDL)傳送到控制電路(1)的第一PMOS電晶體(MP1)的閘極、第一NMOS電晶體(MN1)的閘極以及第二NMOS電晶體(MN2)的源極，使得第一NMOS電晶體(MN1)導通，第一PMOS電晶體(MP1)關閉，由於第一NMOS電晶體(MN1)的汲極連接到第二輸出端(VINB)，因此，第二輸出端(VINB)上的電位被拉降至低電位(0伏特)，該低電位信號傳送到第四PMOS電晶體(MP4)的閘極，使得第四PMOS電晶體(MP4)導通，而經過反相器(INV)傳送到第二NMOS電晶體(MN2)的閘極以及第二PMOS電晶體(MP2)的閘極的低電位電壓，使得第二PMOS電晶體(MP2)導通，而第二NMOS電晶體(MN2)關閉，由於此時第二PMOS電晶體(MP2)及第四PMOS電晶體(MP4)都導通，因此，第一輸出端(OUT)上的電位被拉升至第一高電位電壓(VDDH)，該第一高電位電壓(VDDH)傳送到第三PMOS電晶體(MP3)的閘極，使得第三PMOS電晶體(MP3)關閉。由於此時第一PMOS電晶體(MP1)

和第三PMOS電晶體(MP3)都關閉，因此，第二輸出端(VINB)上的電位維持在低電位(0伏特)，第一輸出端(OUT)上的電位亦維持在第一高電位電壓(VDDH)。質言之，輸入電壓(V(IN))為第二高電位電壓(VDDL)時，經過位準轉換成具第一高電位電壓(VDDH)的輸出信號，由第一輸出端(OUT)輸出。

[n] 綜上所述，輸入電壓(V(IN))為低電位(0伏特)時，輸出電壓(V(OUT))亦為低電位(0伏特)；而輸入電壓(V(IN))為第二高電位電壓(1.8伏特)時，輸出電壓(V(OUT))為第一高電位電壓(3.3伏特)。如此，電壓位準轉換的目的便實現。

[n] 本創作所提出之高速電壓位準轉換器的Spice暫態分析模擬結果，如第4圖所示，由該模擬結果可証實，本創作所提出之電壓位準轉換器，不但能精確地將第一信號轉換為一第二信號，同時亦能夠滿足高速的要求。

[n] 本創作所提出之高速電壓位準轉換器，具有如下功效：

[n] (1)高集積度及有利於裝置之小型化：由於本創作所提出之電壓位準轉換器僅使用4個PMOS電晶體、2個NMOS電晶體以及1個反相器，因此不但電路架構簡單，並且使用的電晶體數量少，因而具備有高集積度及有利於裝置之小型化等優點；

[n] (2)高精確度：本創作所提出之電壓位準轉換器經模擬結果証實，確實能精確地轉換輸入信號之電位，因此也具有高精確度之優點；

[n] (3)提高反應速度：由於本創作中，串聯在第一電源電壓與第(GND)之間的電晶體不會同時導通，因此可以縮短切換時間，提高反應速度，並且可以減少功率損耗。

[n] 雖然本創作特別揭露並描述了所選之最佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本創作的精神與範圍。因此，所有相關技術範疇內之改變都包括在本創作之申請專利範圍內。

#### 【圖式簡單說明】

[n] 第1圖係顯示第一先前技術中電壓位準轉換器之電路圖；

[n] 第2圖係顯示第二先前技術中電壓位準轉換器之電路圖；

[n] 第3圖係顯示本創作較佳實施例之電壓位準轉換器之電路圖；

[n] 第4圖係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

#### 【主要元件符號說明】

[y] 1 . . . 控制電路

[y] 2 . . . 第一控制電晶體

[y] 3 . . . 第二控制電晶體

[y] IN . . . 第一輸入端

- [y] INB . . . 第二輸入端
- [y] V(OUT) . . . 輸出電壓
- [y] OUT . . . 第一輸出端
- [y] VINB . . . 第二輸出端
- [y] V(IN) . . . 輸入電壓
- [y] MP1 . . . 第一PMOS電晶體
- [y] MP2 . . . 第二PMOS電晶體
- [y] MP3 . . . 第三PMOS電晶體
- [y] MP4 . . . 第四PMOS電晶體
- [y] MN1 . . . 第一NMOS電晶體
- [y] MN2 . . . 第二NMOS電晶體
- [y] VDDH . . . 第一電源電壓
- [y] VDDL . . . 第二電源電壓

## 六、申請專利範圍：

1. 一種高速電壓位準轉換器，用以將一第一信號轉換為一第二信號，包含有：一第一輸入端(IN)，用以提供一輸入電壓信號；一第二輸入端(INB)，用以提供一反相的輸入電壓信號；一第一輸出端(OUT)，用以輸出該第二信號；一第二輸出端(VINB)，用以輸出控制電路(1)的輸出信號以及該第二信號的反相信號；一第一電源電壓，用以提供電壓位準轉換器所需之第一高電位電壓(VDDH)；一第二電源電壓，用以提供電壓位準轉換器所需之第二高電位電壓(VDDL)，該第二高電位電壓(VDDL)之位準係小於該第一高電位電壓(VDDH)之位準；一反相器(INV)，用來接受輸入電壓(V(IN))信號，並提供一個與輸入電壓信號反相的信號至第二輸入端(INB)；一控制電路(1)，用來做為輸入電壓(V(IN))信號的反相器之用：一第一控制電晶體(2)，用來接受控制電路(1)所提供的信號，該第一控制電晶體(2)係由一第四PMOS電晶體(MP4)組成，其源極連接至一第二PMOS電晶體(MP2)的汲極，其汲極連接至第二NMOS電晶體(MN2)的汲極以及第一輸出端(OUT)，而其閘極則連接至第二輸出端(VINB)；一第二控制電晶體(3)，用來接受反相器(INV)所提供的信號，該第二控制電晶體(3)係由一第二NMOS電晶體(MN2)組成，其源極連接至第一輸入端(IN)，其汲極連接至第四PMOS電晶體(MP4)的汲極以及第一輸出端(OUT)，而其閘極則連接至第二輸入端(INB)以及第二PMOS電晶體(MP2)的閘極；以及一第二PMOS電晶體(MP2)，其源極連接至第一電源電壓(VDDH)，其汲極連接至第四PMOS電晶體(MP4)的源極，而其閘極則連接至第二NMOS電晶體(MN2)的閘極以及第二輸入端(INB)；其中該控制電路(1)更包含：一第一PMOS電晶體(MP1)，其源極連接至第一電



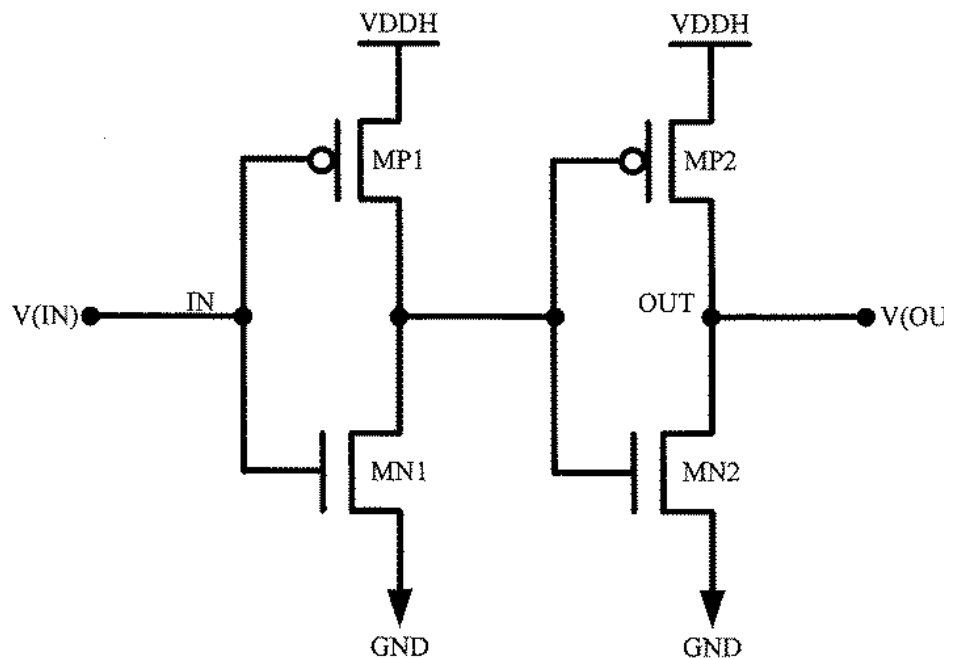
源電壓(VDDH)，其汲極連接至第三PMOS電晶體(MP3)的源極，而其閘極則連接至第一NMOS電晶體(MN1)的閘極以及第一輸入端(IN)；一第三PMOS電晶體(MP3)，其源極連接至第一PMOS電晶體(MP1)的汲極，其汲極連接至第一NMOS電晶體(MN1)的汲極以及第二輸出端(VINB)，而其閘極接至第一輸出端(OUT)；以及一第一NMOS電晶體(MN1)，其源極連接至地(GND)，其汲極連接至第三PMOS電晶體(MP3)的汲極以及第二輸出端(VINB)，而其閘極則連接至第一PMOS電晶體(MP1)的閘極以及第一輸入端(IN)。

2. 如申請專利範圍第1項所述之高速電壓位準轉換器，其中該第一信號的振幅為0伏特至該第二高電位電壓(VDDL)之間。

3. 如申請專利範圍第2項所述之高速電壓位準轉換器，其中該第二信號的振幅為0伏特至該第一高電位電壓(VDDH)之間。

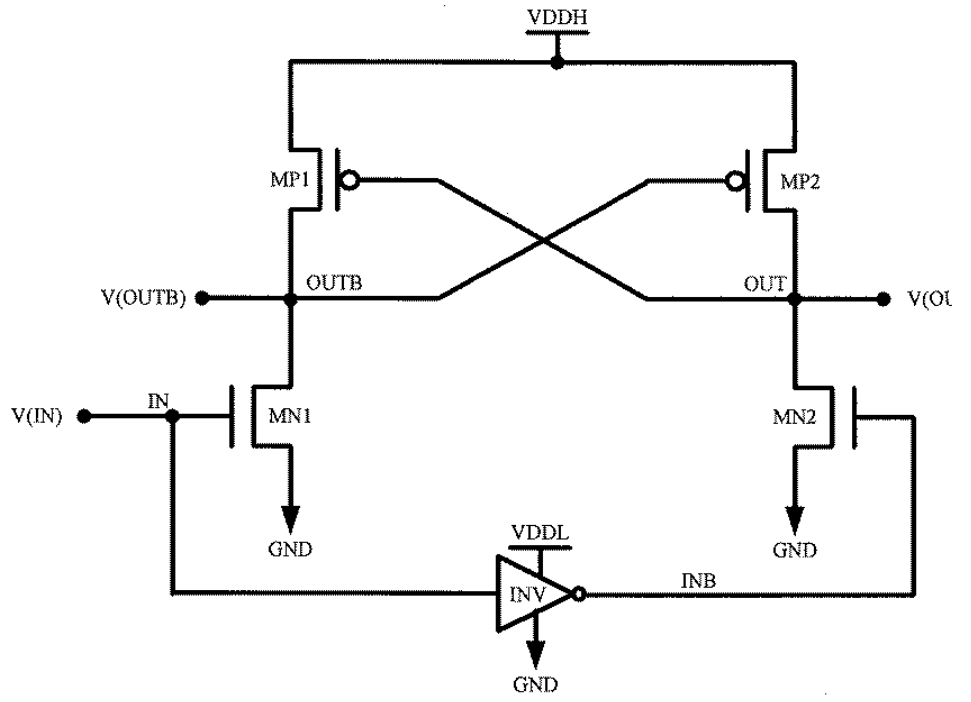
4. 如申請專利範圍第3項所述之高速電壓位準轉換器，其中該反相器(INV)的電壓源為該第二高電位電壓(VDDL)。

七、圖式：



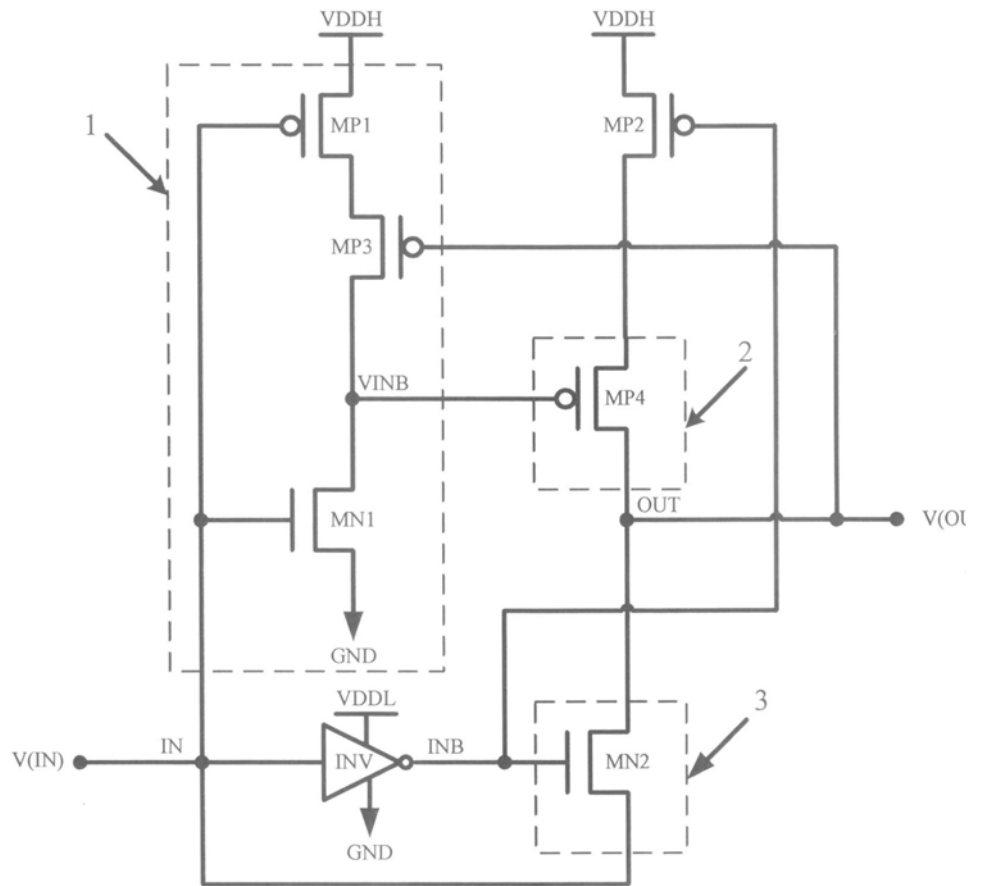
第 1 圖

第1圖



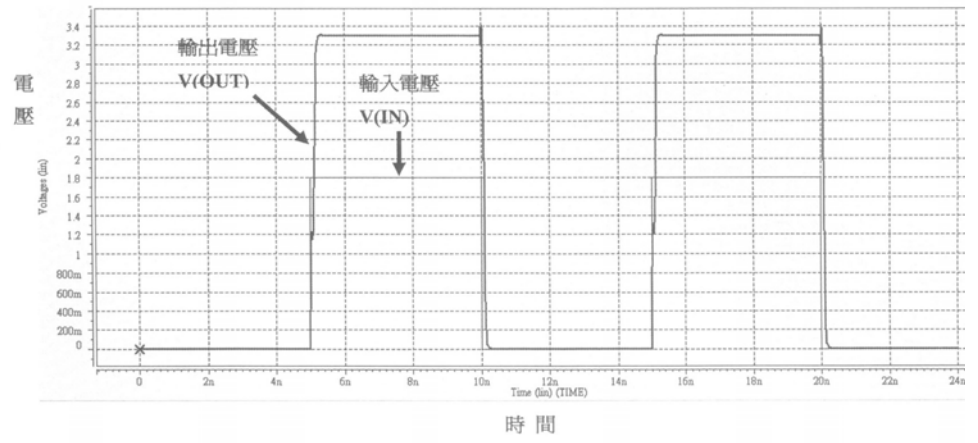
第 2 圖

第2圖



第 3 圖

第3圖



第 4 圖

第4圖