
【54】名稱：電壓位準轉換器

VOLTAGE LEVEL CONVERTER

【21】申請案號：096217971

【22】申請日：中華民國96(2007)年10月26日

【72】創作人：余建政 YU, CHIEN CHENG

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種具控制閘極之單端輸入電壓位準轉換器，用以將一第一信號轉換為一第二信號，包含有：

一第一輸入端(IN)，用以提供一輸入電壓信號；

一第二輸入端(INB)，用以提供一反相的輸入電壓信號；

一第一輸出端(OUT)，用以輸出該第二信號；

一第二輸出端(OUTB)，用以輸出該

第二信號的反相信號；

一第一電源電壓，用以提供電壓位準轉換器所需之第一高電位電壓(VDDH)；

5. 一第二電源電壓，用以提供電壓位準轉換器所需之第二高電位電壓(VDDL)，該第二高電位電壓(VDDL)之位準係小於該第一高電位電壓(VDDH)之位準；

10. 一反相器(INV)，用來提供一個與輸

入電壓信號反相的信號；

一第一驅動電路(1)，該驅動電路連接於第二輸出端(OUTB)與地(GND)之間，用以提供一放電路徑，該第一驅動電路(1)包含一第一NMOS電晶體(MN1)，其閘極連接至第一輸入端(IN)以及一第二PMOS電晶體(MP2)的閘極，其源極連接至地(GND)，而其汲極則連接至一第三PMOS電晶體(MP3)的閘極、一第三NMOS電晶體(MN3)的閘極以及該第二PMOS電晶體(MP2)的汲極，並供輸出該第二信號的反相信號；

一第二驅動電路(2)，該驅動電路(2)連接於第一輸出端(OUT)與地(GND)之間，用以提供一放電路徑，該第二驅動電路(2)包含一第四NMOS電晶體(MN4)，其閘極連接至第二輸入端(INB)以及第四PMOS電晶體(MP4)的閘極，其源極連接至地(GND)，而其汲極則連接至一第一PMOS電晶體(MP1)的閘極、一第二NMOS電晶體(MN2)的閘極以及該第四PMOS電晶體(MP4)的汲極，並供輸出該第二信號；以及

一轉態驅動電路(3)，用以在輸入信號的電位發生變化時，對於該第一輸出端(OUT)與該第二輸出端(OUTB)中之一者進行充電，並對該第一輸出端(OUT)與該第二輸出端(OUTB)中之另一者進行放電；

其中該轉態驅動電路(3)包含有：

一第一PMOS電晶體(MP1)，其源極連接至第一高電位電壓(VDDH)，其汲極連接至第二PMOS電晶體(MP2)的源極，而其閘極則連接至第二NMOS電晶體(MN2)的閘極、第四PMOS電晶體(MP4)的汲極、第三NMOS電晶體(MN3)的汲極以及第四NMOS電晶體(MN4)的汲極；

一第二PMOS電晶體(MP2)，其源極連接至第一PMOS電晶體(MP1)的汲極，其汲極連接至第一NMOS電晶體(MN1)的汲極、第二NMOS電晶體(MN2)的汲極、第三PMOS電晶體(MP3)的閘極以及第三NMOS電晶體(MN3)的閘極，而其閘極則連接至第一輸入端(IN)；

5.

一第三PMOS電晶體(MP3)，其源極連接至第一高電位電壓(VDDH)，其汲極連接至第四PMOS電晶體(MP4)的源極，而其閘極則連接至第三NMOS電晶體(MN3)的閘極、第二PMOS電晶體(MP2)的汲極、第一NMOS電晶體(MN1)的汲極以及第二NMOS電晶體(MN2)的汲極；

10.

15.

一第四PMOS電晶體(MP4)，其源極連接至第三PMOS電晶體(MP3)的汲極，其汲極連接至第三NMOS電晶體(MN3)的汲極、第四NMOS電晶體(MN4)的汲極、第一PMOS電晶體(MP1)的閘極以及第二NMOS電晶體(MN2)的閘極，而其閘極則連接至第二輸入端(INB)；

20.

25.

一第二NMOS電晶體(MN2)，其閘極連接至第一PMOS電晶體(MP1)的閘極、第三NMOS電晶體(MN3)的汲極、第四NMOS電晶體(MN4)的汲極以及第四PMOS電晶體(MP4)的汲極，其源極連接至地(GND)，而其汲極則連接至第二PMOS電晶體(MP2)的汲極、第一NMOS電晶體(MN1)的汲極、第三PMOS電晶體(MP3)的閘極以及第三NMOS電晶體(MN3)的閘極；以及

30.

35.

一第三NMOS電晶體(MN3)，其閘極連接至第三PMOS電晶體(MP3)的閘極、第一NMOS電晶體(MN1)的汲極、第二NMOS電晶體(MN2)的汲極以及第二PMOS電晶體(MP2)的

40.

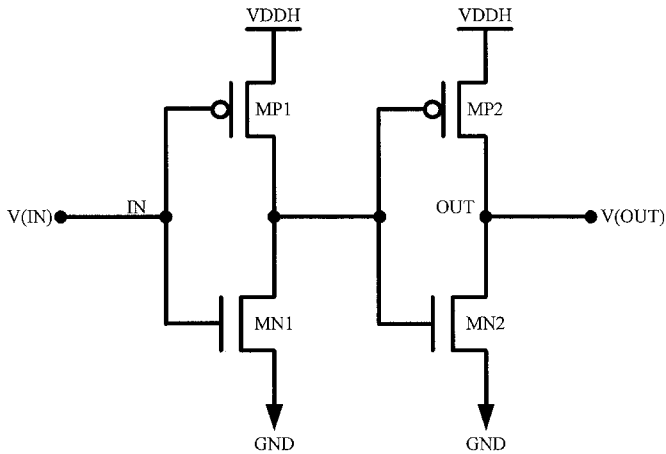
汲極，其源極連接至地(GND)，而其汲極則連接至第四 PMOS 電晶體 (MP4)的汲極、第四 NMOS 電晶體 (MN4)的汲極、第一 PMOS 電晶體 (MP1)的閘極以及第二 NMOS 電晶體 (MN2)的閘極。

- 2.如申請專利範圍第1項所述的電壓位準轉換器，其中該第一信號的振幅為 0 伏特至該第二高電位電壓 (VDDL)之間。
- 3.如申請專利範圍第2項所述的電壓位準轉換器，其中該第二信號的振幅為 0 伏特至該第一高電位電壓 (VDDH)之間。

4.如申請專利範圍第3項所述的電壓位準轉換器，其中該反相器的電壓源為該第二高電位電壓(VDDL)。

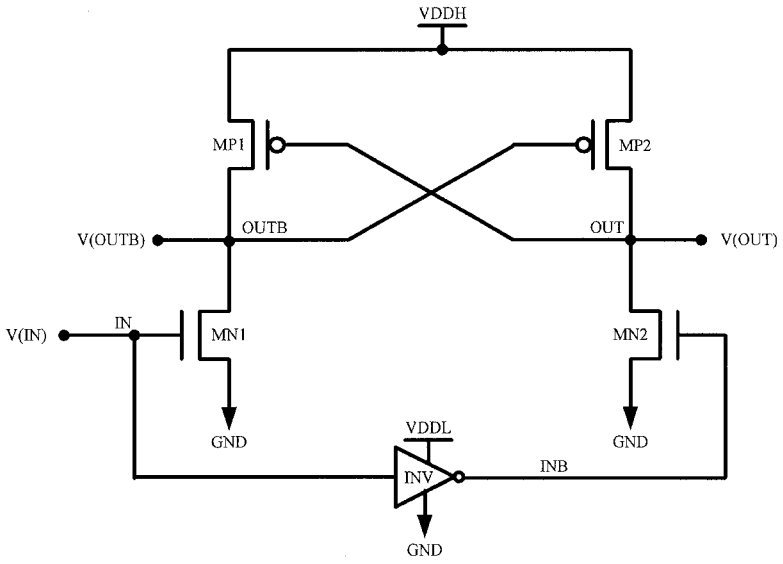
圖式簡單說明：

5. 第 1 圖係顯示第一先前技術中電壓位準轉換器之電路圖；
- 第 2 圖係顯示第二先前技術中電壓位準轉換器之電路圖；
- 第 3 圖係顯示本創作較佳實施例之電壓位準轉換器之電路圖；
10. 第 4 圖係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

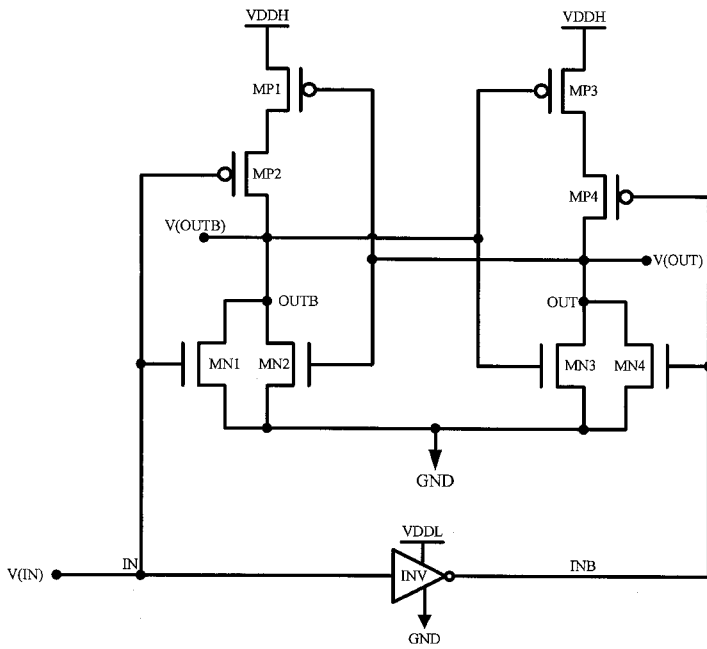


第 1 圖

(4)

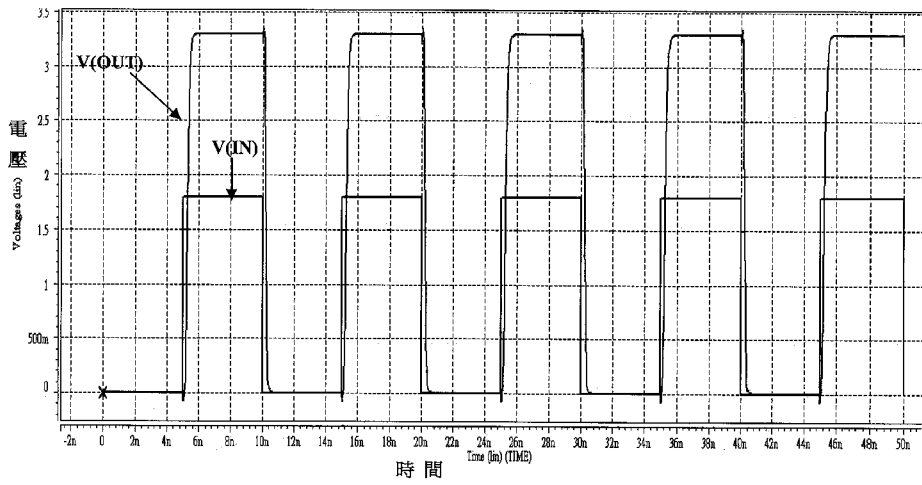


第 2 圖



第 3 圖

(5)



第 4 圖

