

【54】名稱：CMOS 電位轉換介面電路

CMOS LEVEL-SHIFTING INTERFACE CIRCUIT

【21】申請案號：097204385

【22】申請日：中華民國97(2008)年3月14日

【72】創作人：余建政 YU, CHIEN CHENG

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種 CMOS 電位轉換介面電路，用以將一第一信號轉換為一第二信號，包含有：

一第一輸入端(IN)，用以提供一輸入電壓信號；

一第二輸入端(INB)，用以提供一反相的輸入電壓信號；

一輸出端(OUT)，用以輸出該第二信號；

一第一節點(X)，用以將一第二

PMOS 電晶體(MP2)、一第三 PMOS 電晶體(MP3)、一第二 NMOS 電晶體(MN2)以及一第五 NMOS 電晶體(MN5)之一端連接在一起；

5. 一第二節點(Y)，用以將一第二 PMOS 電晶體(MP2)、一第三 PMOS 電晶體(MP3)、一第四 PMOS 電晶體(MP4)、一第一 NMOS 電晶體(MN1)、一第三 NMOS 電晶體(MN3)

10. 以及一第四 NMOS 電晶體(MN4)之

一端連接在一起；

一第一電源電壓，用以提供電位轉換介面電路所需之第一高電位電壓(VDDH)；

一第二電源電壓，用以提供電位轉換介面電路所需之第二高電位電壓(VDDL)，該第二高電位電壓(VDDL)之位準係小於該第一高電位電壓(VDDH)之位準；

一反相器(INV)，用以提供一個與輸入電壓信號反相的信號，其輸入連接到第一輸入端(IN)，而其輸出則連接到第二輸入端(INB)；

一充電電晶體(1)，其係由一第五NMOS電晶體(MN5)所組成，其源極連接至第一節點(X)，其汲極連接至第一電源電壓(VDDH)，而其閘極則連接至第一輸入端(IN)；

一充電電晶體(2)，其係由一第一NMOS電晶體(MN1)所組成，其源極連接至第三NMOS電晶體(MN3)的汲極、第四NMOS電晶體(MN4)的閘極以及第二節點(Y)，其汲極連接至第一電源電壓(VDDH)，而其閘極則連接至第二NMOS電晶體(MN2)的閘極以及第二輸入端(INB)；

一輸出反相器(3)，其係用來輸出該第二信號；

一拉升電路(4)，用以在輸入信號的電位發生變化時，將第一節點(X)或第二節點(Y)的電位拉升至第一高電位電壓(VDDH)；以及

一拉降電路(5)，用以在輸入信號的電位發生變化時，將第一節點(X)或第二節點(Y)的電位拉降至地(GND)。

2.如申請專利範圍第1項所述的CMOS電位轉換介面電路，其中該輸出反相器(3)包括：

一第四PMOS電晶體(MP4)，其源極

連接至第一電源電壓(VDDH)，其汲極連接至第四NMOS電晶體(MN4)的汲極以及輸出端(OUT)，並供輸出該第二信號，而其閘極則連接至第二PMOS電晶體(MP2)的閘極、第三NMOS電晶體(MN3)的汲極以及第二PMOS電晶體(MP2)的閘極；以及一第四NMOS電晶體(MN4)，其源極連接至地(GND)，其汲極連接至第四PMOS電晶體(MP4)的汲極以及輸出端(OUT)，並供輸出該第二信號，而其閘極則連接至第三NMOS電晶體(MN3)的汲極、第一NMOS電晶體(MN1)的源極以及第二節點(Y)。

5.

10.

15.

20.

25.

30.

35.

40.

3.如申請專利範圍第2項所述的CMOS電位轉換介面電路，其中該拉升電路(4)包括：

一第二PMOS電晶體(MP2)，其源極連接至第一電源電壓(VDDH)，其汲極連接至第五NMOS電晶體(MN5)的源極、第二NMOS電晶體(MN2)的汲極、第三PMOS電晶體(MP3)的閘極以及第一節點(X)，而其閘極則連接至第四PMOS電晶體(MP4)的閘極、第三PMOS電晶體(MP3)的汲極、第三NMOS電晶體(MN3)的汲極以及第二節點(Y)；以及

一第三PMOS電晶體(MP3)，其源極連接至第一電源電壓(VDDH)，其汲極連接至第四PMOS電晶體(MP4)的閘極、第二PMOS電晶體(MP2)的閘極、第三NMOS電晶體(MN3)的汲極以及第二節點(Y)，而其閘極則連接至第五NMOS電晶體(MN5)的源極、第二PMOS電晶體(MP2)的汲極、第二NMOS電晶體(MN2)的汲極以及第一節點(X)。

4.如申請專利範圍第3項所述的CMOS電位轉換介面電路，其中該拉降電路(5)包括：

一第二 NMOS 電晶體(MN2)，其源極連接至地(GND)，其汲極連接至第五 NMOS 電晶體(MN5)的源極、第二 PMOS 電晶體(MP2)的汲極、第三 PMOS 電晶體(MP3)的閘極以及第一節點(X)，而其閘極則連接至第一 NMOS電晶體(MN1)的閘極及第二輸入端(INB)；以及

一第三 NMOS 電晶體(MN3)，其源極連接至地(GND)，其汲極連接至第一 NMOS 電晶體(MN1)的源極、第二 PMOS 電晶體(MP2)的閘極、第三 PMOS 電晶體(MP3)的汲極、第四 NMOS電晶體(MN4)的閘極，而其閘極則連接至第一輸入端(IN)。

5.如申請專利範圍第 1 項所述的 CMOS 電位轉換介面電路，其中該第一信號的振幅為 0 伏特至該第二高電位電壓(VDDL)之間。

6.如申請專利範圍第 5 項所述的 CMOS 電位轉換介面電路，其中該第二信號的振幅為 0 伏特至該第一高電位電壓(VDDH)之間。

5. 7.如申請專利範圍第 6 項所述的 CMOS 電位轉換介面電路，其中該反相器(INV)的電源電壓為該第二高電位電壓(VDDL)。

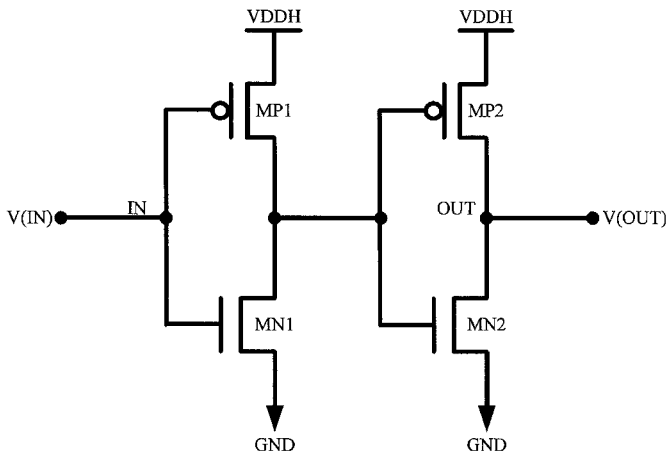
圖式簡單說明：

10. 第 1 圖係顯示第一先前技術中 CMOS 電位轉換介面電路之電路圖；

第 2 圖係顯示第二先前技術中 CMOS 電位轉換介面電路之電路圖；

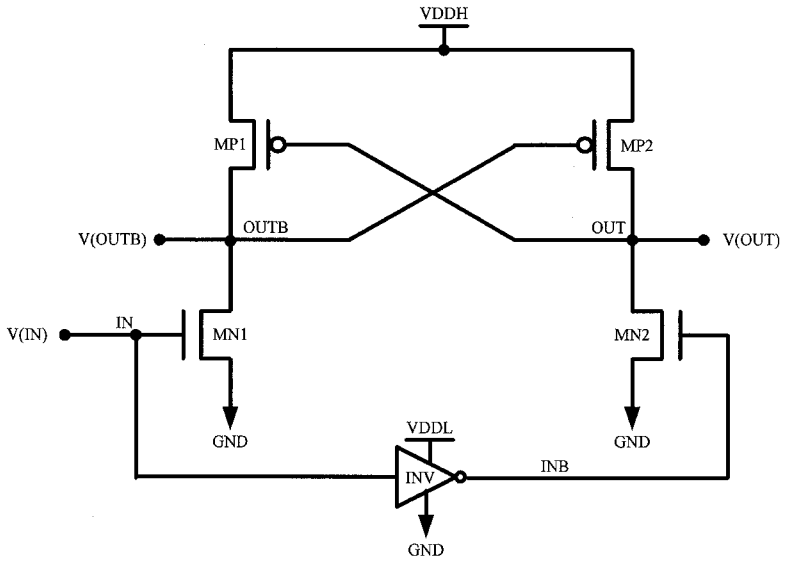
第 3 圖係顯示本創作較佳實施例之 CMOS 電位轉換介面電路之電路圖；

15. 第 4 圖係顯示本創作較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

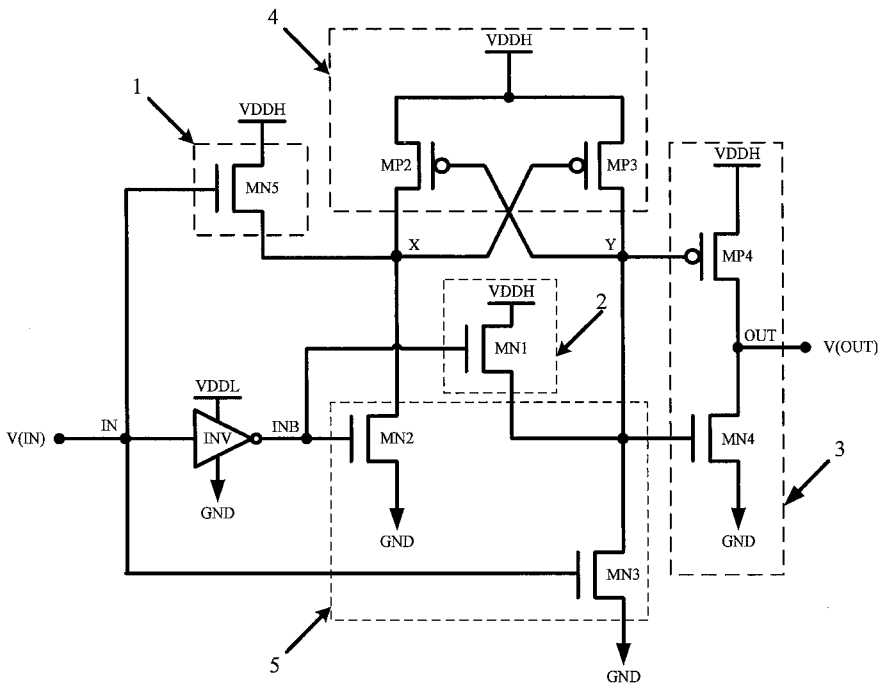


第 1 圖

(4)

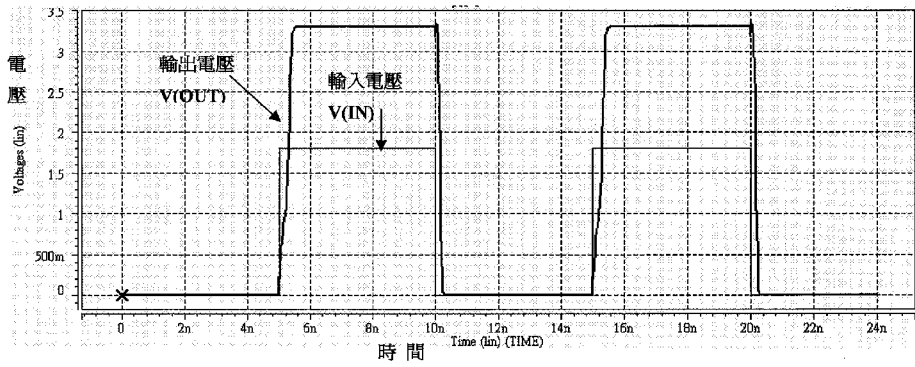


第 2 圖



第 3 圖

(5)



第 4 圖

