

發明專利說明書

※申請案號：

※申請日期：

※IPC分類：

一、發明名稱：(中文/英文)

具輸出級之電壓峰值檢知器 / PEAK VOLTAGE DETECTOR WITH OUTPUT STAGE

二、申請人：共 人

指定為應受送達人

三、發明人：

◎專利代理人：

四、聲明事項

主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

主張專利法第二十六條微生物：

熟習該項技術者易於獲得，不須寄存

五、中文發明摘要：

本發明提出一種新穎架構之電壓峰值檢知器，其係由一差動放大器1、一充電電晶體2、一電容器C以及一輸出級3所組成，其中，該差動放大器1係以非對稱式結構來設計，亦即僅使用單邊之負載電晶體，且該負載電晶體與該充電電晶體2共同構成一電流鏡。該差動放大器1係做為比較器使用，該充電電晶體2係做為充電器使用，用以提供電容器C所需之充電電流，而該輸出級3則用以調整該電容器C上之電壓信號 $V(C)$ ，以便精確地輸出該輸入信號之峰值電壓。本發明所提出之電壓峰值檢知器，不但能精確地檢測出輸入信號之峰值電壓，並且兼具電路結構簡單、佔用的晶片面積小以及有利於裝置之小型化等多重功效，同時亦設置有輸出級以便有效防止因外部電路之擷取動作而遭致破壞所保持之輸入峰值電壓。

六、英文發明摘要：

七、指定代表圖：

(一) 本案指定代表圖為：

(二) 本代表圖之元件代表符號簡單說明：

1 . . . 差動放大器

2 . . . 充電電晶體

3 . . . 輸出級

V(IN) . . . 輸入電壓信號

V(C) . . . 電容器上之電壓信號

V(OUT) . . . 輸出電壓信號

C . . . 電容器

MP1 . . . 第一PMOS電晶體

MP2 . . . 第二PMOS電晶體

MN1 . . . 第一NMOS電晶體

MN2 . . . 第二NMOS電晶體

MN3 . . . 第三NMOS電晶體

MN4 . . . 第四NMOS電晶體

Vdd . . . 電源供應電壓

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

[發明所屬之技術領域]

本發明係有關一種電壓峰值檢知器，尤指利用一差動放大器(differential amplifier)、一充電電晶體(charging transistor)、一電容器以及一輸出級所組成以求獲得精確電壓峰值之互補式金氧半(CMOS)電子電路。

[先前技術]

電壓峰值檢知器係一種電子電路，能夠測得一電壓波形之最大值，質言之，該電路之輸入為一變動之電壓信號，而其輸出則是該輸入電壓波形之最大值。

在許多應用中，輸入電壓信號之峰值必須被測出，然後將之以直流電型態保留住以便後續分析、使用。一個脈衝串之尖峰值常比它的平均值要更有用，例如當執行破壞性測試時，就有必要追尋出並保持峰值信號，而量測電壓信號在傳輸媒介上之衰減量、類比至數位轉換器

(A/D converter)以及最大近似解碼系統(maximum likelihood decoding system)等也需要用到電壓峰值檢知器。

先前技藝(prior art)中，電壓峰值檢知器之最簡單作法係令輸入電壓信號通過二極體，而對電容充電，以便取得該輸入電壓波形之峰值。

如第一圖所示，當輸入電壓 $V(IN)$ 大於電容器 C 之電壓時，二極體 D 導通，遂行充電作用，直到輸入電壓 $V(IN)$ 到達其最大值，電容器 C 不能再繼續充電，此時輸出電壓 $V(OUT)$ 即表示輸入電壓 $V(IN)$ 之峰值。

由於輸出端與輸入端之間存在二極體 D ，此電路無法精確地檢得輸入電壓 $V(IN)$ 之真正峰值。換言之，輸出電壓 $V(OUT)$ 與輸入電壓 $V(IN)$ 之峰值之間永遠存在二極體導通電壓 V_d 之誤差。亦即， $MAX(V(OUT))=MAX(V(IN))-V_d$ ，如第二圖所示(該圖係OrCAD PSpice之暫態分析模擬結果)。

對於許多應用而言，上述二極體導通電壓 V_d 之誤差係不欲見到的，並且該電壓差會因為使用不同之二極體而有所差異，可能導致不良之影響或不可預測之後果。

為了能夠精確地檢測輸入之峰值電壓，另一種常用之先前技藝係使用了由二個運算放大器 $OP1$ 和 $OP2$ 、二個二極體 $D1$ 和 $D2$ 、二個電阻器 $R1$ 和 $R2$ 、以及一個電容器 C 來構成一電壓峰值檢知器，如第三圖所示，其OrCADPSpice之暫態分析模擬結果，如第四圖所示。其中， $OP1$ 是一個精確的半波整流器，當輸入電壓 $V(IN)$ 大於電容電壓 $V(C)$ 時，二極體 $D1$ 將傳送偏壓對電容器 $C1$ 進行充電，最後電容電壓 $V(C)$ 將會與輸入電壓 $V(IN)$ 之峰值電壓相當接近，所檢測出的輸出電壓 $V(OUT)$ 也會與輸入電壓 $V(IN)$ 之峰值電壓相當接近，不會再有如第二圖所示於輸出端與輸入端之間存在一二極體導通電壓 V_d 之誤差。而當輸入電壓 $V(IN)$ 小於電容電壓 $V(C)$ 時，二極體 $D2$ 將會導通，二極體 $D1$ 將會截止而不再對電容器 C 進行充電之動作，這使得所檢測出的輸出電壓 $V(OUT)$ 會等於輸入電壓 $V(IN)$ 之峰值電壓。雖說第三圖之電壓峰值檢知器能精確地檢測出峰值電壓，但其電路結構複雜、佔用的晶片面積大，實不利於積體電路之要求。

迄今，有許多電壓峰值檢知器之技術被提出，例如於美國專利案第US5304939、5502746、5546027、

5969545、6051998、6064238和6472861號以及中華民國專利案第88220146號中所揭露者均是，該等技術均能精確地檢測輸入信號之峰值電壓，但由於該等電壓峰值檢知器均使用到一個以上之運算放大器，因此存在有電路結構複雜、佔用的晶片面積大等缺失。

最近，有幾種不需使用到運算放大器之精密電壓峰值檢知器之技術被提出，例如中華民國專利案第90119722和90131188號中所揭露者即是，該等技術係以一差動放大器和一電流鏡所組成的電路來取代運算放大器，由於並不使用到運算放大器，因此，具備電路結構簡單、佔用的晶片面積小以及有利於裝置之小型化等多重功效。但由於該等技術所使用之差動放大器具有對稱之兩個負載電晶體，且使用獨立之電流鏡，因此，在減少電壓峰值檢知器所需之電晶體數量方面仍有改良空間存在。此外，該等技術並未於峰值檢知器中設置輸出級，輸出級於所檢知之輸入峰值電壓被外部電路擷取時可有效保持該輸入峰值電壓，不致於因擷取動作而降低，甚至遭受破壞。

有鑑於此，本發明主要目的係提出一種新穎架構之電壓峰值檢知器，其不但能精確地檢測出輸入信號之峰值電壓，並且兼具電路結構簡單、佔用的晶片面積小以及有利於裝置之小型化等多重功效，同時亦設置有輸出級以有效防止因外部電路之擷取動作而遭致破壞所保持之輸入峰值電壓。

[發明內容]

本發明所提出之電壓峰值檢知器係由一差動放大器1、一充電電晶體2、一電容器C以及一輸出級3所組成，其中，該差動放大器係以非對稱式結構來設計，亦即僅使用單邊之負載電晶體，且該負載電晶體與該充電電晶體共同構成一電流鏡，因此可較傳統之精密電壓峰值檢知器少二個PMOS電晶體。此外，本發明所提出之電壓峰值檢知器設置有輸出級，因此不但能避免所保持之輸入峰值電壓不致因外部電路之擷取動作而遭致破壞，同時兼具精確地調整並輸出所保持之輸入峰值電壓之功能。

[實施方式]

根據上述之目的，本發明提出一種新穎之電壓峰值檢知器，如第五圖所示，其係由一差動放大器1、一充電電晶體2、一電容器C以及一輸出級3所組成，該差動放大器1是使用非對稱性之電路組態來設計，其係由NMOS電晶體MN1、MN2和MN3，以及PMOS電晶體MP1所組成，其中，該NMOS電晶體MN1和MN2係做為驅動器(driver)使用，PMOS電晶體MP1係作為負載電晶體使用，而NMOS電晶體MN3則提供一參考電流給該差動放大器使用。該NMOS電晶體MN1和MN2之閘極(gate)係分別接受輸入電壓信號V(IN)及電容器上之電壓信號V(C)，源極(source)連接在一起，並連接至NMOS電晶體MN3之汲極(drain)，而其汲極則分別與負載電晶體MP1及電源供應電壓Vdd相連接；該NMOS電晶體MN3之閘極與電源供應電壓Vdd連接，而源極則接地。

請再參考第五圖，負載電晶體MP1與充電電晶體MP2共同構成一電流鏡，且該PMOS電晶體MP1和MP2之源極均與電源供應電壓Vdd連接，而閘極則連接在一起，並連接至NMOS電晶體MN1之汲極，同時該PMOS電晶體MP1之閘極與汲極係連接在一起，以形成一電流鏡；再者，PMOS電晶體MP2之汲極係與電容器C之一端連接，而該電容器C之另一端則接地；此外，輸出級3係由一NMOS電晶體MN4以及一電阻器R所組成，並連接在電源供應電壓Vdd與接地之間。

當輸入電壓V(IN)大於電容器上之電壓V(C)時，電流 $I_d(MN1)$ 會大於 $I_d(MN2)$ ，且 $I_d(MN1)+I_d(MN2)=I_d(MN3)$ (1)又 $I_d(MN1)=-I_d(MP1)$ (2)由於PMOS電晶體MP1及MP2係構成一電流鏡，因此 $-I_d(MP1)=-I_d(MP2)$ (3)，故可對電容器C進行充電動作。當電容器上之電壓V(C)等於輸入電壓V(IN)之峰值電壓時，電流

$$I_d(MN1) = I_d(MN2) = \frac{1}{2} I_d(MN3)$$

此時仍會對電容器C進行充電動作。

依據差動放大器之轉移特性曲線得知：電容器上之電壓V(C)須較輸入峰值電壓 V_{peak} 高過一超量電壓(OverShoot Voltage簡稱Vos)才能將NMOS電晶體MN1強迫為截止狀態，當NMOS電晶體MN1為截止狀態時，充電電晶體即停止

對電容器C進行充電作用，此時電容器上之電壓V(C)為
 $V(C) = V_{peak} + V_{os}$ (5)由於此時的NMOS電晶體MN2係工作於飽和區，而NMOS電晶體MN1恰由飽和區進入截止區，因此，可由下列方程式求出VGS2及VGS1：
 $I_d(MN2) = I_d(MN3)$ (6)
 $I_d(MN1) = 0$ (7)故超量電壓Vos等於
 $V_{os} = V_{GS2} - V_{GS1}$ (8)之後，當輸入電壓V(IN)由峰值電壓V_{peak}往下掉時，因NMOS電晶體MN1已進入截止狀態，因此電流-I_d(MP1)=-I_d(MP2)=0 (9)所以充電電晶體不會再對電容器C進行充電動作，因此電容器上之電壓V(C)仍會固定維持在方程式(5)之電壓。

請再參考第五圖，電容器上之電壓V(C)扣抵一個NMOS電晶體MN4之閘源極電壓VGS4後，即成為電壓峰值檢知器之輸出電壓V(OUT)，亦即
 $V(OUT) = V(C) - V_{GS4}$ (10)接著，由方程式(5)及(10)得知，欲使輸出電壓V(OUT)等於輸入峰值電壓V_{peak}，則須
 $V_{GS4} = V_{os}$ (11)最後，由於NMOS電晶體MN4之汲極電流I_d(MN4)係為閘源極電壓VGS4以及汲源極電壓VDS4之函數，因此，輸出級3中之NMOS電晶體MN4之通道寬長比(W/L)以及電阻器R之電阻值r必須滿足下列方程式：
 $(V_{dd} - V_{DS4}) / r = I_d(MN4)$ (12)

藉此即可輕易地設計出電壓峰值檢知器。
 本發明所提出之電壓峰值檢知器之OrCAD PSpice暫態分析模擬結果，如第六、七圖所示，其可精確且有效地檢知輸入電壓波形之峰值電壓。第六、七圖係以0.35微米CMOS製程參數加以模擬，且PMOS電晶體MP1、MP2以及NMOS電晶體MN1、MN2之通道寬長比均為(W/L)=(0.35μm/0.35μm)，NMOS電晶體MN3之通道寬長比為(W/L)=(0.35μm/0.35μm*30)，NMOS電晶體MN4之通道寬長比為(W/L)=(25*0.35μm/0.35μm)，而電阻器R之電阻值則為0.75M歐姆至1.25M歐姆之間。

本發明之電壓峰值檢知器在使用時可於電容器C兩端並聯連接一開關，該開關係用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

【發明功效】

本發明所提出之電壓峰值檢知器，僅使用了2個PMOS電晶體和4個NMOS電晶體以及1個電容器和1個電阻器，其不但電路架構新穎、簡單、使用的電晶體數量少、佔用的晶

片面積少，並且可以精確地檢知輸入電壓波形之峰值；同時，由於本發明之電壓峰值檢知器並不使用到運算放大器，因而也有利於裝置之小型化；此外，由於本發明所提出之電壓峰值檢知器設置有輸出級，因此亦能避免所保持之輸入峰值電壓不致因外部電路之擷取動作而遭致破壞，同時兼具精確地調整並輸出所保持之輸入峰值電壓之功能。

雖然本發明特別揭露並描述了所選之最佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本發明的精神與範圍。因此，所有相關技術範疇內之改變都包括在本發明之申請專利範圍內。

[圖式簡單說明]

第一圖係顯示第一先前技藝中電壓峰值檢知器之電路圖；第二圖係顯示第一圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；第三圖係顯示第二先前技藝中電壓峰值檢知器之電路圖；第四圖係顯示第三圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；第五圖係顯示本發明較佳實施例之電壓峰值檢知器之電路圖；第六圖係顯示本發明電壓峰值檢知器之輸入電壓信號及輸出電壓信號之第一暫態分析時序圖。。

第七圖係顯示本發明電壓峰值檢知器之輸入電壓信號及輸出電壓信號之第二暫態分析時序圖。

十、申請專利範圍：

1. 一種電壓峰值檢知器，用以檢測輸入電壓信號之峰值，其包括：一輸入端，用以提供一輸入電壓信號；一輸出端，用以輸出該輸入電壓信號之峰值電壓；一電源供應電壓，用以提供電壓峰值檢知器所需之電源電壓和參考接地；一具單邊負載電晶體之差動放大器1，用以接受並比較輸入電壓信號及電容器上之電壓信號，並提供充電電流信號給充電電晶體；一充電電晶體2，用以根據該差動放大器1之單邊負載電晶體所流過之電流量，而提供一與該電流量等量之充電電流給電容器；一電容器C，該電容器之一端連接至充電電晶體2，以便接受該充電電晶體2所供應之充電電流，而另一端則連接至參考接

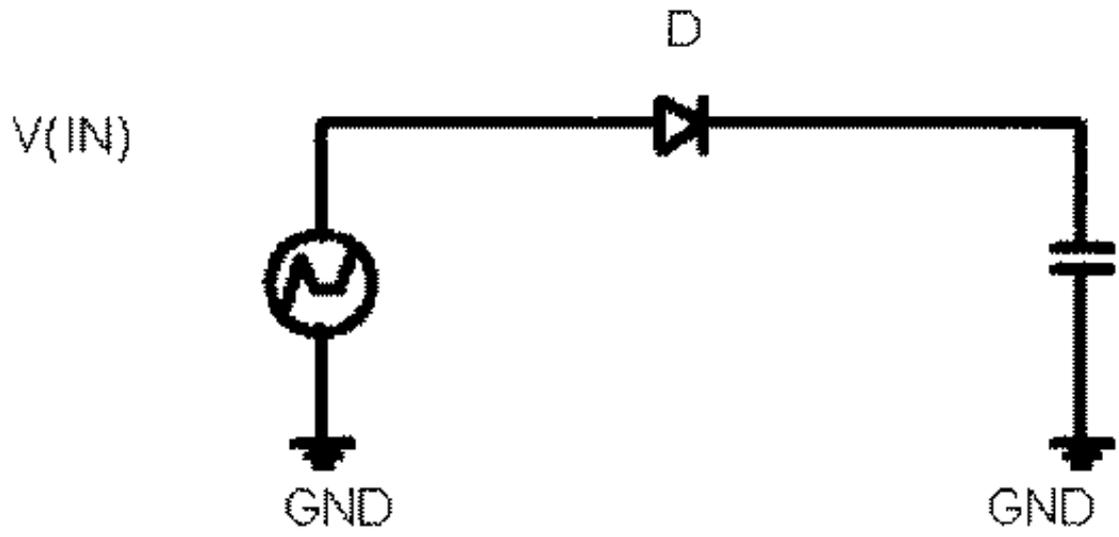
地；以及一輸出級3，連接在電容器C之一端與該電壓峰值檢知器輸出端之間，用以調整電容器C上之電壓信號，以便精確地輸出該輸入電壓信號之峰值電壓。

2. 如申請專利範圍第1項所述之電壓峰值檢知器，其更包括：一開關，該開關係與該電容器並聯連接，用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

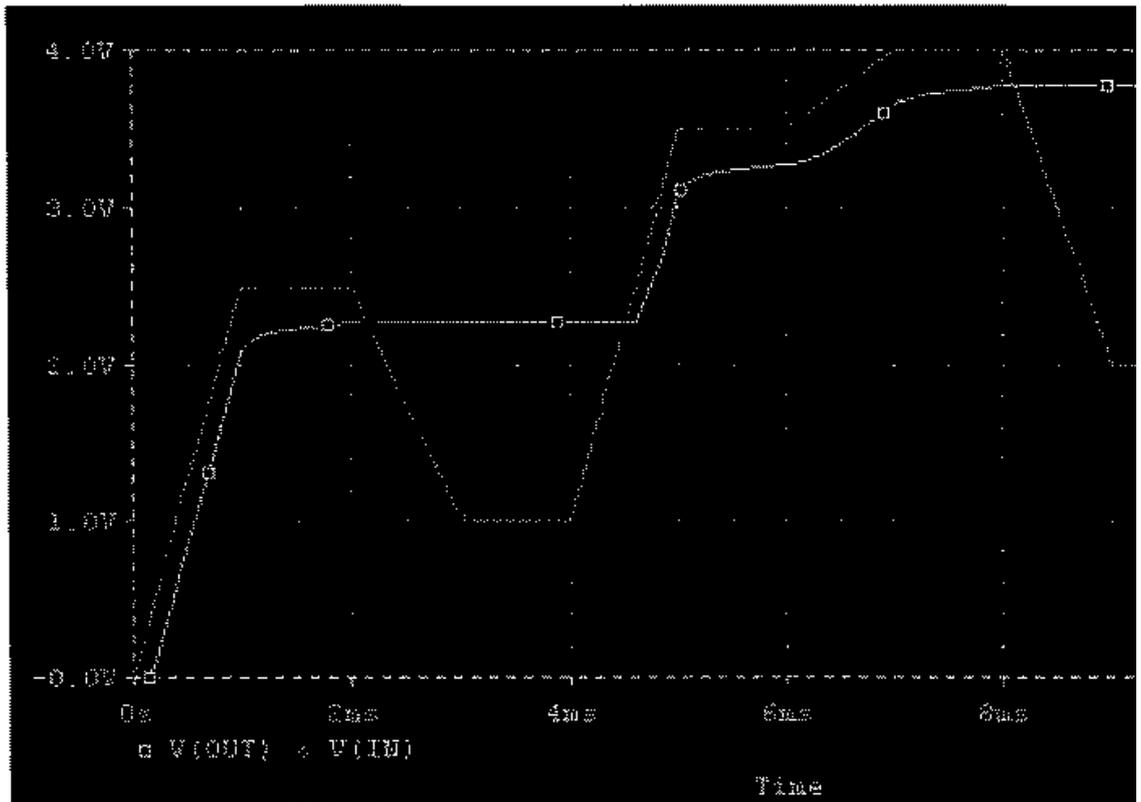
3. 如申請專利範圍第2項所述之電壓峰值檢知器，其中該開關係由一金氧半電晶體所組成。

4. 如申請專利範圍第1項所述之電壓峰值檢知器，其中該具單邊負載電晶體之差動放大器1包括：一單邊負載電晶體，其係由第一PMOS電晶體MP1所組成，該第一PMOS電晶體MP1之源極連接至電源電壓，閘極與汲極連接在一起，並連接至充電電晶體2之閘極；一第一NMOS電晶體MN1，其源極與第二NMOS電晶體MN2之源極以及第三NMOS電晶體MN3之汲極相連接，閘極用以接受輸入電壓信號，而汲極則與該充電電晶體2之閘極以及該第一PMOS電晶體MP1之汲極相連接；一第二NMOS電晶體MN2，其源極與第一NMOS電晶體MN1之源極以及第三NMOS電晶體MN3之汲極相連接，閘極用以接受電容器上之電壓信號，而汲極則連接至電源電壓；以及一第三NMOS電晶體MN3，其源極連接至參考接地，閘極連接至電源電壓，而汲極則與第一以及第二NMOS電晶體MN1和MN2之源極相連接；該充電電晶體2係由第二PMOS電晶體MP2所組成，該第二PMOS電晶體MP2之源極連接至電源電壓，閘極與第一PMOS電晶體MP1之閘極以及第一NMOS電晶體MN1之汲極相連接，而汲極則與該電容器之一端以及第二NMOS電晶體MN2之閘極相連接；而該輸出級3包括：一第四NMOS電晶體MN4，其源極連接至輸出端，閘極連接至電容器之一端，以便接受該電容器上之電壓信號，而汲極則與電源電壓相連接；以及一電阻器R，該電阻器係連接在該電壓峰值檢知器之輸出端與參考接地之間。

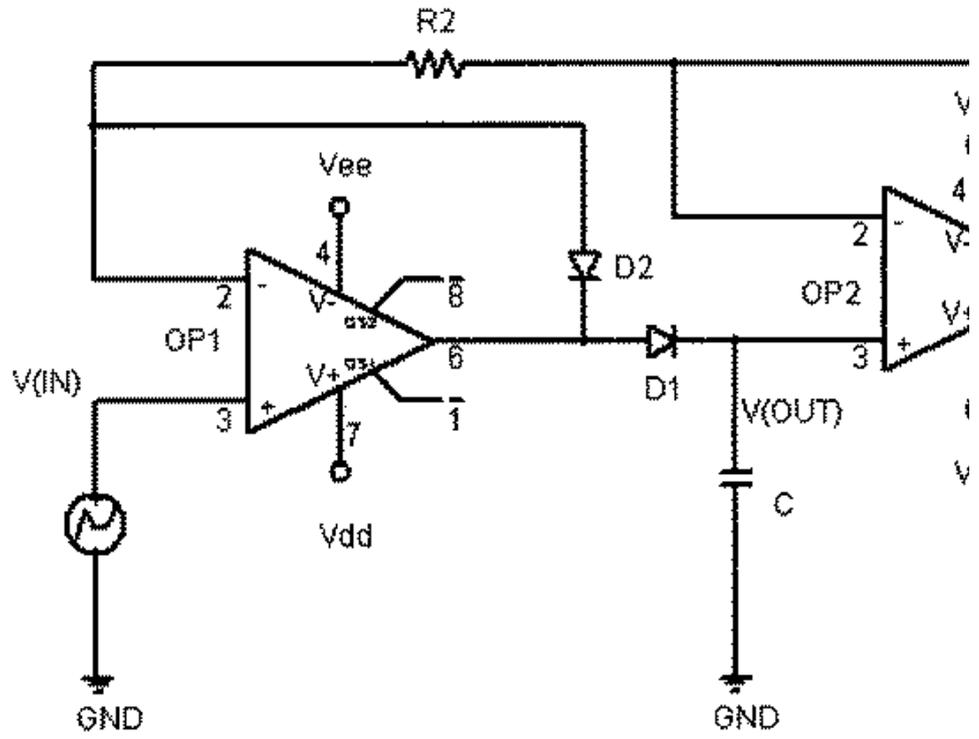
十一、圖式：



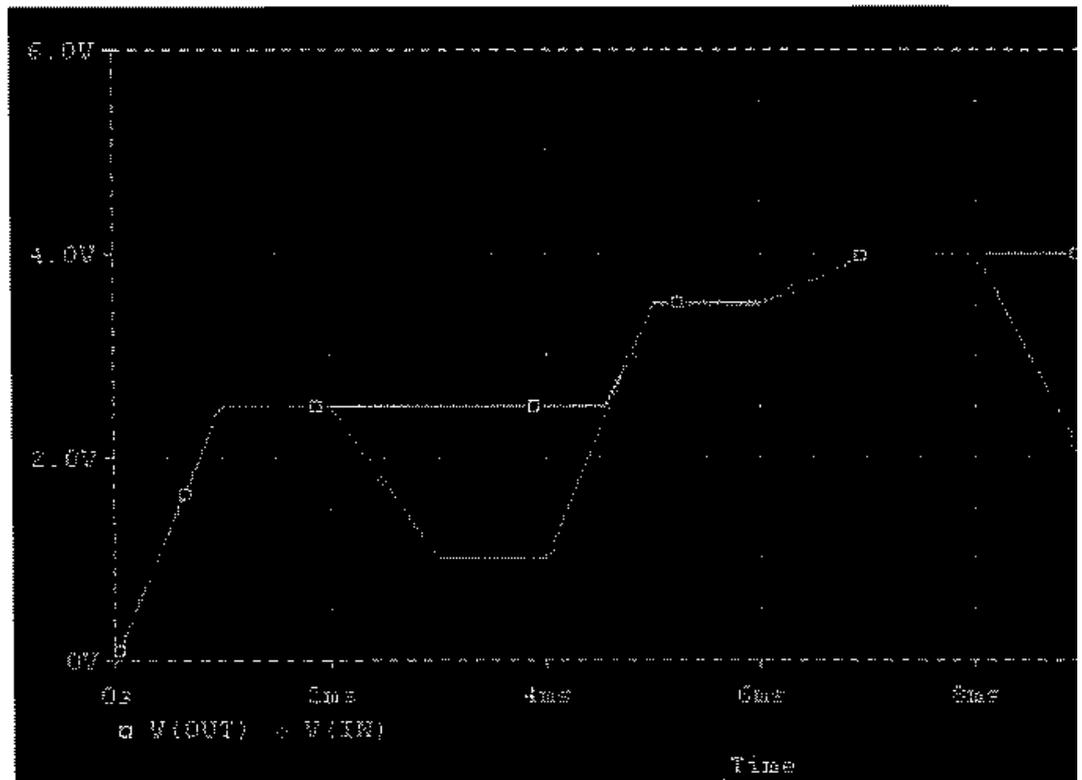
第一圖



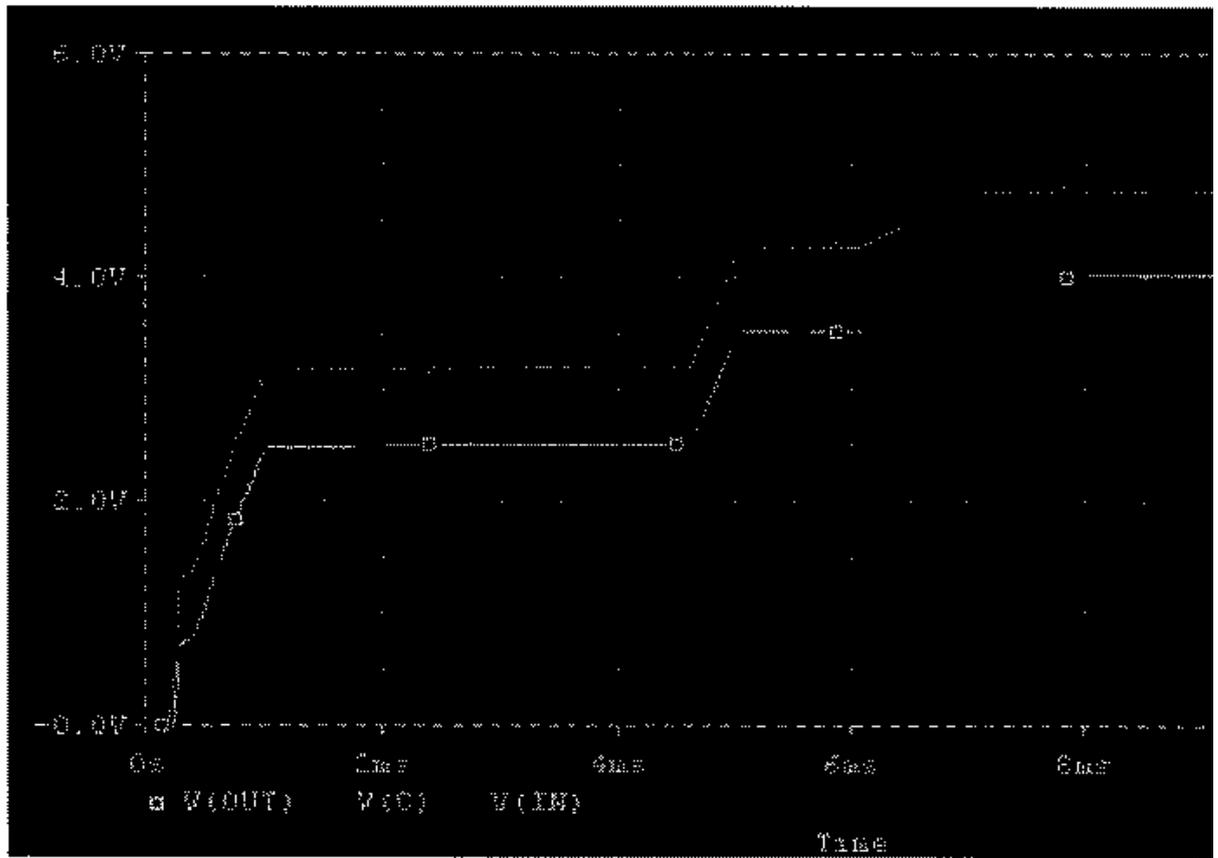
第二圖



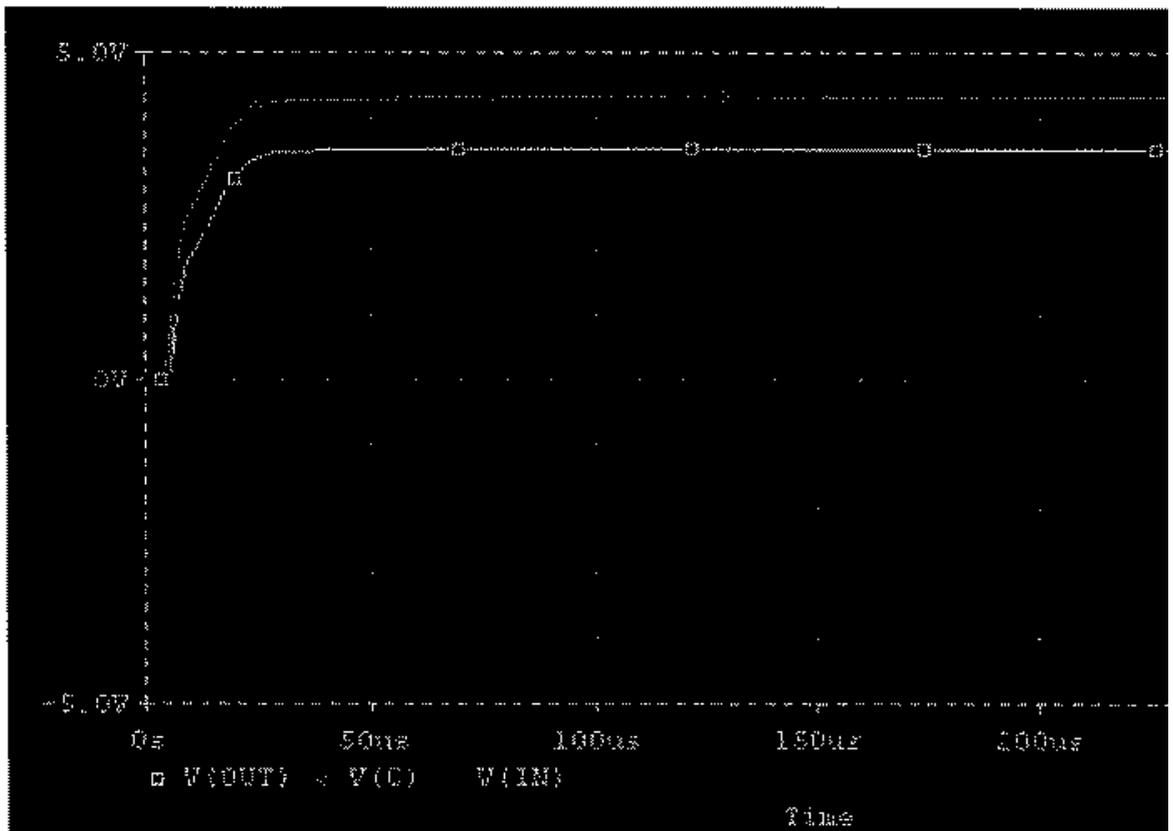
第三圖



第四圖



第六圖



第七圖