

【11】公告編號：595103

【44】中華民國 93 (2004) 年 06 月 21 日

【51】Int. Cl.<sup>7</sup>：H03K19/0175

發明

全 5 頁

【54】名稱：具RC控制電路之輸出緩衝電路

OUTPUT BUFFER CIRCUIT WITH RC-CONTROL CIRCUIT

【21】申請案號：092116924

【22】申請日期：中華民國 92 (2003) 年 06 月 23 日

【72】發明人：

蕭明椿

SHIAU, MING CHUEN

【71】申請人：

修平技術學院

HSIUPING INSTITUTE OF  
TECHNOLOGY

臺中縣大里市工業路十一號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種輸出緩衝電路，包括有：

一CMOS反相器，其係由第一PMOS電晶體M1以及第一NMOS電晶體M2所組成，並連接在電源供應電壓VCC與接地之間，該第一PMOS電晶體M1之閘極端以及該第一NMOS電晶體M2之閘極端均係用以接收一輸入信號IN；

一RC控制電路1，其係由第一電容器C、第一電阻器R1以及第二

NMOS電晶體M3所組成，其中第一電容器C與第一電阻器R1呈串聯連接後，連接在該CMOS反相器之輸出與接地之間，該第二NMOS電晶體M3亦連接在該CMOS反相器之輸出與接地之間，惟其閘極端連接至第一電容器C與第一電阻器R1之串聯接點；

一第一NPN電晶體Q1，其基極端連接至CMOS反相器之輸出，並具有

一集極端以及一射極端；以及  
 一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極端，集極端連接至輸出端子OUT，而其射極端則接地。

2.如申請專利範圍第1項所述之輸出緩衝電路，其更包括：

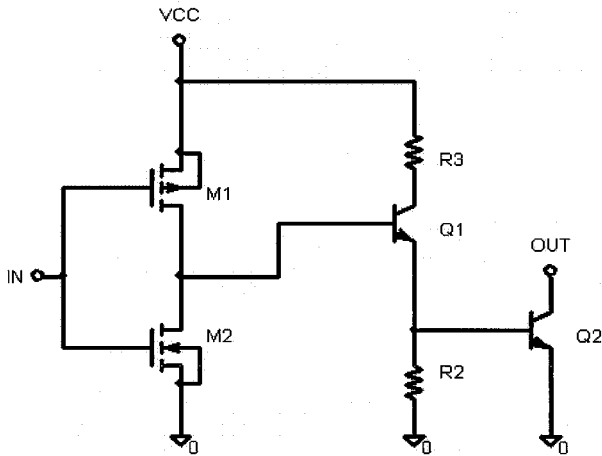
一第二電阻R2，連接於該第一NPN電晶體Q1之射極端與接地之間。

3.如申請專利範圍第1項所述之輸出緩衝電路，其更包括：

一第三電阻R3，連接於該第一NPN電晶體Q1之集極端與電源供應電壓VCC之間。

圖式簡單說明：

第一圖 係顯示先前技藝一之輸出緩衝電路之電路圖；



第一圖

出緩衝電路之電路圖；

第二圖 係先前技藝一之 OrCAD PSpice 模擬取得之輸出電流曲線圖；

第三圖 係顯示先前技藝二之輸出緩衝電路之電路圖；

5. 出緩衝電路之電路圖；

第四圖 係先前技藝二之 OrCAD PSpice 模擬取得之輸出電流曲線圖；

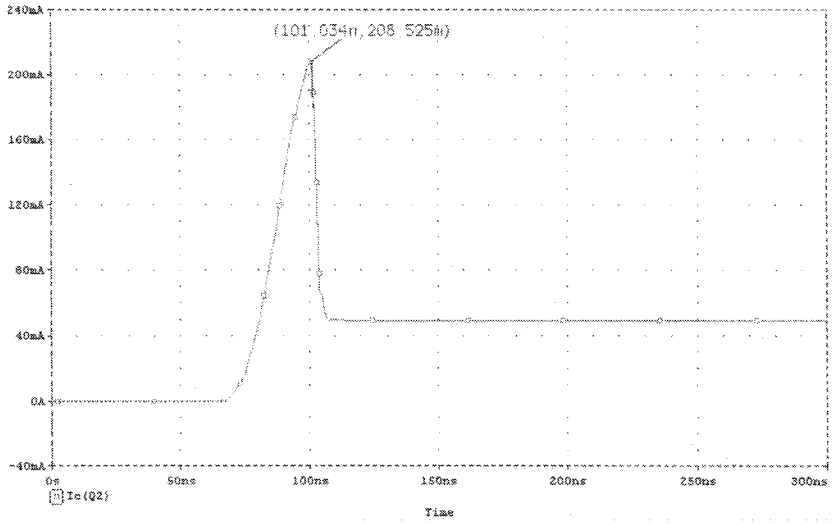
第五圖 係顯示本發明實施例之輸出緩衝電路的電路圖；

10. 第六圖 係本發明輸出緩衝電路之 OrCAD PSpice 模擬之輸出電流曲線圖；

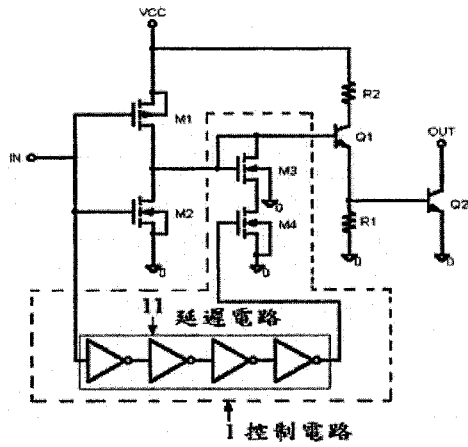
第七圖 係合併第二圖之先前技藝一與第六圖之本發明較佳實施例之

15. 比較圖。

(3)

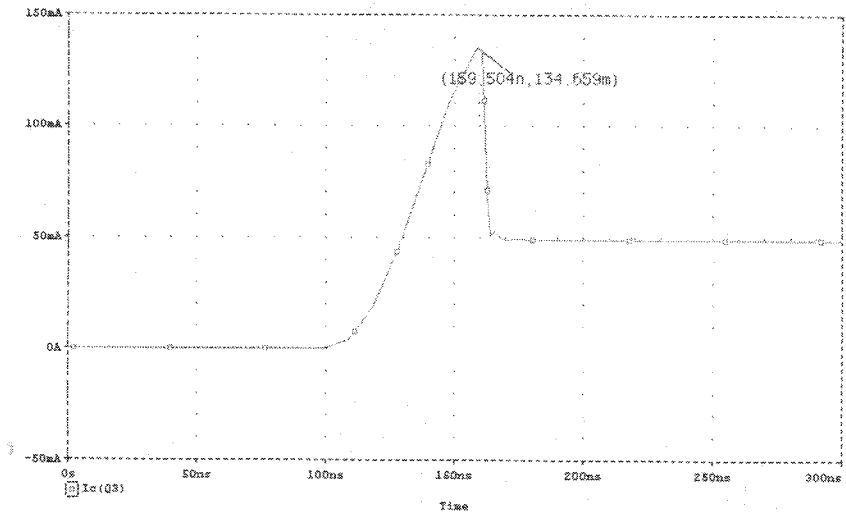


第二圖

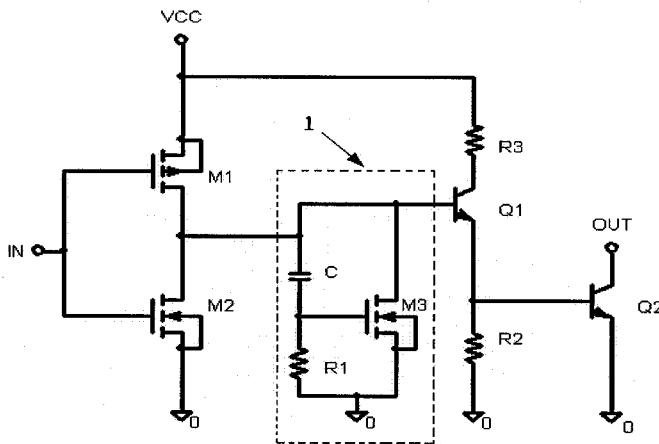


第三圖

(4)

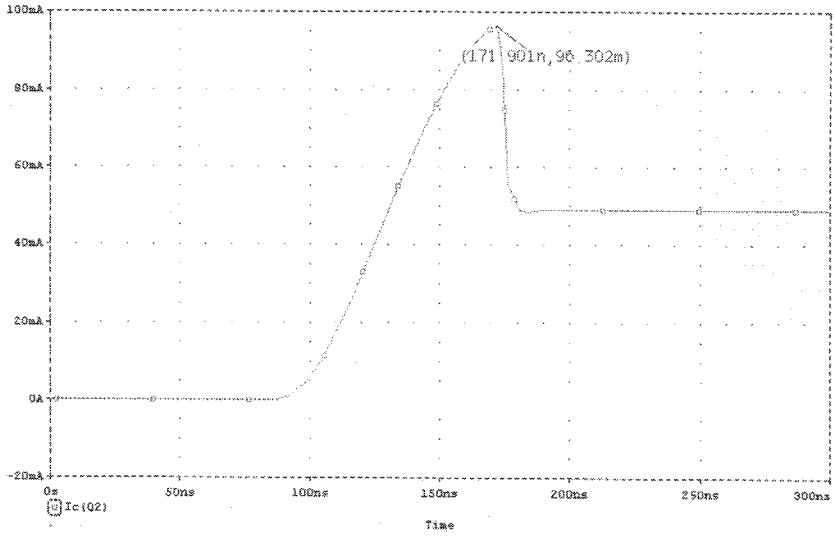


第四圖

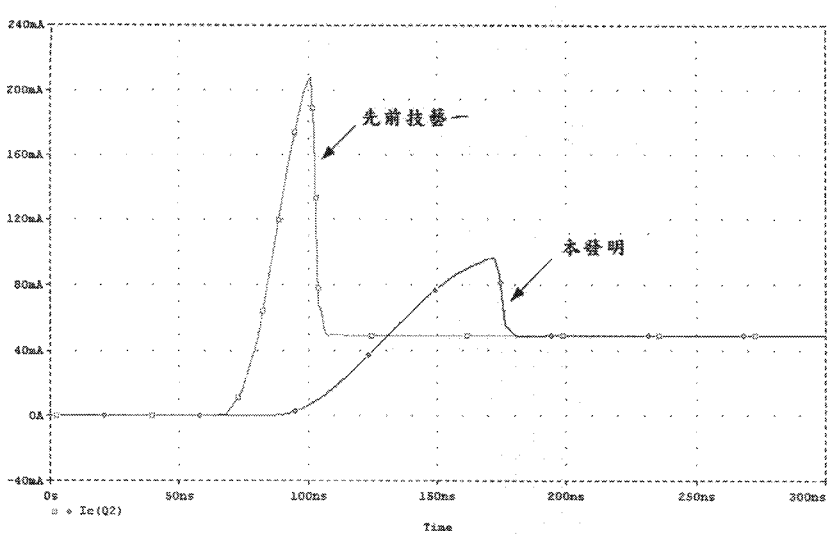


第五圖

(5)



第六圖



第七圖

