

發明專利說明書

※申請案號：

※申請日期：

※IPC分類：

一、發明名稱：(中文/英文)

具RC控制電路之輸出緩衝電路 / OUTPUT BUFFER CIRCUIT WITH RC CONTROL CIRCUIT

二、申請人：共 人

指定為應受送達人

三、發明人：

◎專利代理人：

四、聲明事項

主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

主張專利法第二十六條微生物：

熟習該項技術者易於獲得，不須寄存

五、中文發明摘要：

本發明提出一種新穎之具RC控制電路之輸出緩衝電路，其不但電路結構簡單，並且也可有效防止接地電壓位準浮動以及避免雜訊的發生，同時，亦可提升整個晶片之穩定度。該輸出緩衝電路主要係包含一由第一-PMOS電晶體M1以及第一-NMOS電晶體M2所組成的CMOS反相器、一第一-NPN電晶體Q1、一第二NPN電晶體Q2，以及一RC控制電路1。該RC控制電路1係連接於CMOS反相器之輸出與接地之間，且在CMOS反相器中之第一-PMOS電晶體M1導通時，該RC控制電路1能導通一段預定之時間，俾藉此以吸走第一-PMOS電晶體M1之部份瞬間導通的汲極電流，並使得第一-NPN電晶體Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流(即輸出電流)，結果，輸出電流的電流變化率變得較緩和，並且輸出電流的最大值變得較小，因此不但可有效抑制接地端所感應之瞬間電位差，並且可避免接地電壓位準的浮動以及雜訊的發生，同時亦可提升整個晶片之穩定度。

六、英文發明摘要：

七、指定代表圖：

(一) 本案指定代表圖為：

(二) 本代表圖之元件代表符號簡單說明：

VCC . . . 電源供應電壓

M1 . . . 第一PMOS電晶體

M2 . . . 第一NMOS電晶體

M3 . . . 第二NMOS電晶體

R1 . . . 第一電阻器

R2 . . . 第二電阻器

R3 . . . 第三電阻器

Q1 . . . 第一NPN電晶體

Q2 . . . 第二NPN電晶體

OUT . . . 輸出端子

1 . . . RC控制電路

I_c (Q2) . . . 第二NPN電晶體之集極電流(即輸出電流)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

[發明所屬之技術領域]

本發明係關於一種半導體積體電路中之輸出緩衝電路(output buffer circuit)，尤指一種可抑制起因於接地電壓位準的浮動(即接地反射現象)所導致雜訊的產生之輸出緩衝電路。

[先前技術]

現今的積體電路設計愈來愈緊密，因此對於雜訊的要求也愈來愈嚴格，然而提升積體電路之工作能力與降低雜訊之間很難取得平衡。以輸出緩衝電路為例，在設計輸出緩衝電路時，通常會針對負載的大小來定出上升時間與下降時間的規格；當輸出緩衝電路必須推動較大的負載時，為了確保上升時間與下降時間不致太長，必須把輸出緩衝電路的面積加大以提高推動能力，然而大面積的輸出緩衝電路通常會產生較大的雜訊，進而會影響整個晶片的穩定度，因此發展出一種低雜訊的輸出緩衝電

路是非常必要的。

由於電晶體由關閉(OFF)至導通(ON)的轉換瞬間會有電流導通，故在電晶體轉換瞬間會有很大的電流變化率(即 $\Delta I/\Delta t$ 很大)。根據電感效應：感應電壓差為引線電感值與電流變化率的乘積(即 $V_L=L \, dI/dt$ ；其中 V_L 為感應電壓差， L 為引線電感值，約數十奈亨利， dI/dt 則為電流變化率)。因此，電晶體在狀態轉換瞬間會在接地端感應一個瞬間電壓差(V_L)，該瞬間電壓差係正比於電流變化率，且可感應至晶片其它部份，此即為雜訊的來源之一。

第一圖為根據先前技術配置在一積體電路內之既有輸出緩衝電路，在積體電路內產生的輸入信號IN經由一由金氧半電晶體M1與M2所組成的反相器緩衝後，供應到NPN電晶體Q1的基極，電晶體Q1的集極接一電阻R3連接到電壓源VCC，而電晶體Q1的射極一方面接一電阻R2連接到接地端，另一方面連接到電晶體Q2的基極，電晶體Q2的射極直接連到接地端，而其集極則連接到一輸出端子，且由此端子連接到外部負載。

第二圖是第一圖輸出緩衝電路之輸出電流曲線，該圖係由OrCAD模擬取得之曲線圖。當輸入信號IN由高位準下降至低位準後，由於電晶體Q2是在主動區內工作，因此流經電晶體Q2的集極電流(即輸出電流)約等於電晶體Q1的基極電流和 h_{FE} (電晶體的電流放大因數)平方之乘積，此過大的輸出電流會造成接地位準之浮動，並從而產生雜訊，而這些都是先前技術有待克服的問題。

迄今，有關輸出緩衝電路及/或解決其所產生之雜訊的討論甚多，例如於美國專利案第US5296765、5319252、5424671、5914617、5939937、5999036和6255867號以及中華民國專利案公告編號第333705、347901、353247和410349號中所揭露者均是，但其均無法提供一簡單又有效之方法，例如，美國專利案第5999036號「Output circuit with output voltage controlled by current flow through an output transistor circuit」中所提出之降低輸出緩衝電路雜訊之方法，因其係藉由輸出端來控制所增添之切換開關，而導致無法即時有效抑制輸出過電流，因此仍會造成接地電壓位準的浮動(即接地反射現象)並從而產生雜訊。又，例如，美國專利案第6255867號「CMOS output buffer with feedback

control on sources of pre-driver stage」所提出之降低輸出緩衝電路雜訊之方法，因其並未考慮到CMOS反相器中之PMOS電晶體14由關閉至導通瞬間之暫態響應，而是在暫態結束後，先使PMOS電晶體14提供一第一穩態電流，俟節點NG之電壓上升至足以使反相器32輸出低電壓位準後，再使PMOS電晶體14提供一較該第一穩態電流為大之第二穩態電流，因此，不但控制過程過於複雜，並且仍會造成接地電壓位準的浮動。

最近，於中華民國專利公報公告之申請案號第91109543號「具低雜訊之輸出緩衝電路及方法」專利案中，提出一種如第三圖所示之輸出緩衝電路，該輸出緩衝電路係於CMOS反相器之輸出與接地之間增添一由延遲電路11以及NMOS電晶體M3和M4所組成的控制電路1，俾藉該控制電路1以緩和輸出電流之電流變化率，並抑制輸出電流之過電流量，其OrCAD模擬取得之輸出電流曲線如第四圖所示。雖然第三圖所示之輸出緩衝電路確實可緩和輸出電流之電流變化率，並抑制輸出電流之過電流量，但由於使用了由延遲電路11(典型為四個反相器所構成)以及二個NMOS電晶體M3和M4所組成之控制電路1，因此電路結構仍稍嫌複雜，仍有改進空間。此外，對於輸出電流之電流變化率以及輸出電流之過電流量方面，仍有進一步改進空間存在。

有鑑於此，本發明之主要目的係提出一種新架構之輸出緩衝電路，其不但能進一步降低輸出緩衝電路上升時所流經之輸出電流的過電流量，並且也能進一步緩和輸出緩衝電路上升時所流經輸出電流的電流變化率，同時亦能藉此而有效防止接地電壓位準浮動和雜訊的發生。

本發明之次要目的係提出一種不需使用到延遲電路之新架構的輸出緩衝電路。

[發明內容]

根據上述之目的，本發明提出一種新架構之輸出緩衝電路，該輸出緩衝電路係包括有：一CMOS反相器，其係由第-PMOS電晶體M1以及第-NMOS電晶體M2所組成，並連接在電源供應電壓VCC與接地之間，該第-PMOS電晶體M1之閘極端以及該第-NMOS電晶體M2之閘極端均係用以接收一輸入信號IN；一RC控制電路1，其係由第一電容器C、第

一電阻器R1以及第二NMOS電晶體M3所組成，其中第一電容器C與第一電阻器R1呈串聯連接後，連接在該CMOS反相器之輸出與接地之間，該第二NMOS電晶體M3亦連接在該CMOS反相器之輸出與接地之間，惟其閘極端連接至第一電容器C與第一電阻器R1之串聯接點；一第一-NPN電晶體Q1，其基極端連接至CMOS反相器之輸出，並具有一集極端以及一射極端；以及一第二NPN電晶體Q2，其基極端連接至該第一-NPN電晶體Q1之射極端，集極端連接至輸出端子OUT，而其射極端則接地。

[實施方式]

本發明所提出之輸出緩衝電路之較佳實施例顯示於第五圖中，其包括：一CMOS反相器，其係由第一PMOS電晶體M1以及第一NMOS電晶體M2所組成，並連接在電源供應電壓VCC與接地之間，該第一PMOS電晶體M1之閘極端以及該第一NMOS電晶體M2之閘極端均係用以接收一輸入信號IN；一RC控制電路1，其係由第一電容器C、第一電阻器R1以及第二NMOS電晶體M3所組成，其中第一電容器C與第一電阻器R1呈串聯連接後，連接在該CMOS反相器之輸出與接地之間，該第二NMOS電晶體M3亦連接在該CMOS反相器之輸出與接地之間，惟其閘極端連接至第一電容器C與第一電阻器R1之串聯接點；一第一-NPN電晶體Q1，其基極端連接至CMOS反相器之輸出，並具有一集極端以及一射極端；一第二NPN電晶體Q2，其基極端連接至該第一-NPN電晶體Q1之射極端，集極端連接至輸出端子OUT，而其射極端則接地；一第二電阻R2，連接於該第一-NPN電晶體Q1之射極端與接地之間；以及一第三電阻R3，連接於該第一-NPN電晶體Q1之集極端與電源供應電壓VCC之間。

在此電路中，當輸入信號IN由高位準變為低位準時，第二NPN電晶體Q2導通，且是在主動區內操作。如果在這時候PMOS電晶體M1之汲極電流，直接成為第一-NPN電晶體Q1的基極電流，則第一-NPN電晶體Q1的射極電流扣抵流過第二電阻R2的微小電流後，亦直接成為第二NPN電晶體Q2的基極電流，於是如傳統電路般，第二NPN電晶體Q2的集極電流(即輸出電流)將會約略等於第一-NPN電晶體Q1的基極電流和 h_{FE} 平方的乘積，此過大的輸出電流將會造成接地位準之浮動，並從而產生雜訊。

然而，在本發明中，當輸入信號IN由高位準變為低位準時，PMOS電晶體M1導通，而NMOS電晶體M2則呈關閉狀態，此時第-NPN電晶體Q1之基極電壓快速上升，此快速上升之基極電壓亦會經由第一電容器C迅速耦合至NMOS電晶體M3之閘極端，俟該NMOS電晶體M3之閘極電壓上升至該NMOS電晶體M3之臨限電壓以後，即可使該NMOS電晶體M3導通一段時間(該段時間可由第一電容器C以及第一電阻器R1之RC時間常數來決定)，藉此便可吸走部份的PMOS電晶體M1之瞬間導通的汲極電流，並使得第-NPN電晶體Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流(即輸出電流)。結果，流過第二NPN電晶體Q2之集極電流(即輸出電流)的電流上升變得較適中，且流過該第二NPN電晶體Q2之集極電流(即輸出電流)的電流最大值變得比傳統輸出緩衝電路之輸出電流的電流最大值還小。故，本案不但可有效抑制接地端所感應之瞬間電位差，並且可避免接地電壓位準的浮動以及雜訊的發生，同時亦可提升整個晶片之穩定度。

第六圖是本發明較佳實施例電路之輸出電流曲線，該曲線亦是由OrCAD PSpice模擬而得，而第七圖則是合併第二圖之先前技藝一與第六圖之本發明較佳實施例之比較圖，由第六、七圖，証實本發明所提出之輸出緩衝電路確實可使流過第二NPN電晶體Q2之集極電流(即輸出電流)的電流上升率變得較緩和，且流過該第二NPN電晶體Q2之集極電流的電流最大值變得比先前技藝者還小。此外，比較第四圖之先前技藝二與第六圖之本發明較佳實施例之模擬結果，亦可証實對於降低輸出電流之電流上升率以及輸出電流之電流最大值方面，本發明所提出之輸出緩衝電路確實優於第四圖之先前技藝二。

【發明功效】

本發明所提出之具RC控制電路之輸出緩衝電路，相較於先前技藝，具有如下優點：(1)電路結構簡單：本發明所提出之輸出緩衝電路，僅係在習知輸出緩衝電路之CMOS反相器的輸出與接地之間，增添一簡單的RC控制電路1，因此電路結構極為簡單；(2)低雜訊及高穩定度：由於本發明於CMOS反相器中之第-PMOS電晶體M1導通時，RC控制電路1能導通一段預定之時間，因此可吸走第-PMOS電晶體M1之部份瞬間導通的汲極電流，遂使得第-NPN電晶體

Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流(即輸出電流)，結果，輸出電流的電流變化率變得較緩和，並且輸出電流的最大值變得較小，故，不但可有效抑制接地端所感應之瞬間電位差，並且可避免接地電壓位準的浮動以及雜訊的發生，同時亦可提升整個晶片之穩定度。

雖然本發明特別揭露並描述了所選之最佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本發明的精神與範圍。因此，所有相關技術範疇內之改變都包括在本發明之申請專利範圍內。

[圖式簡單說明]

第一圖係顯示先前技藝一之輸出緩衝電路之電路圖；第二圖係先前技藝一之OrCAD PSpice模擬取得之輸出電流曲線圖；第三圖係顯示先前技藝二之輸出緩衝電路之電路圖；第四圖係先前技藝二之OrCAD PSpice模擬取得之輸出電流曲線圖；第五圖係顯示本發明實施例之輸出緩衝電路的電路圖；第六圖係本發明輸出緩衝電路之OrCAD PSpice模擬之輸出電流曲線圖；第七圖係合併第二圖之先前技藝一與第六圖之本發明較佳實施例之比較圖。

十、申請專利範圍：

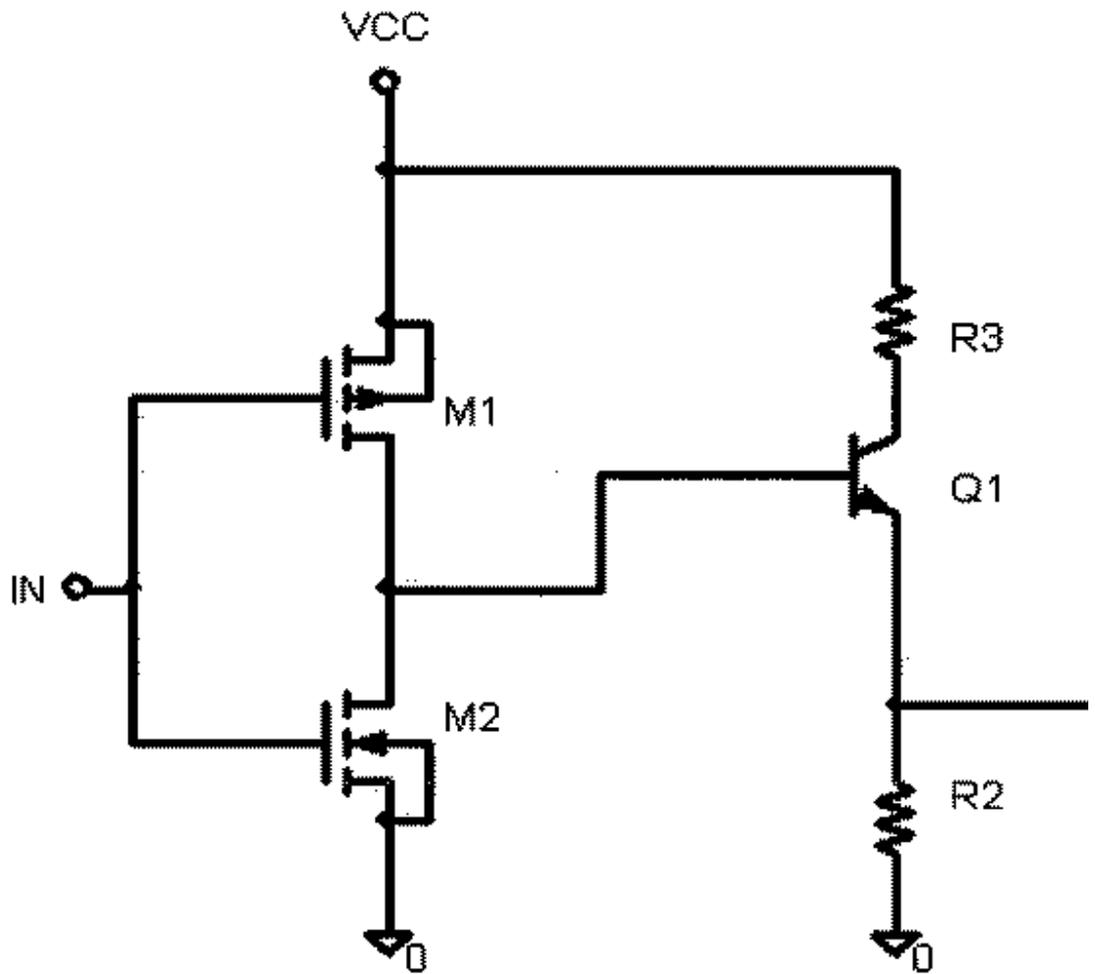
1. 一種輸出緩衝電路，包括有：一CMOS反相器，其係由第-PMOS電晶體M1以及第-NMOS電晶體M2所組成，並連接在電源供應電壓VCC與接地之間，該第-PMOS電晶體M1之閘極端以及該第-NMOS電晶體M2之閘極端均係用以接收一輸入信號IN；一RC控制電路1，其係由第一電容器C、第一電阻器R1以及第二NMOS電晶體M3所組成，其中第一電容器C與第一電阻器R1呈串聯連接後，連接在該CMOS反相器之輸出與接地之間，該第二NMOS電晶體M3亦連接在該CMOS反相器之輸出與接地之間，惟其閘極端連接至第一電容器C與第一電阻器R1之串聯接點；一第-NPN電晶體Q1，其基極端連接至CMOS反相器之輸出，並具有一集極端以及一射極端；以及一第二NPN電晶體Q2，其基極端連接至該第-NPN電晶體Q1之射極端，集極端連接至輸出端子OUT，而其射極端則接地。

2. 如申請專利範圍第1項所述之輸出緩衝電路，其更

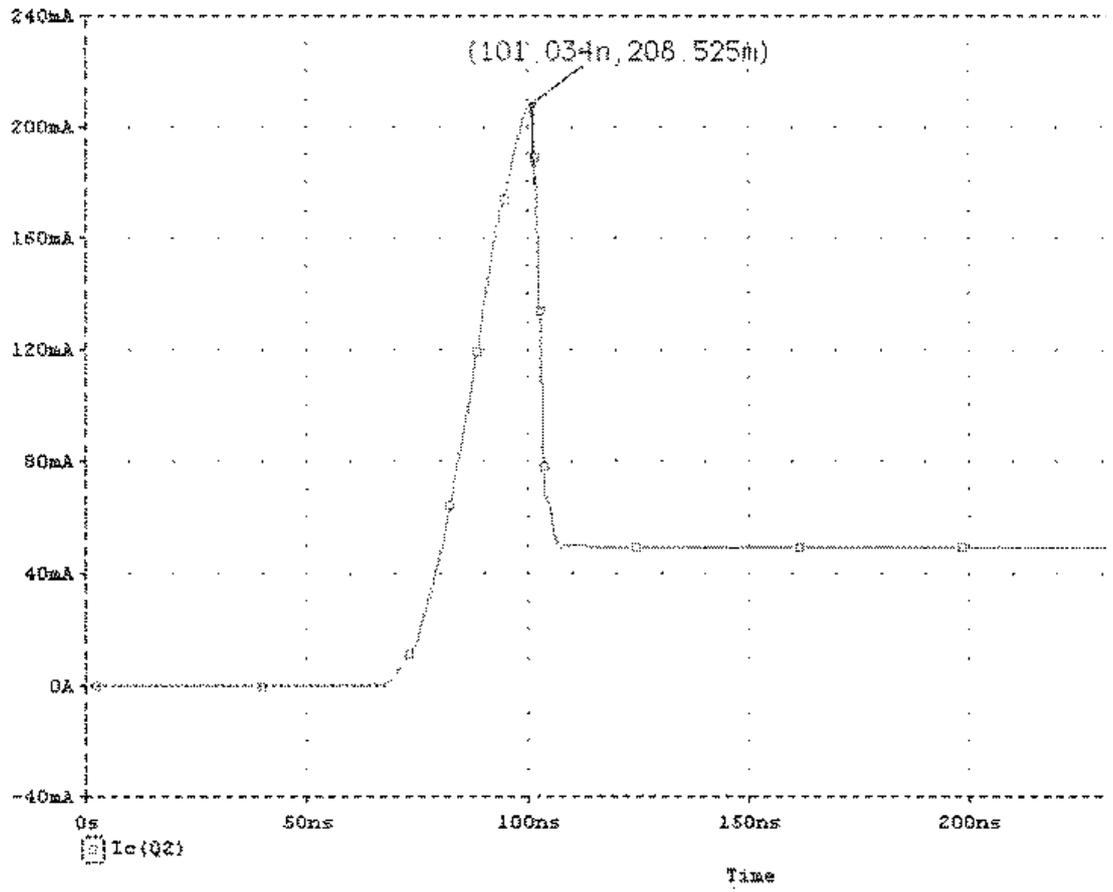
包括：一第二電阻R2，連接於該第-NPN電晶體Q1之射極端與接地之間。

3. 如申請專利範圍第1項所述之輸出緩衝電路，其更包括：一第三電阻R3，連接於該第-NPN電晶體Q1之集極端與電源供應電壓VCC之間。

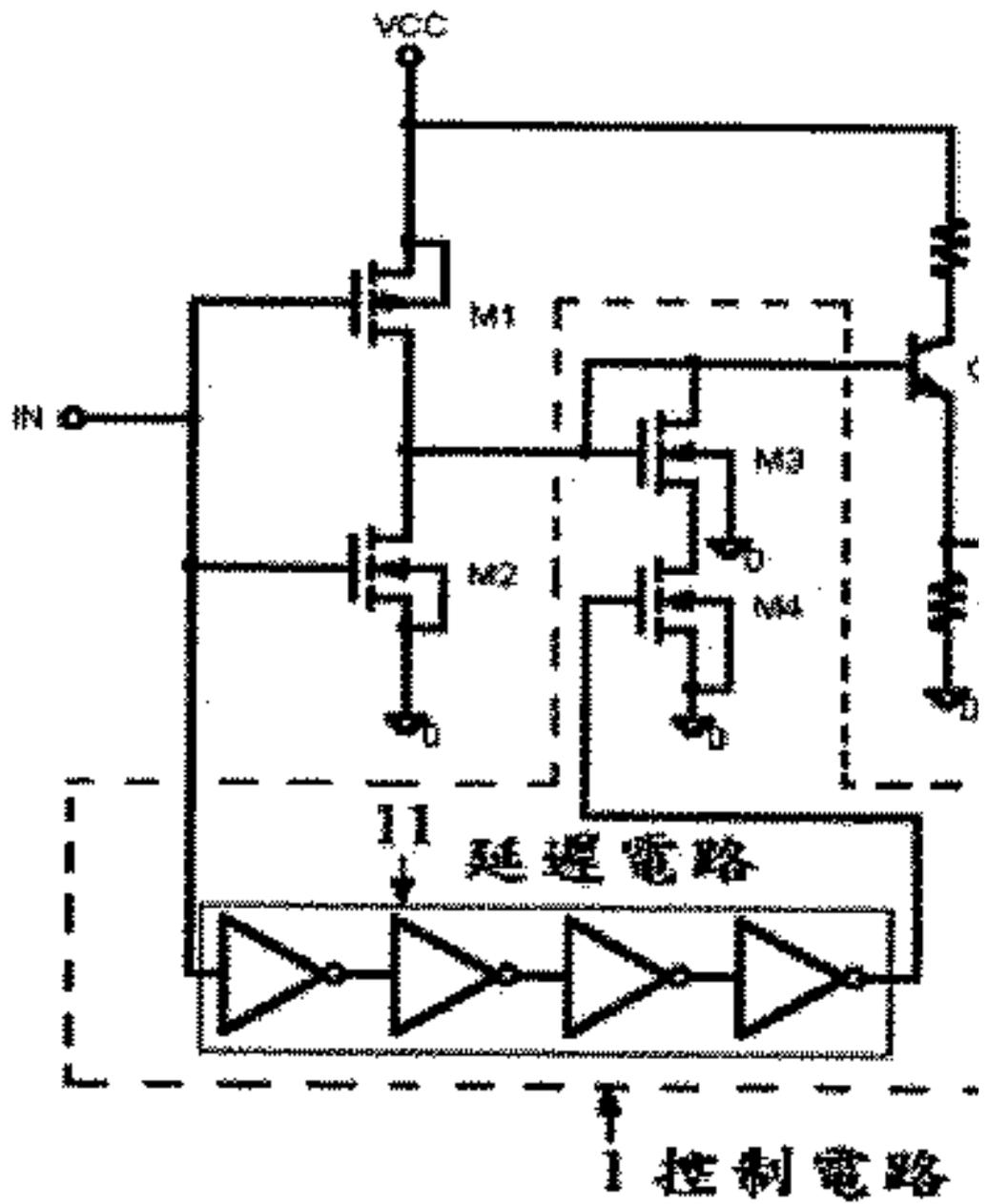
十一、圖式：



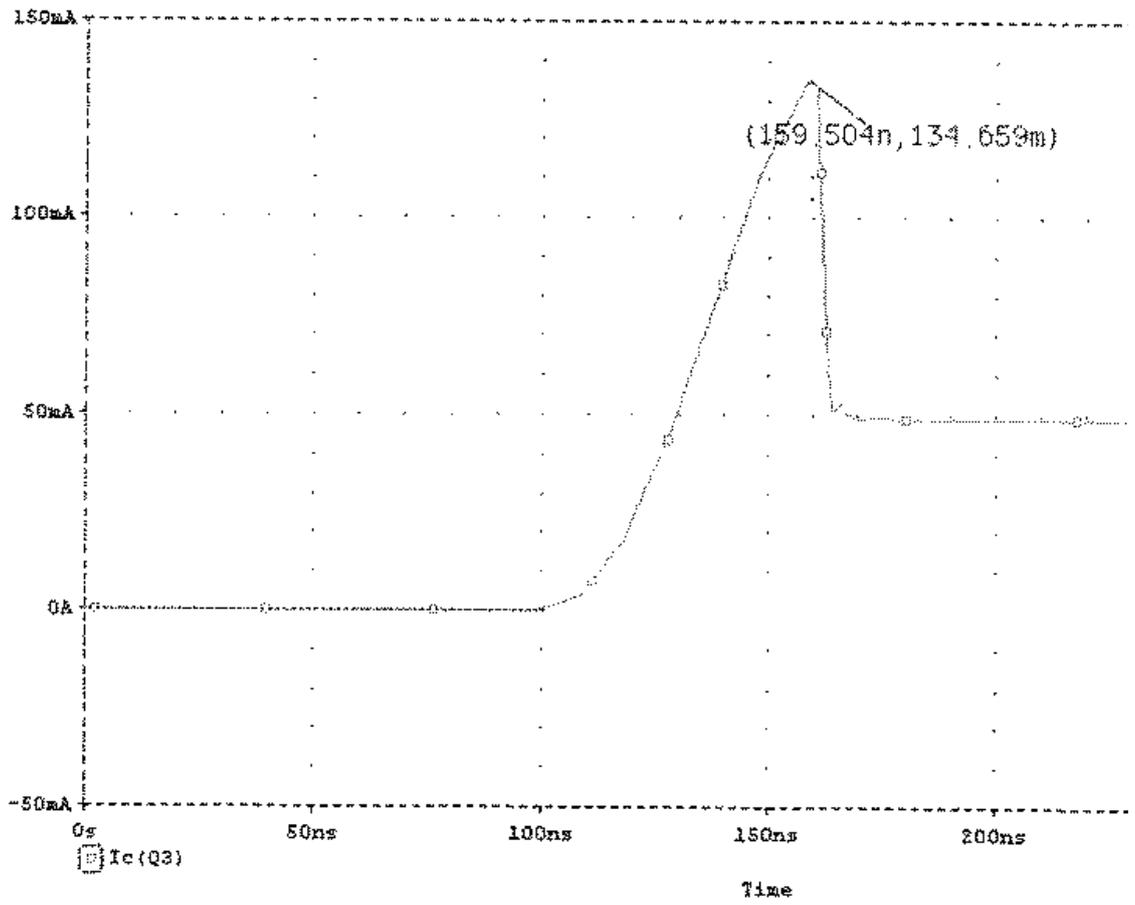
第一圖



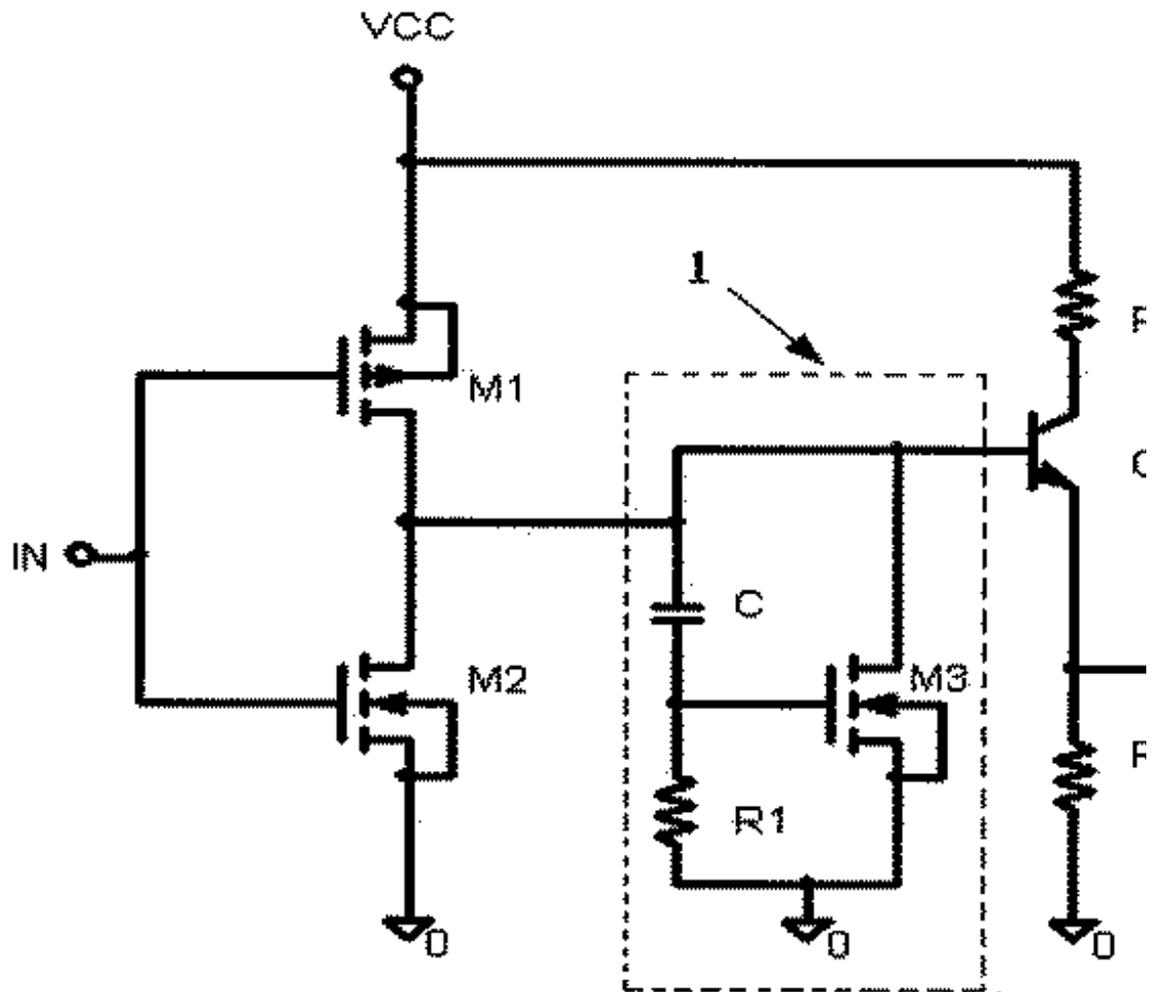
第二圖



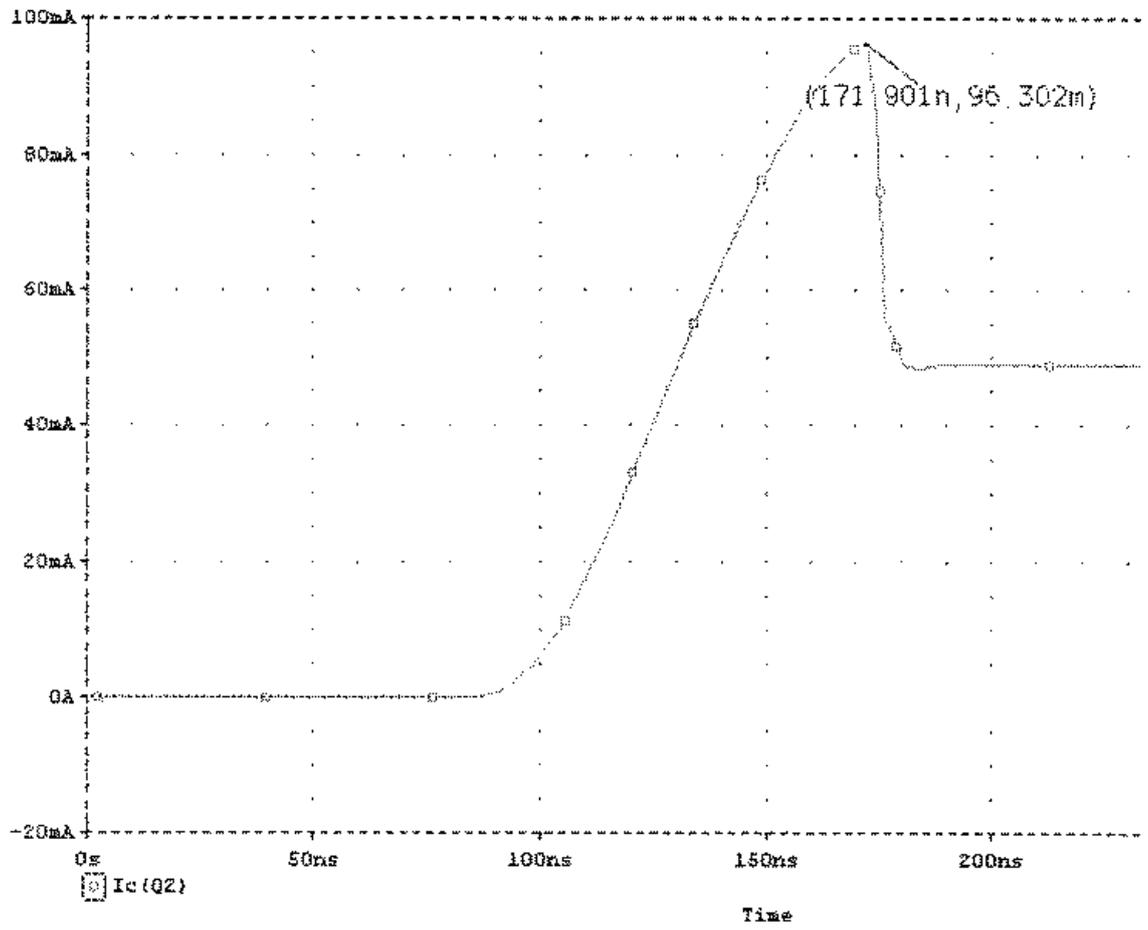
第三圖



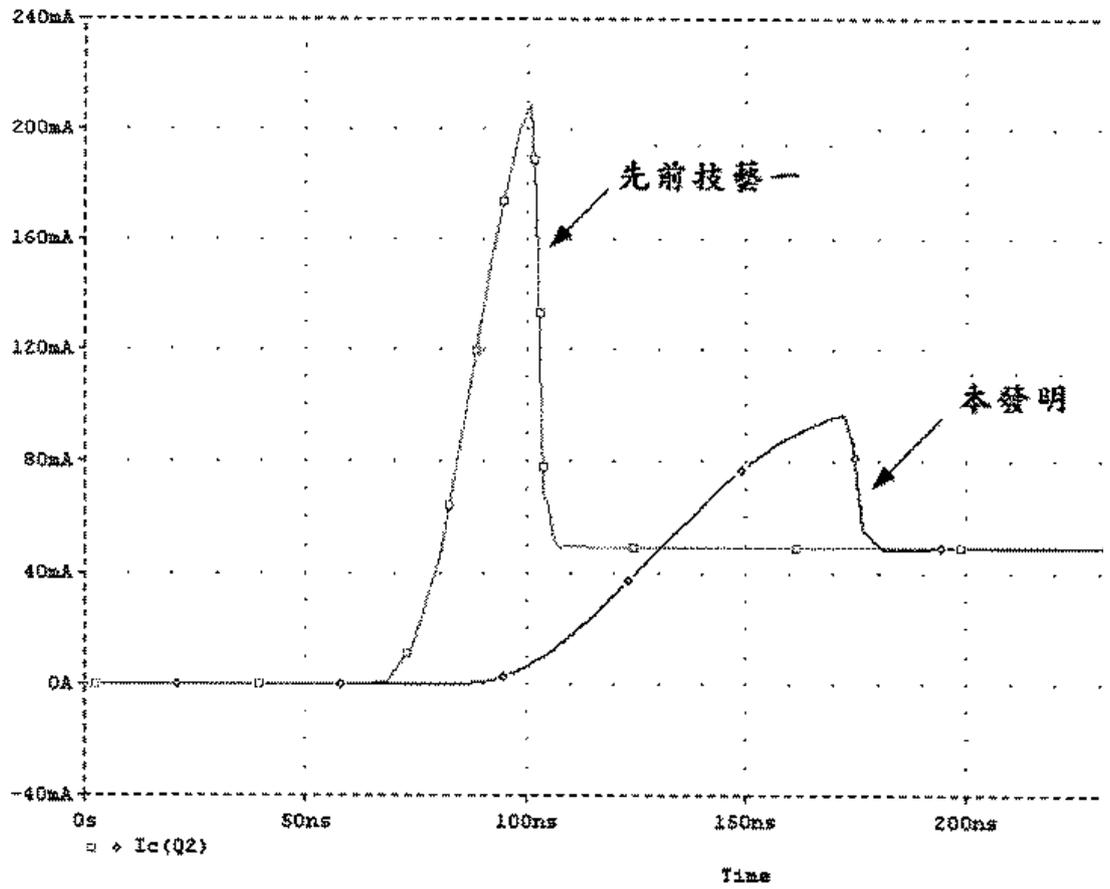
第四圖



第五圖



第六圖



第七圖