

# 發明專利說明書

※申請案號：093131601

※IPC 分類：G01R 19/

## 一、發明名稱：

互補式金氧半(CMOS)電壓峰值檢知器  
CMOS PEAK VOLTAGE DETECTOR

## 二、中文發明摘要：

本發明提出一種新穎架構之電壓峰值檢知器，其係由一差動放大器1、一充電電晶體2、一電容器C、一輸出級3以及一電流鏡電路4所組成，其中，該差動放大器1係以非對稱式結構來設計，亦即僅使用單邊之負載電晶體，且該負載電晶體與該充電電晶體2共同構成一電流鏡。該差動放大器1係做為比較器使用，該充電電晶體2係做為充電器使用，用以提供電容器C所需之充電電流，而該輸出級3則用以調整該電容器C上之電壓信號V(C)，以便精確地輸出該輸入電壓信號之峰值電壓。本發明所提出之電壓峰值檢知器僅使用了2個PMOS電晶體、6個NMOS電晶體、1個電阻器以及1個電容器，且於輸出級中並未使用到50MΩ以上之電阻器，因此不但電路架構新穎、簡單、使用的電晶體數量少，並且因不需使用運算放大器及未使用到50MΩ以上之電阻器，因而也具有較高之集積度。此外，本發明所提出之電壓峰值檢知器，不但能精確地檢測出輸入信號之峰值電壓，並且設置有輸出級以有效防止因外部電路之擷取動作而遭致破壞所保持之輸入峰值電壓，同時亦能有效消除差動放大器之超量電壓效應。

## 三、英文發明摘要：

## 四、指定代表圖：

(一)本案指定代表圖為： 第6圖

(二)本代表圖之元件符號簡單說明：

1 . . . 差動放大器

2 . . . 充電電晶體

3 . . . 輸出級

4 . . . 電流鏡電路

V(IN) . . . 輸入電壓信號

V(C) . . . 電容器上之電壓信號

V(OUT) . . . 輸出電壓信號  
Vdd . . . 電源供應電壓  
 $I_B$  . . . 流過差動放大器之電流  
 $I_{OUT}$  . . . 流過輸出級之電流  
 $I_R$  . . . 參考電流  
R . . . 電阻器  
MP1 . . . 第一PMOS電晶體  
MP2 . . . 第二PMOS電晶體  
MN1 . . . 第一NMOS電晶體  
MN2 . . . 第二NMOS電晶體  
MN3 . . . 第三NMOS電晶體  
MN4 . . . 第四NMOS電晶體  
MN5 . . . 第五NMOS電晶體  
MN6 . . . 第六NMOS電晶體  
C . . . 電容器

五、 本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、 發明說明：

**【發明所屬之技術領域】**

[n] 本發明係有關一種電壓峰值檢知器，尤指利用一差動放大器(differential amplifier)、一充電電晶體(charging transistor)、一電容器、一輸出級以及一電流鏡電路所組成以求獲得精確電壓峰值之互補式金氧半(CMOS)電子電路。

**【先前技術】**

[n] 電壓峰值檢知器係一種電子電路，能夠測得一電壓波形之最大值，質言之，該電路之輸入為一變動之電壓信號，而其輸出則是該輸入電壓波形之最大值。

[n] 在許多應用中，輸入電壓信號之峰值必須被測出，然後將之以直流電型態保留住以便後續分析、使用。一個脈衝串之尖峰值常比它的平均值要更有用，例如當執行破壞性測試時，就有必要追尋出並保持峰值信號，而量測電壓信號在傳輸媒介上之衰減量、類比至數位轉換器(A/D converter)、最大近似解碼系統(maximum likelihood decoding system)以及用以檢測核輻射之脈衝信號檢測電路等也需要用到電壓峰值檢知器。

[n] 先前技藝(prior art)中，電壓峰值檢知器之最簡單作法

係令輸入電壓信號通過二極體，而對電容充電，以便取得該輸入電壓波形之峰值。

[n] 如第一圖所示，當輸入電壓 $V(IN)$ 大於電容器 $C$ 之電壓時，二極體 $D$ 導通，遂行充電作用，直到輸入電壓 $V(IN)$ 到達其最大值，電容器 $C$ 不能再繼續充電，此時輸出電壓 $V(OUT)$ 即表示輸入電壓 $V(IN)$ 之峰值。

[n] 由於輸出端與輸入端之間存在二極體 $D$ ，此電路無法精確地檢得輸入電壓 $V(IN)$ 之真正峰值。換言之，輸出電壓 $V(OUT)$ 與輸入電壓 $V(IN)$ 之峰值之間永遠存在二極體導通電壓 $V_d$ 之誤差。亦即， $MAX(V(OUT))=MAX(V(IN))-V_d$ ，如第二圖所示(該圖係OrCAD PSpice之暫態分析模擬結果)。

[n] 對於許多應用而言，上述二極體導通電壓 $V_d$ 之誤差係不欲見到的，並且該電壓差會因為使用不同之二極體而有所差異，可能導致不良之影響或不可預測之後果。

[n] 為了能夠精確地檢測輸入之峰值電壓，迄今，有許多精密電壓峰值檢知器之技術被提出，例如於美國專利案第US5304939、5502746、5546027、5969545、6051998、6064238和6472861號以及中華民國專利案第88220146號中所揭露者均是，該等技術均能精確地檢測輸入信號之峰值電壓，但由於該等電壓峰值檢知器均使用到一個以上之運算放大器，因此仍存在有電路結構複雜、佔用的晶片面積大等缺失，實不利於積體電路之要求。

[n] 最近，有幾種不需使用到運算放大器之精密電壓峰值檢知器之技術被提出，例如中華民國專利案第90119722號：「電壓峰值檢知器」(其主要代表圖如第三圖所示)和第90131188號：「具雙充電路徑之電壓峰值檢知器」(其主要代表圖如第四圖所示)中所揭露者即是，該等技術均係以一差動放大器和一電流鏡所組成的電路來取代運算放大器，由於並不使用到運算放大器，因此，具備電路結構簡單、佔用的晶片面積小以及有利於裝置之小型化等多重功效。

[n] 但由於該等技術所使用之差動放大器具有對稱之兩個負載電晶體，且使用獨立之電流鏡，因此，在減少電壓峰值檢知器所需之電晶體數量方面仍有改良空間存在。此外，該等技術並未於峰值檢知器中設置輸出級，輸出級於所檢知之輸入峰值電壓被外部電路擷取時可有效保持該輸入峰值電壓，不致於因擷取動作而降低，甚至遭受破壞。另，該等技術亦未考慮到差動放大器之超量電壓(OverShoot Voltage簡稱 $V_{os}$ )效應，熟悉差動放大器之人士皆可由差動放大器之電壓轉換特性曲線(voltage transfer characteristic)得知，欲使差動放大器一方之驅動電晶體呈流通有該差動放大器之所有電流之導通狀態，則需於該一方驅動電晶體之輸入端與另一方驅動電晶體之輸入端間施加至少一超量電壓 $V_{os}$ 之電壓

差。注意，此超量電壓 $V_{os}$ 即為上述該等技術之固有誤差，因此，該等技術於精確度方面仍有改進空間存在。

[n] 近日，有一種考慮到上述缺失之精密電壓峰值檢知器之技術被提出，請參見中華民國專利案第92120739號：「電壓峰值檢知器」（其主要代表圖如第五圖所示），雖說第五圖所示電路已對電壓峰值檢知器提出一種新穎之電路架構，惟該電路仍有改進空間，例如因該電路於輸出級中使用到 $50M\Omega$ 以上之電阻器而導致消耗過大晶片面積之問題，並且因該電路易受該 $50M\Omega$ 以上電阻器之變動而影響其消除差動放大器超量電壓效應之能力並從而導致降低精確度之問題（請參考該第92120739號專利案說明書第9頁第24至28行之記載），因此還有改進空間存在。

[n] 有鑑於此，本發明之主要目的係提出一種新穎架構之電壓峰值檢知器，其不但佔用的晶片面積小以及具高集積度，並且兼具電路結構簡單、高精確度等多重功效，同時亦設置有輸出級以有效防止因外部電路之擷取動作而遭致破壞所保持之輸入峰值電壓。

[n] 本發明之次要目的係提出一種互補式金氧半(CMOS)結構之電壓峰值檢知器，其可有效消除差動放大器之超量電壓效應。

#### 【發明內容】

[n] 本發明所提出之互補式金氧半(CMOS)電壓峰值檢知器係由一差動放大器1、一充電電晶體2、一電容器C、一輸出級3以及一電流鏡電路4所組成，其中，該差動放大器係以非對稱式結構來設計，亦即僅使用單邊之負載電晶體，且該負載電晶體與該充電電晶體共同構成一電流鏡，因此可較傳統之精密電壓峰值檢知器（即中華民國專利案第90119722和90131188號專利所揭露之電壓峰值檢知器）少二個PMOS電晶體。此外，本發明所提出之電壓峰值檢知器設置有輸出級，且該輸出級中並未使用到 $50M\Omega$ 以上之電阻器，因此不但具有較高之集積度，並且能避免所保持之輸入峰值電壓不致因外部電路之擷取動作而遭致破壞，同時兼具精確地調整並輸出所保持之輸入峰值電壓之功能。另，本發明亦可有效消除差動放大器之超量電壓效應。

#### 【實施方式】

[n] 根據上述之目的，本發明提出一種新穎之互補式金氧半(CMOS)電壓峰值檢知器，如第六圖所示，其係由一差動放大器1、一充電電晶體2、一電容器C、一輸出級3以及一電流鏡電路4所組成，該差動放大器1是使用非對稱性之電路組態來設計，其係由NMOS電晶體MN1、MN2以及PMOS電晶體MP1所組成，其中，該NMOS電晶體MN1和MN2係做為驅動器(driver)使用，而該PMOS電晶體MP1則作為負載電晶體使用。該NMOS電

晶體MN1和MN2之閘極(gate)係分別接受輸入電壓信號V(IN)及電容器上之電壓信號V(C)，源極(source)連接在一起，並連接至電流鏡電路4，而其汲極則分別與負載電晶體MP1及電源供應電壓Vdd相連接。

- [n] 請再參考第六圖，負載電晶體MP1與充電電晶體MP2共同構成一電流鏡，且該PMOS電晶體MP1和MP2之源極均與電源供應電壓Vdd連接，而閘極則連接在一起，並連接至NMOS電晶體MN1之汲極，同時該PMOS電晶體MP1之閘極與汲極係連接在一起，以形成一電流鏡；再者，PMOS電晶體MP2之汲極係與電容器C之一端連接，而該電容器C之另一端則接地；此外，輸出級3係由一NMOS電晶體MN3所組成，並連接在電源供應電壓Vdd與輸出端之間。另，電流鏡電路4係由NMOS電晶體MN4、MN5、MN6以及一電阻器R所組成，該電流鏡電路4係用以產生一參考電流 $I_R$ ，並將該參考電流 $I_R$ 經由該NMOS電晶體MN4和MN5所組成之電流鏡鏡射後，提供一與該參考電流 $I_R$ 成鏡射比率之電流 $I_B$ 至該差動放大器1，同時亦經由該NMOS電晶體MN5和MN6所組成之電流鏡鏡射後，提供一與該參考電流 $I_R$ 成鏡射比率之電流 $I_{OUT}$ 至該輸出級3。

- [n] 為了便於說明起見，以下之推導過程，均將金氧半電晶體以OrCADPspice中之最簡單模型來描述，且不考慮通道長度調變(channel length modulation)效應。但於後續之模擬驗證時，則考慮了OrCAD Pspice中之所有電晶體參數(當然包括通道長度調變效應)。

- [n] 首先推導參考電流 $I_R$ 、流經差動放大器1之電流 $I_B$ 以及流經輸出級3之電流 $I_{OUT}$ ，由第六圖所示之電流鏡電路4可知，參考電流 $I_R$ 等於 $I_R=(V_{dd}-V_{GS5})/R$  (1)其中， $V_{GS5}$ 為NMOS電晶體MN5之閘源極電壓 $V_{GS5}$ ，其可由下列方程式求得：

$$(V_{dd}-V_{GS5})/R=[KP \cdot W_{N5}/(2 \cdot L_{N5})] \cdot (V_{GS5}-V_{TN5})^2$$

(2)方程式(2)中之 $W_{N5}$ 和 $L_{N5}$ 分別表示該NMOS電晶體MN5之有效通道寬度及有效通道長度，KP表示OrCAD Pspice中之一金氧半電晶體模型參數，而 $V_{TN5}$ 則表示該NMOS電晶體MN5之零基底偏壓之臨限電壓(zero-bias threshold voltage)。再者，由第六圖所示之電流鏡電路4並配合電流鏡電路之工作原理，可分別求出流經差動放大器1之電流 $I_B$ 以及流經輸出級3之電流 $I_{OUT}$ ，其結果為 $I_B=I_R \cdot (W_{N4}/L_{N4})/(W_{N5}/L_{N5})$

$$(3) I_{OUT}=I_R \cdot (W_{N6}/L_{N6})/(W_{N5}/L_{N5}) \quad (4) \text{ 其中，} W_{N4} \text{ 和 } L_{N4}$$

分別表示該NMOS電晶體MN4之有效通道寬度及有效通道長度，而 $W_{N6}$ 和 $L_{N6}$ 則分別表示該NMOS電晶體MN6之有效通道寬度及有效通道長度。

- [n] 接著，當輸入電壓V(IN)大於電容器上之電壓V(C)時，電流 $I_d$  (MN1)會大於 $I_d$  (MN2)，且 $I_d$  (MN1)+ $I_d$  (MN2)= $I_B$

(5) 又  $I_d(MN1) = -I_d(MP1)$  (6) 由於 PMOS 電晶體 MP1 及 MP2 係構成一電流鏡，因此  $-I_d(MP1) = -I_d(MP2)$

(7)，故可對電容器 C 進行充電動作。

[n] 當電容器上之電壓  $V(C)$  等於輸入電壓  $V(IN)$  之峰值電壓時，電流  $I_d(MN1) = I_d(MN2) = I_B/2$  (8)，此時仍會對電容器 C 進行充電動作。

[n] 依據差動放大器之電壓轉換特性曲線得知：電容器上之電壓  $V(C)$  須較輸入峰值電壓  $V_{peak}$  高過一超量電壓 (OverShoot Voltage 簡稱 Vos) 以後，才能將 NMOS 電晶體 MN1 強迫為截止狀態，當 NMOS 電晶體 MN1 為截止狀態時，充電電晶體即停止對電容器 C 進行充電作用，此時電容器上之電壓  $V(C)$  為  $V(C) = V_{peak} + Vos$  (9) 由於此時的 NMOS 電晶體 MN2 係工作於飽和區，而 NMOS 電晶體 MN1 恰由飽和區進入截止區，因此，可由下列關係方程式求出 VGS2 及 VGS1:  $I_d(MN2) = I_B$

(10)  $I_d(MN1) = 0$  (11) 故超量電壓 Vos 等於  $Vos = VGS2 - VGS1 = [2 \cdot I_B \cdot L_{N2} / (KP \cdot W_{N2})]^{1/2}$  (12) 其中， $W_{N2}$  和  $L_{N2}$  分別表示 NMOS 電晶體 MN2 之有效通道寬度及有效通道長度，有關超量電壓 Vos 之推導可參考 Kenneth R. Laker 及 Willy M. C. Sansen 合著由 McGRAW-Hill 出版「Design of analog integrated circuits and systems」一書中之第 357 至 375 頁。

[n] 之後，當輸入電壓  $V(IN)$  由峰值電壓  $V_{peak}$  往下掉時，因 NMOS 電晶體 MN1 已進入截止狀態，因此電流  $-I_d(MP1) = -I_d(MP2) = 0$  (13) 所以充電電晶體不會再對電容器 C 進行充電動作，因此電容器上之電壓  $V(C)$  仍會固定維持在方程式 (9) 之電壓。

[n] 請再參考第六圖，電容器上之電壓  $V(C)$  扣抵一個 NMOS 電晶體 MN3 之閘源極電壓 VGS3 後，即成為電壓峰值檢知器之輸出電壓  $V(OUT)$ ，亦即  $V(OUT) = V(C) - VGS3$  (14) 於此，為了易於設計以及能在大輸入電壓  $V(IN)$  範圍內，均能精確地檢測出輸入電壓  $V(IN)$  信號之峰值電壓，於是可將輸出級 3 中之 NMOS 電晶體 MN3 之基底與源極連接在一起，俾藉此以消除該 NMOS 電晶體 MN3 之基底效應 (body effect)，此時方程式 (14) 可改寫為  $V(OUT) = V(C) - V_{TN3} - [2 \cdot I_{OUT} \cdot L_{N3} / (KP \cdot W_{N3})]^{1/2}$  (15) 其中， $W_N$  和  $L_N$  分別表示該 NMOS 電晶體 MN3 之有效通道寬度及有效通道長度，而  $V_{TN3}$  則表示該 NMOS 電晶體 MN3 之零基底偏壓之臨限電壓。

[n] 最後，由方程式 (9)、(12)、(14) 及 (15) 得知，欲使輸出電壓  $V(OUT)$  等於輸入峰值電壓  $V_{peak}$ ，則須  $Vos = VGS3$  (16) 亦即  $[2 \cdot I_B \cdot L_{N2} / (KP \cdot W_{N2})]^{1/2} = V_{TN3} + [2 \cdot I_{OUT} \cdot L_{N3} /$

$(K_P \cdot W_{N3})]^{1/2}$  (17) 藉此即可輕易地設計出電壓峰值檢知器。

[n] 本發明所提出之電壓峰值檢知器之OrCAD PSpice暫態分析模擬結果，如第七圖所示，由該模擬結果可証實，本發明所提出之電壓峰值檢知器可精確且有效地檢知輸入電壓波形之峰值電壓。第七圖係以level 3模型且使用0.25微米CMOS製程參數加以模擬(其PMOS電晶體和NMOS電晶體之零基底偏壓臨限電壓值 $V_{T0}$ 分別為-0.5V和0.5V)，其中，PMOS電晶體MP1、MP2之通道寬長比均為 $(W/L)=(2 \cdot 0.25\mu\text{m}/0.25\mu\text{m})$ ，NMOS電晶體MN1、MN4和MN5之通道寬長比均為 $(W/L)=(0.25\mu\text{m}/0.25\mu\text{m})$ ，NMOS電晶體MN2之通道寬長比為 $(W/L)=(4.5 \cdot 0.25\mu\text{m}/0.25\mu\text{m})$ ，NMOS電晶體MN3之通道寬長比為 $(W/L)=(12.5 \cdot 0.25\mu\text{m}/0.25\mu\text{m})$ ，NMOS電晶體MN6之通道寬長比為 $(W/L)=(0.25\mu\text{m}/(10 \cdot 0.25\mu\text{m}))$ ，電阻器R之電阻值為180K歐姆，至於電容器C之電容值則為3pF。

[n] 本發明之電壓峰值檢知器在使用時可於電容器C兩端並聯連接一開關，該開關係用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

#### 【圖式簡單說明】

[n] 第一圖係顯示第一先前技藝中電壓峰值檢知器之電路圖；第二圖係顯示第一圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；第三圖係顯示第二先前技藝(即中華民國專利案第90119722號)中之電壓峰值檢知器之電路圖；第四圖係顯示第三先前技藝(即中華民國專利案第90131188號)中之電壓峰值檢知器之電路圖；第五圖係顯示第四先前技藝(即中華民國專利案第92120739號)中之電壓峰值檢知器之電路圖；第六圖係顯示本發明較佳實施例之電壓峰值檢知器之電路圖；第七圖係顯示本發明電壓峰值檢知器之輸入電壓信號、電容器上之電壓信號及輸出電壓信號之暫態分析時序圖。

#### 【主要元件符號說明】

- [y] 1 . . . 差動放大器
- [y] 2 . . . 充電電晶體
- [y] 3 . . . 輸出級
- [y] 4 . . . 電流鏡電路
- [y] V(IN) . . . 輸入電壓信號
- [y] V(C) . . . 電容器上之電壓信號
- [y] V(OUT) . . . 輸出電壓信號
- [y] Vdd . . . 電源供應電壓
- [y] C . . . 電容器

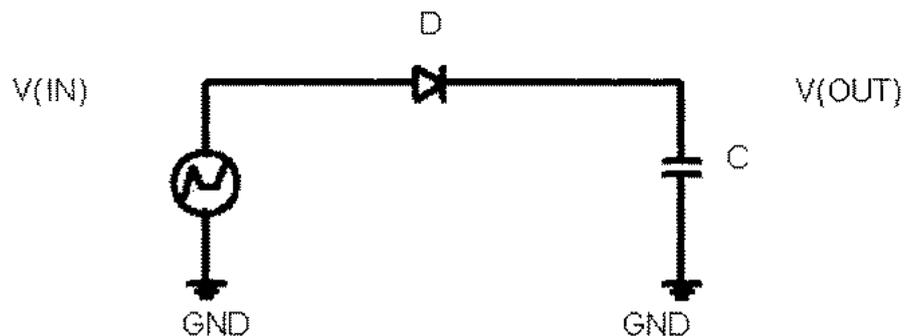
- [y] D . . . 二極體
- [y]  $I_B$  . . . 流過差動放大器之電流
- [y]  $I_{OUT}$  . . . 流過輸出級之電流
- [y]  $I_R$  . . . 參考電流
- [y] R . . . 電阻器
- [y] MP1 . . . 第一PMOS電晶體
- [y] MP2 . . . 第二PMOS電晶體
- [y] MN1 . . . 第一NMOS電晶體
- [y] MN2 . . . 第二NMOS電晶體
- [y] MN3 . . . 第三NMOS電晶體
- [y] MN4 . . . 第四NMOS電晶體
- [y] MN5 . . . 第五NMOS電晶體
- [y] MN6 . . . 第六NMOS電晶體

## 七、申請專利範圍：

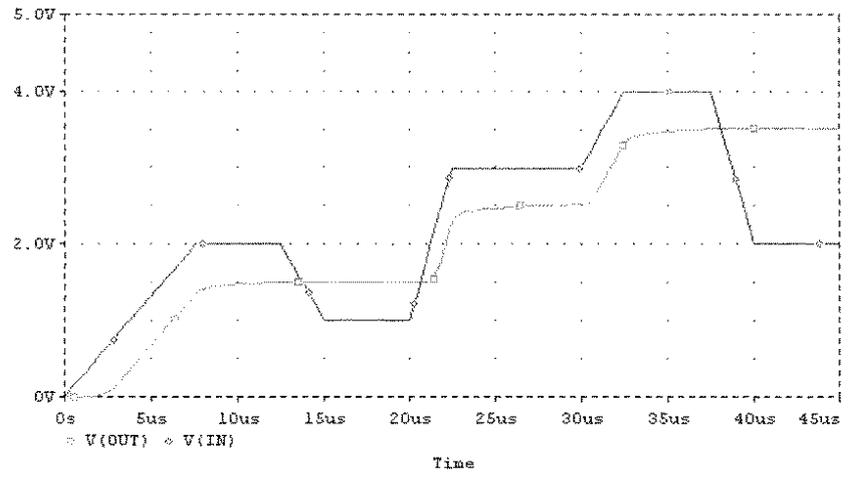
1. 一種互補式金氧半(CMOS)電壓峰值檢知器，用以檢測輸入電壓信號之峰值，其包括：一輸入端，用以提供一輸入電壓信號；一輸出端，用以輸出該輸入電壓信號之峰值電壓；一電源供應電壓，用以提供電壓峰值檢知器所需之電源電壓和參考接地；一具單邊負載電晶體之差動放大器(1)，用以接受並比較輸入電壓信號及電容器上之電壓信號，並提供充電電流信號給充電電晶體(2)；一充電電晶體(2)，用以根據該差動放大器(1)之單邊負載電晶體所流過之電流量，而提供一與該電流量等量之充電電流給電容器；一電容器(C)，該電容器之一端連接至充電電晶體(2)，以便接受該充電電晶體(2)所供應之充電電流，而另一端則連接至參考接地；一輸出級(3)，連接在電源電壓與輸出端之間，用以調整電容器(C)上之電壓信號，以便精確地輸出該輸入電壓信號之峰值電壓；以及一電流鏡電路(4)，用以提供該差動放大器(1)以及該輸出級(3)所需之電流。
2. 如申請專利範圍第1項所述之CMOS電壓峰值檢知器，其更包括：一開關，該開關係與該電容器並聯連接，用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。
3. 如申請專利範圍第2項所述之CMOS電壓峰值檢知器，其中該開關係由一金氧半電晶體所組成。
4. 如申請專利範圍第1項所述之CMOS電壓峰值檢知器，其中該具單邊負載電晶體之差動放大器(1)包括：一單邊負載電晶體，其係由第一PMOS電晶體(MP1)所組成，該第一PMOS電晶體(MP1)之源極連接至電源電壓，閘極與汲極連接在一起，並連接至充電電晶體(2)之閘極；一第一NMOS電晶體

(MN1)，其源極與第二NMOS電晶體(MN2)之源極連接在一起並連接至該電流鏡電路(4)，閘極用以接受輸入電壓信號，而汲極則與該充電電晶體(2)之閘極以及該第一PMOS電晶體(MP1)之汲極相連接；以及一第二NMOS電晶體(MN2)，其源極與第一NMOS電晶體(MN1)之源極連接在一起並連接至該電流鏡電路(4)，閘極用以接受電容器上之電壓信號，而汲極則連接至電源電壓；該充電電晶體(2)係由第二PMOS電晶體(MP2)所組成，該第二PMOS電晶體(MP2)之源極連接至電源電壓，閘極與第一PMOS電晶體(MP1)之閘極以及第一NMOS電晶體(MN1)之汲極相連接，而汲極則與該電容器之一端以及第二NMOS電晶體(MN2)之閘極相連接；該輸出級(3)係由一第三NMOS電晶體(MN3)所組成，其源極與基底連接在一起並連接至輸出端，閘極連接至電容器之一端，以便接受該電容器上之電壓信號，而汲極則與電源電壓相連接；而該電流鏡電路(4)則包括：一第四NMOS電晶體(MN4)，其源極連接至參考接地，閘極連接至第五NMOS電晶體(MN5)之閘極，而汲極則與第一以及第二NMOS電晶體(MN1和MN2)之源極相連接；一第五NMOS電晶體(MN5)，其源極連接至參考接地，閘極與汲極連接在一起，並連接至第四NMOS電晶體(MN4)之閘極；一第六NMOS電晶體(MN6)，其源極連接至參考接地，閘極連接至第五NMOS電晶體(MN5)之閘極，而汲極則連接至輸出端；以及一電阻器(R)，該電阻器之一端連接至電源電壓，而另一端則連接至第五NMOS電晶體(MN5)之汲極。

## 八、圖式：

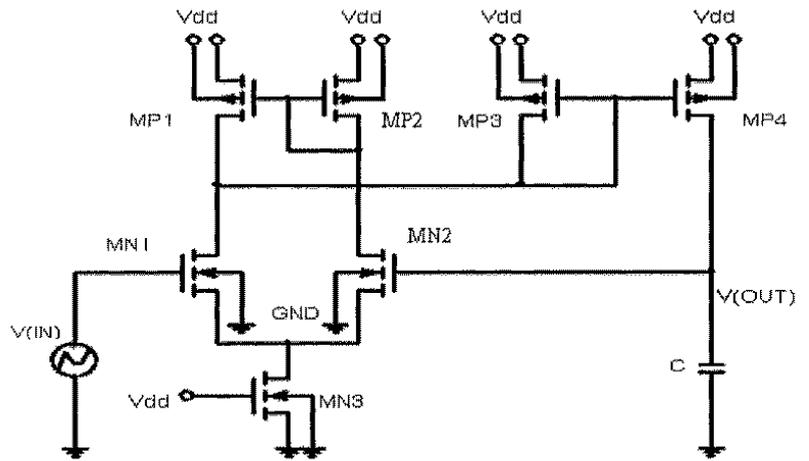


第一圖



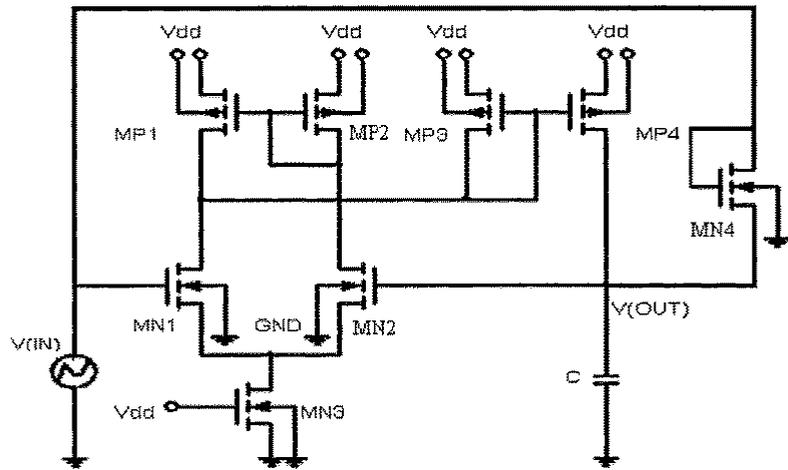
第二圖

第二圖



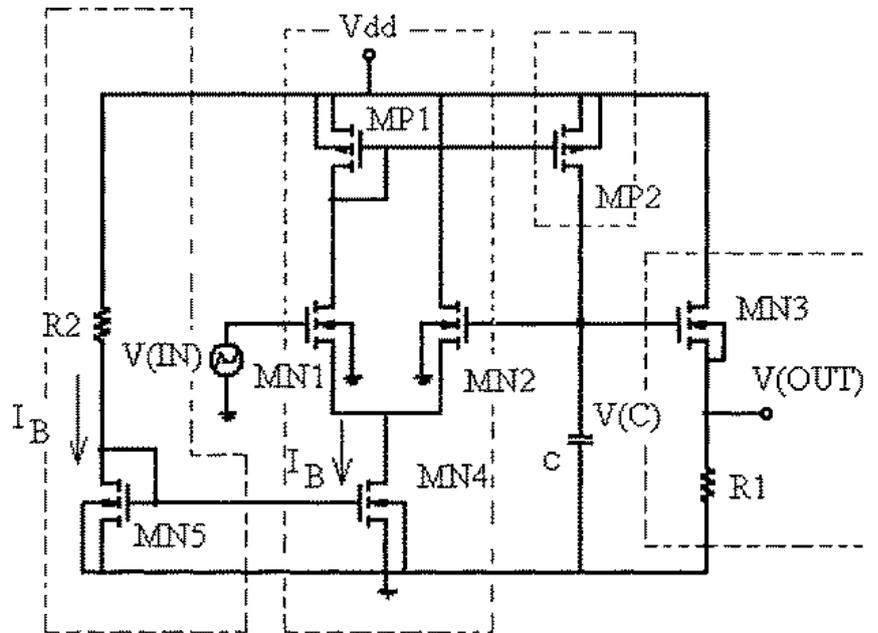
第三圖

第三圖



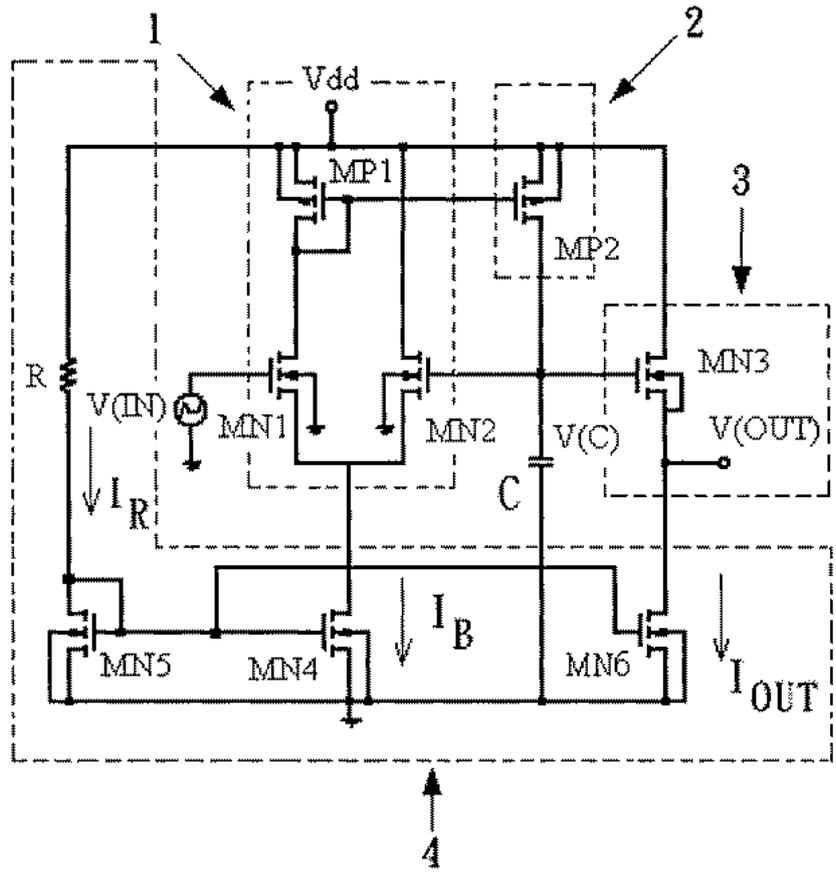
第四圖

第四圖



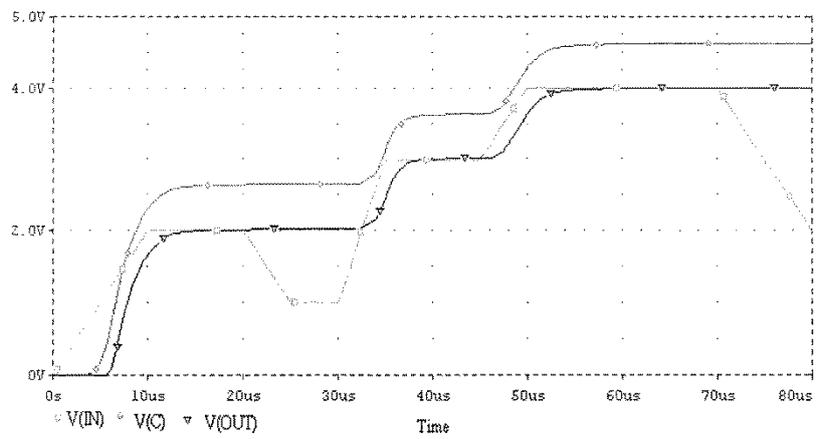
第五圖

第五圖



第六圖

第六圖



第七圖

第七圖