

新型專利說明書

[本說明書格式，順序及粗體字，請勿任意更動，※號部份請勿填寫]

※申請案號：

※申請日期：

※IPC分類：

一、新型名稱：

唯讀記憶體感測電路 / The Sense circuit for Read Only Memory

二、申請人：共人

指定為應受送達人

三、創作人：

◎專利代理人：

四、聲明事項

主張專利法第二十二條第二項

第一款或第二款規定之事實，其事實發生日期為：

主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

主張專利法第二十六條微生物：

熟習該項技術者易於獲得，不須寄存

五、中文發明摘要：

本創作提出一種新穎之唯讀記憶體感測電路，其係由一第一PMOS電晶體MP1、一第一NMOS電晶體MN1、一反或閘NOR、一第二PMOS電晶體MP2、一第一反相器NOT1、以及一第二反相器NOT2所組成，其中該第一NMOS電晶體MN1之背閘極(back gate)與源極(source)間係設計成順向偏壓。當記憶單元在低電位VSS(即儲存邏輯0之資料)時，可藉背閘極順向偏壓之第一NMOS電晶體MN1的作用，以加快內部節點A之放電速度；而當記憶單元在浮接(floating)電位(即儲存邏輯1之資料)時，則因本創作之感測電路設計有一由第二PMOS電晶體MP2所構成並與第一PMOS電晶體MP1呈並聯連接之電流路徑，因此，可有效加快內部節點A之充電速度。故本案不論記憶單元係在低電位VSS，抑是在浮接電位之狀態均能達到快速感測之功效。

六、英文發明摘要：

七、指定代表圖：

- (一) 本案指定代表圖為：
- (二) 本代表圖之元件代表符號簡單說明：

八、新型說明：

[新型內容]

[創作領域]

本創作係有關於一種唯讀記憶體感測電路，尤指一種具更快速感測之唯讀記憶體感測電路。

[創作背景說明]

唯讀記憶體(read-only memory, ROM)是一種非揮發性半導體記憶體(nonvolatile semiconductor memory)，其適用於需要高密度及高固定性記憶體之系統中。由於唯讀記憶體之特性為可讀取但不可寫入，其所儲存之資料特性為永久且不會被抹滅的，因此一般家電產品、遊樂器、或微處理控制器等，即經常利用唯讀記憶體來儲存資料。

唯讀記憶體所儲存之資料係經由感測電路(sense circuit)加以讀取，該感測電路將唯讀記憶體中之微弱電流加以放大後輸出。參閱第一圖所示，係為感測電路之配置示意圖，當中央處理器2欲讀取(READ)記憶單元3之資料時，即送出致能訊號(CE)至感測電路1，並送出記憶體位址到記憶單元3中，該感測電路即先對記憶單元內的資料作電位之偵測，並改變偵測到的電位，使其介於0電位與記憶體高電位之間，同時將改變後的資料傳送至中央處理器2內，以等待中央處理器之後序工作。

習知唯讀記憶體之感測電路參閱第二圖所示，該感測電路包括一NMOS電晶體MN1、一PMOS電晶體MP1、一反或閘NOR以及一第一與第二反相器NOT1和NOT2。

記憶單元之電位有浮接(floating)及低電位(VSS)兩相對犬態，當記憶單元之電位為低電位(VSS)時，反或閘NOR即會輸出一準位為電源供應電壓VDD之高電位至電晶體MN1並使其導通(ON)，此記憶單元之低電位即經由電晶體

MN1傳送至內部節點A，且經由第一與第二反相器NOT1和NOT2加以放大後輸出低電位VSS，此即完成低電位狀態之感測。

而當記憶單元之電位為浮接(floating)時，電晶體MN1呈關閉(OFF)狀態，此時電晶體MP1係組成一pull-high電路，電源供應電壓VDD將使電晶體MP1導通(ON)，並將內部節點A之電位拉升至電源供應電壓VDD，然後再經由第一與第二反相器NOT1和NOT2加以放大後輸出電源供應電壓 VDD，此即完成浮接狀態之感測。

習用之感測電路雖能達到偵測記憶單元電位之目的，但仍具有下列缺點：

1. 若記憶單元之電位為低電位(VSS)狀態，則在此低電位之感測期間，因 PMOS電晶體MP1仍呈導通(ON)狀態，為了使內部節點A之電位足夠低，該PMOS電晶體MP1需設計成具有小的通道寬長比W/L(channel width/length ratio)，此具有小的通道寬長比W/L之PMOS電晶體MP1將降低記憶單元為浮接狀態時之感測速度。
2. 因習用感測電路中之NMOS電晶體MN1的背閘極穰車接至低電位VSS，遂使得該背閘極(back gate)與源極間呈反向偏壓(reverse bias)，此導致NMOS電晶體MN1之臨限電壓(threshold voltage)過大，該過大的臨限電壓將降低記憶單元為低電位VSS時之感測速度。

有鑑於此，本創作之主要目的係提出一種新式之唯讀記憶體感測電路，其不論記憶單元是在浮接狀態或是在低電位狀態下，均能較快速地完成記憶單元中之資料感測。

[創作簡述]

根據上述之目的，本創作提出一種新式之唯讀記憶體感測電路，其應用於記憶單元在浮接(floating)電位及低電位(VSS)時，均能較快速地讀取記憶體中之資料以達感測之目的，該唯讀記憶體感測電路包括：一第一PMOS電晶體MP1，其源極係連接至電源供應電壓VDD，汲極連接至內部節點A，而閘極則連接至接地節點GND；一第一NMOS電晶體MN1，其背閘極與源極間係設計成順向偏壓(forward bias)，並將其源極連接至內部節點B，汲極連接至內部節點A，而閘極則連接反或閘NOR之輸出；一反或閘NOR，其用以接受記憶單元之資料以及晶片致能訊號(CE)；一第二PMOS電晶體MP2，其源極係連接至電源供應

電壓VDD，汲極連接至內部節點A，而閘極則連接至內部節點C；一第一反相器NOT1，其輸入連接至內部節點A，輸出連接至內部節點C；一第二反相器NOT2，其輸入連接至內部節點C，輸出則連接至輸出端子OUT。

[創作之詳細說明]

請參閱第三圖所示本創作較佳實施例之唯讀記憶體感測電路，其包括：一第一PMOS電晶體MP1，其源極係連接至電源供應電壓VDD，汲極連接至內部節點A，而閘極則連接至接地節點GND；一第一NMOS電晶體MN1，其背閘極係連接至閘極以形成背閘極與源極間之順向偏壓，而其源極連接至內部節點B，汲極連接至內部節點A，閘極則連接反或閘NOR之輸出；一反或閘NOR，其用以接受記憶單元之資料以及晶片致能訊號(CE)；一第二PMOS電晶體MP2，其源極係連接至電源供應電壓VDD，汲極連接至內部節點A，而閘極則連接至內部節點C；一第一反相器NOT1，其輸入連接至內部節點A，輸出連接至內部節點C；一第二反相器NOT2，其輸入連接至內部節點C，輸出則連接至輸出端子OUT。

於此，當記憶單元電位為低電位(VSS)時，反或閘NOR即會輸出一準位為電源供應電壓VDD之高電位至第一NMOS電晶體MN1之閘極，並使其導通(ON)，此時因該第一NMOS電晶體MN1之背閘極係連接至閘極以形成背閘極與源極間之順向偏壓，此不但可大幅降低第一NMOS電晶體MN1之臨限電壓，並且亦可增大該第一NMOS電晶體MN1之汲極電流，因而可加速內部節點A之放電速度，並將該內部節點A之電位放電至邏輯低準位(logic low level)，此邏輯低準位之內部節點A然後經由第一反相器NOT1反相至邏輯高準位並傳輸至內部節點C，此內部節點C一方面使第二PMOS電晶體MP2呈關閉(OFF)狀態，另一方面再經由第二反相器NOT2反相至低電壓之準位，此即完成低電位狀態之感測。

當記憶單元電位為浮接(floating)時，第一NMOS電晶體MN1呈關閉(OFF)狀態，此時第一PMOS電晶體MP1係組成一pull-high電路，電源供應電壓VDD將使第一PMOS電晶體MP1導通，並將內部節點A之電位朝電源供應電壓VDD之準位拉升，在此拉升過程中同時也經由第一反相器NOT1之反相而傳輸至內部節點C，此時內部節點C之電位係由電源供應電壓VDD之準位朝接地電位拉降，當內部節點C

之電位拉降至 $VDD - |V_{tp}|$ 以後(其中 V_{tp} 代表第二PMOS電晶體MP2之臨限電壓)，即可使第二PMOS電晶體MP2呈導通(ON)狀態，因該第二PMOS電晶體MP2之電流路徑係與第一PMOS電晶體MP1之電流路徑呈並聯連接，因此可藉該並聯之雙路電流結構，以加速內部節點A之電位朝電源供應電壓VDD之準位拉升，然後再經由第一與第二反相器NOT1和NOT2加以放大後輸出電源供應電壓VDD至輸出端子OUT，此即完成浮接狀態之感測。

相較於習用之感測電路，本創作於記憶單元為低電位Vss(即儲存邏輯0之資料)時，可藉背閘極(back gate)呈順向偏壓之第一NMOS電晶體MN1的作用，以加快內部節點A之放電速度；而當記憶單元在浮接(floating)電位(即儲存邏輯1之資料)時，則因設計有一由第二PMOS電晶體MP2所構成並與第一PMOS電晶體MP1呈並聯連接之電流路徑，因此，亦可有效加快內部節點A之充電速度。故本創作不論記憶單元係在低電位VSS，抑是在浮接電位之狀態均能達到更快速感測之功效。

以上所揭示者，乃較佳實施例之展示，舉凡局部之變更或修飾而源於本案之技術思想，而為熟習該項技藝之人士所易於推知者，俱不脫本案之專權範疇。

綜上所陳，本案無論就目的、手段或功效，在在顯示符合新型之專利要件，祈早日賜予專利，俾嘉惠社會，實感德便。

[圖式簡單說明]

第一圖係顯示感測電路之方塊示意圖；

第二圖係顯示先前習知感測電路之電路圖；

第三圖係顯示本創作較佳實施例之感測電路圖。

九、申請專利範圍：

1. 一種唯讀記憶體感測電路，該唯讀記憶體感測電路包括：一第一PMOS電晶體MP1，其源極係連接至電源供應電壓VDD，汲極連接至內部節點A，而閘極則連接至接地節點GND；一第一NMOS電晶體MN1，其背閘極與源極間係設計成順向偏壓(forward bias)，並將其源極連接至內部節點B，汲極連接至內部節點A，而閘極則連接反或

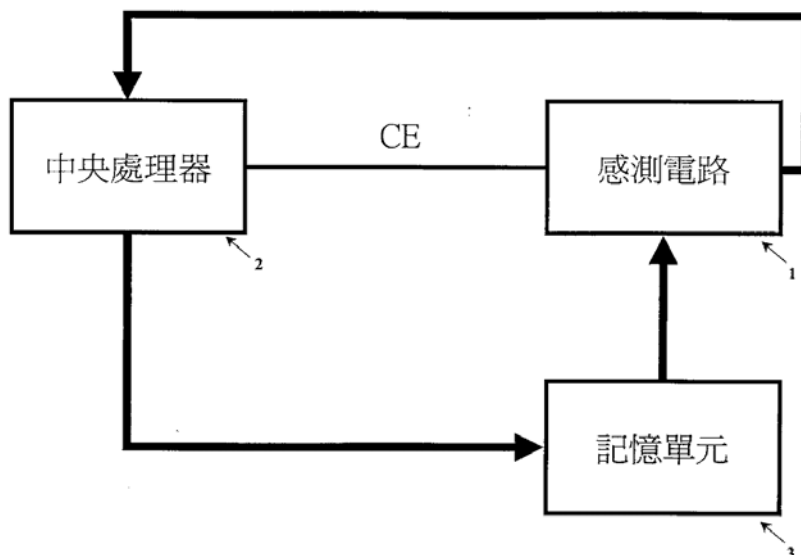
閘NOR之輸出；一反或閘NOR，其用以接受記憶單元之資料以及晶片致能訊號(CE)；一第二PMOS電晶體MP2，其源極係連接至電源供應電壓VDD，汲極連接至內部節點A，而閘極則連接至內部節點C；一第一反相器NOT1，其輸入連接至內部節點A，輸出連接至內部節點C；以及一第二反相器NOT2，其輸入連接至內部節點C，而輸出則連接至輸出端子OUT。

2. 如申請專利範圍第1項所述之唯讀記憶體感測電路，其中第一NMOS電晶體MN1之背閘極與源極間之順向偏壓係藉由將該第一NMOS電晶體MN1之背閘極連接至閘極而獲得。

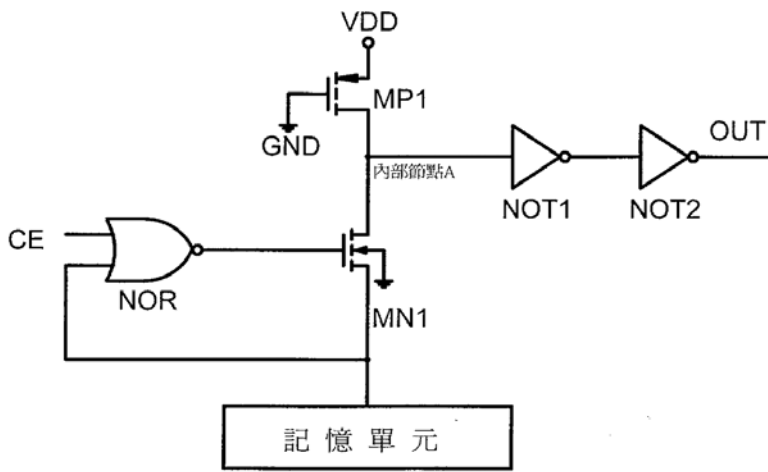
3. 如申請專利範圍第1項所述之唯讀記憶體感測電路，其中第一NMOS電晶體MN1之背閘極與源極間之傾向偏壓係藉由將該第一NMOS電晶體MN1之背閘極連接至一偏壓電路而獲得。

4. 如申請專利範圍第1項所述之唯讀記憶體感測電路，其中第二PMOS電晶體MP2之通道寬長比 W/L 係設定成大於第一PMOS電晶體MP1之通道寬長比 W/L ，以加快內部節點A之充電速度。

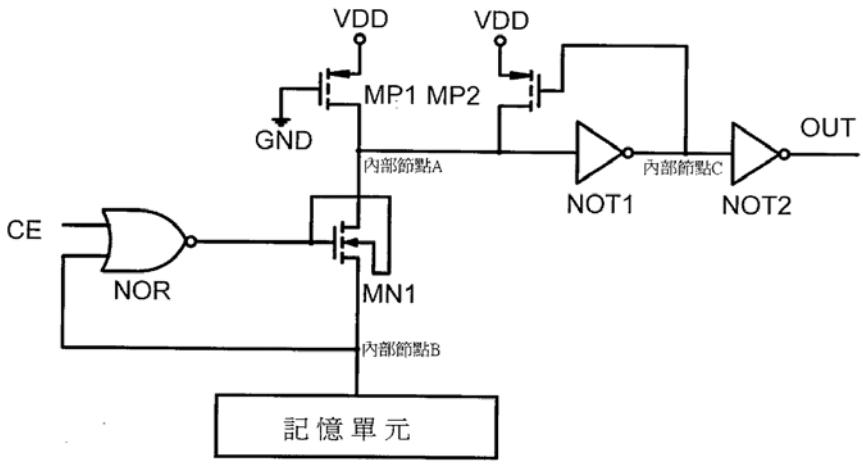
十、圖式：



第一圖



第二圖



第三圖