

發明專利說明書

[本說明書格式，順序及粗體字，請勿任意更動，※號部份請勿填寫]

※申請案號： 091109543

※申請日期： 20020506

※IPC分類： Int.Cl.(7) H03K 19/00

一、發明名稱：(中文/英文)

輸出緩衝電路及方法

二、申請人：共 1 人

1.

姓名或名稱：(中文/英文)

修平技術學院 / HSIUPING INSTITUTE OF TECHNOLOGY

代 表 人：(中文/英文)

/

住居所或營業所地址：(中文/英文)

臺中縣大里市工業路十一號 /

國 籍：(中文/英文)

中華民國 / TW

三、發明人：共 1 人

1.

姓名：(中文/英文)

蕭明椿 / SHIAU, MING-CHUEN

國 籍：(中文/英文)

中華民國 / TW

四、聲明事項

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：年 月 日

申請前已向下列國家(地區)申請專利：

【格式請依:受理國家(地區)、申請日、申請案號、順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依:申請日、申請案號、順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料【格式請依:寄存機構、日期、號碼、順序註記】

國外生物材料【格式請依:寄存國家、機構、日期、號碼、順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提出一種新穎之具低雜訊的輸出緩衝電路及方法，其不但電路結構簡單，並且也可有效防止接地電壓位準浮動以及避免雜訊的發生，同時，亦可提升整個晶片之隱定度。該輸出緩衝電路主要係包含一由第PMOS電晶體M1以及第一NMOS電晶體M2所組成的CMOS反相器、一第一NPN電晶體Q1、一第二NPN電晶體Q2，、以及一控制電路1。該控制電路1係連接於CMOS反相器之輸出與接地之間，且在CMOS反相器中之第一PMOS電晶體M1導通時，該控制電路1能導通一段預定之時間，俾藉此以吸走第一PMOS電晶體M1之部份汲極電流，並使得第一NPN電晶體Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流（即輸出電流），結果，輸出電流的電流變化率變得較緩和，並且輸出電流的最大值變得較小，因此不但可有效抑制接地端所感應之瞬間電位差，並且可避免接地電壓位準的浮動以及雜訊的發生，同時亦可提升整個晶片之穩定度。

六、英文發明摘要：

七、指定代表圖：

- (一) 本案指定代表圖為：
- (二) 本代表圖之元件符號簡單說明：

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

[發明領域]

本發明係關於一種半導體積體電路中之輸出緩衝電路(output buffer)，尤指一種可降低雜訊之輸出緩衝電路及方法。

[發明背景]

現今的積體電路設計愈來愈緊密，因此對於雜訊的要求也愈來愈嚴格，然而提升積體電路之工作能力與降低雜訊之間很難取得平衡。以輸出緩衝電路為例，在設計輸出緩衝電路時，通常會針對負或的大小來定出上升時間與下降時間的規格；當輸出緩衝電路必須推動較大的負或時，為了確保上升時間與下降時間不致太長，必須把輸出緩衝電路的面積加大以提高推動能力，然而大面積的輸出緩衝電路通常會產生較大的雜訊，進而會影響整個晶片的穩定度，因此發展出一種低雜訊的輸出緩衝電路是非常必要的。

由於電晶體由關閉(OFF)至導通(ON)的轉換瞬間會有電流導通，故在電晶體轉換瞬間會有很大的電流變化率(即 $\Delta I/\Delta t$ 很大)。根據電感效應：感應電壓差為引線電感值與電流變化率的乘積(即 $V_L=LdI/dt$ ；其中 V_L 為感應電壓差， L 為引線電感值，約 $10nH$ ， dI/dt 則為電流變化率)。因此，電晶體在狀態轉換瞬間會在接地端感應一個瞬間電壓差(V_L)，該瞬間電壓差係正比於電流變化率，且可感應至晶片其它部份，此即為雜訊的來源之一。

圖一為根據先前技藝配置在一積體電路內之既有輸出緩衝電路，在積體電路內產生的輸入信號 I_N 經由一由PMOS電晶體 $M1$ 與NMOS電晶體 $M2$ 所組成的CMOS反相器緩衝後，供應到NPN電晶體 $Q1$ 的基極，該NPN電晶體 $Q1$ 的集極接一電阻 $R2$ 連接到電源供應電壓 VCC ，而該NPN電晶體 $Q1$ 的射極一方面接一電阻 $R1$ 連接到接地端，另一方面連接

到NPN電晶體Q2的基極，該NPN電晶體Q2的射極直接連到接地端，而其集極則連接到一輸出端子OUT，且由此端子連接到外部負或。

圖二是圖一輸出緩衝電路之輸出電流曲線，該圖係由OrCAD PSpice模擬取得之曲線圖。當輸入信號IN由高位準下降至低位準後，由於NPN電晶體Q2是在主動區內工作，因此流經該NPN電晶體Q2的集極電流（即輸出電流）約等於NPN電晶體Q1的基極電流和 h_{FE} （ h_{FE} 代表NPN電晶體的電流放大因數）平方之乘積，此過大的輸出電流將會造成接地位準之浮動，並從而產生雜訊，而這些都是先前技藝有待克服的問題。

有鑑於此，本發明之主要目的係提出一種新架構之輸出緩衝電路及方法，其不但能降低輸出緩衝電路上升時所流經之輸出電流的大小，並且也能降低輸出緩衝電路上升時所流經輸出電流的電流變化率，同時亦能藉此而有效防止接地電壓位準浮動和雜訊的發生。

[發明簡述]

根據上述之目的，本發明提出一種新架構之輸出緩衝電路及方法，該輸出緩衝電路係包括：一CMOS反相器，其係由第一PMOS電晶體M1以及第一NMOS電晶體M2所組成，並用以將一輸入信號IN反相；一第一NPN電晶體Q1，其基極端連接至該CMOS反相器之輸出，並具有一集極端以及一射極端；一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極端，其集極端連接至輸出端子OUT，而其射極端則接地；以及一控制電路1，其係連接於CMOS反相器之輸出與接地之間。該控制電路1更包括：一第二NMOS電晶體M3，其汲極與閘極連接在一起，並共同連接至該CMOS反相器之輸出；一第三NMOS電晶體M4，其汲極連接至第二NMOS電晶體M3之源極，而其源極則接地；以及一延遲電路11，其連接於輸入信號IN與第三NMOS電晶體M4之間極之間。

而該降低輸出緩衝電路雜訊的方法之技術特徵為：當輸入信號IN由高位準變為低位準，且在CMOS反相器中之第一PMOS電晶體M1導通時，該控制電路1能導通一段預定之時間，俾藉此以吸走第一PMOS電晶體M1之部份汲極電流，並使得第一NPN電晶體Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流（即輸出電流）。

[較佳實施例之說明]

本發明所提出輸出緩衝電路之較佳實施例顯示於第三圖中，其包括：一CMOS反相器，其係由第一PMOS電晶體M1以及第一NMOS電晶體M2所組成，並用以將一輸入信號IN反相；一第一NPN電晶體Q1，其基極端連接至該CMOS反相器之輸出，並具有一集極端以及一射極端；一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極端，其集極端連接至輸出端子OUT，而其射極端則接地；一第一電阻R1，連接於該第一NPN電晶體Q1之射極端與接地之間；一第二電阻R2，連接於該第一NPN電晶體Q1之集極端與電源供應電壓VCC之間；以及一控制電路1，其係連接於CMOS反相器之輸出與接地之間，且在CMOS反相器中之第一PMOS電晶體M1導通時，該控制電路1能導通一段預定之時間，俾藉此以吸走第一PMOS電晶體M1之部份汲極電流，並因而降低第二NPN電晶體Q2於轉換瞬間之集極電流大小及其電流變化率。

該控制電路1更包括：一第二NMOS電晶體M3，其汲極與閘極連接在一起，並共同連接至該CMOS反相器之輸出；一第三NMOS電晶體M4，其汲極連接至第二NMOS電晶體M3之源極，而其源極則接地；以及一延遲電路11，其連接於輸入信號IN與第三NMOS電晶體M4之閘極之間，且於此較佳實施例中，該延遲電路係由4個反相器所組成。但組成延遲電路之反相器之數目並不局限於4個，可視電路之需求，選擇其他偶數個。

在此電路中，當輸入信號IN在高位準時，第一PMOS電晶體M1關閉，而第一NMOS電晶體M2導通，於是可將該CMOS反相器之輸出拉低至接地電位，此接地電位遂使得第二NMOS電晶體M3、第一NPN電晶體Q1以及第二NPN電晶體Q2呈關閉狀態（此時第三NMOS電晶體M4係經一延遲電路所提供之延遲時間後呈導通狀態），因此輸出端呈高位準狀態。由此可知，當輸入信號IN呈高位準時，圖三所示的電路和圖一所示的傳統電路動作都相同，這也是設計新穎輸出緩衝電路時所必要滿足的條件之一。

而當輸入信號IN由高位準變為低位準時，第二NPN電晶體Q2導通，且是在主動區內操作。如果在這時候第一PMOS電晶體M1之汲極電流，直接成為第一NPN電晶體Q1的基極電流，則第一NPN電晶體Q1的射極電流扣抵流過第一電阻R1的微小電流後，亦直接成為第二NPN電晶體Q2的

基極電流，於是如傳統電路般，第二NPN電晶體Q2的集極電流（即輸出電流）將會約略等於第一NPN電晶體Q1的基極電流和 hFE 平方的乘積，此過大的輸出電流將會造成接地位準之浮動，並從而產生雜訊。

然而，在本發明中，當輸入信號IN由高位準變為低位準時，CMOS反相器中之第一PMOS電晶體M1導通，而第一NMOS電晶體M2關閉，並使得第一NPN電晶體Q1的基極電壓開始由低位準變為高位準，於是第二NMOS電晶體M3將由關閉狀態轉變為導通狀態，但此時由於延遲電路之作用，第三NMOS電晶體M4仍會導通一段時間後才會關閉，於該第三NMOS電晶體M4仍呈導通狀態期間，可吸走部份的第一PMOS電晶體M1之汲極電流，於是，第一NPN電晶體Q1的基極電流將減少，從而減少流經第一NPN電晶體Q1以及第二NPN電晶體Q2的集極電流。因此，流過第二NPN電晶體Q2之集極電流（即輸出電流）的電流上升變得較適中，且流過該第二NPN電晶體Q2之集極電流（即輸出電流）的電流最大值變得比傳統輸出緩衝電路之輸出電流的電流最大值還小。

圖四是本發明較佳實施例電路之輸出電流曲線，該曲線亦是由OrCAD PSpice模擬而得，由該曲線的結果，証實本發明所提出之輸出緩衝電路確實可使流過第二NPN電晶體Q2之集極電流的電流上升率變得較緩和，且流過該第二NPN電晶體Q2之集極電流的電流最大值變得比先前技藝者還小。

綜上所述，本發明於CMOS反相器之輸出與接地之間藉增添一控制電路1的新穎電路架構，確實可有效緩和輸出電流之電流變化率，並且可有效抑制輸出電流之過電流量，故本發明可有效防止接地電壓位準浮動以及避免雜訊的發生。

[發明功效]

本發明所提出之具低雜訊之輸出緩衝電路及方法，相較於先前技藝，具有如下優點：(1)電路結構簡單：本發明所提出之輸出緩衝電路，僅係在習知輸出緩衝電路之CMOS反相器的輸出與接地之間，增添一含有用以提供一預定延遲時間之延遲電路11的控制電路1，因此電路結構簡單；(2)低雜訊及高穩定度：由於本發明於CMOS反相器中之第一PMOS電晶體M1導通時，控制電路1能導通一段預定之時間，因此可吸走第一PMOS電晶體M1之部份汲極

電流，並使得第一NPN電晶體Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流（即輸出電流），結果，輸出電流的電流變化率變得較緩和，並且輸出電流的最大值變得較小，故，不但可有效抑制接地端所感應之瞬間電位差，並且可避免接地電壓位準的浮動以及雜訊的發生，同時亦可提升整個晶片之穩定度。

以上所揭示者，乃較佳實施例之展示，舉凡局部之變更或修飾而源於本案之技術思想，而為熟習該項技藝之人士所易於推知者，俱不脫本案之專權範疇。

綜上所陳，本案無論就目的、手段或功效，在在顯示符合發明之專利要件，祈早日賜予專利，俾嘉惠社會，實感德便。

圖式簡單說明

圖式簡單說明

第一圖係顯示習知輸出緩衝電路之電路圖；

第二圖 係習知輸出緩衝電路之OrCAD PSpice模擬取得之輸出電流曲線圖；

第三圖係顯示本發明實施例之輸出緩衝電路的電路圖；

第四圖係本發明輸出緩衝電路之OrCAD PSpice模擬取得之輸出電流曲線圖。

主要元件符號說明

VCC . . . 電源供應電壓

M1 . . . 第一PMOS電晶體

M2 . . . 第一NMOS電晶體

M3 . . . 第二NMOS電晶體

M4 . . . 第三NMOS電晶體

R1 . . . 第一電阻器

R2 . . . 第二電阻器

Q1 . . . 第一NPN電晶體

Q2 . . . 第二NPN電晶體

OUT . . . 輸出端子

1 . . . 控制電路

11 . . . 延遲電路

IC(Q2) . . . 第二NPN電晶體之集極電流（即輸出電流）

十、申請專利範圍：

1. 一種輸出緩衝電路，該輸出緩衝電路包括：一 CMOS 反相器，其係由第一 PMOS 電晶體 M1 以及第一 NMOS 電晶體 M2 所組成，並用以將一輸入信號 IN 反相；一第一 NPN 電晶體 Q1，其基極端連接至該 CMOS 反相器之輸出，並具有一集極端以及一射極端；一第二 NPN 電晶體 Q2，其基極端連接至該第一 NPN 電晶體 Q1 之射極端，其集極端連接至輸出端子 OUT，而其射極端則接地；以及一控制電路 1，其係連接於 CMOS 反相器之輸出與接地之間，且在 CMOS 反相器中之第一 PMOS 電晶體 M1 導通時，該控制電路 1 能導通一段預定之時間，俾藉此以吸走第一 PMOS 電晶體 M1 之部份汲極電流，並因而降低第二 NPN 電晶體 Q2 於轉換瞬間之集極電流大小及其電流變化率；該控制電路 1 更包括：一第二 NMOS 電晶體 M3，其汲極與閘極連接在一起，並共同連接至該 CMOS 反相器之輸出；一第三 NMOS 電晶體 M4，其汲極連接至第二 NMOS 電晶體 M3 之源極，而其源極則接地；以及一延遲電路 11，其連接於輸入信號 IN 與第三 NMOS 電晶體 M4 之閘極之間。

2. 如申請專利範圍第 1 項所述之輸出緩衝電路，其更包括一第一電阻 R1，連接於該第一 NPN 電晶體 Q1 之射極端與接地之間。

3. 如申請專利範圍第 2 項所述之輸出緩衝電路，其更包括一第二電阻 R2，連接於該第一 NPN 電晶體 Q1 之集極端與電源供應電壓 VCC 之間。

4. 如申請專利範圍第 1 項所述之輸出緩衝電路，其中，該延遲電路 11 係由偶數個反相器所組成。

5. 一種降低輸出緩衝電路之雜訊的方法，該輸出緩衝電路係包括：一 CMOS 反相器，其係由第一 PMOS 電晶體 M1 以及第一 NMOS 電晶體 M2 所組成，並用以將一輸入信號 IN 反相；一第一 NPN 電晶體 Q1，其基極端連接至該 CMOS 反相器之輸出，並具有一集極端以及一射極端；一第二 NPN 電晶體 Q2，其基極端連接至該第一 NPN 電晶體 Q1 之射極端，其集極端連接至輸出端子 OUT，而其射極端則接地；以及一控制電路 1，其係連接於 CMOS 反相器之輸出與接地之間；該控制電路 1 更包括：一第二 NMOS 電晶體 M3，其汲極與閘極連接在一起，並共同連接至該 CMOS 反相器之輸出；一第三 NMOS 電晶體 M4，其汲極連接至第二 NMOS 電晶體 M3 之源極，而其源極則接地；以及一延遲電路 11，其

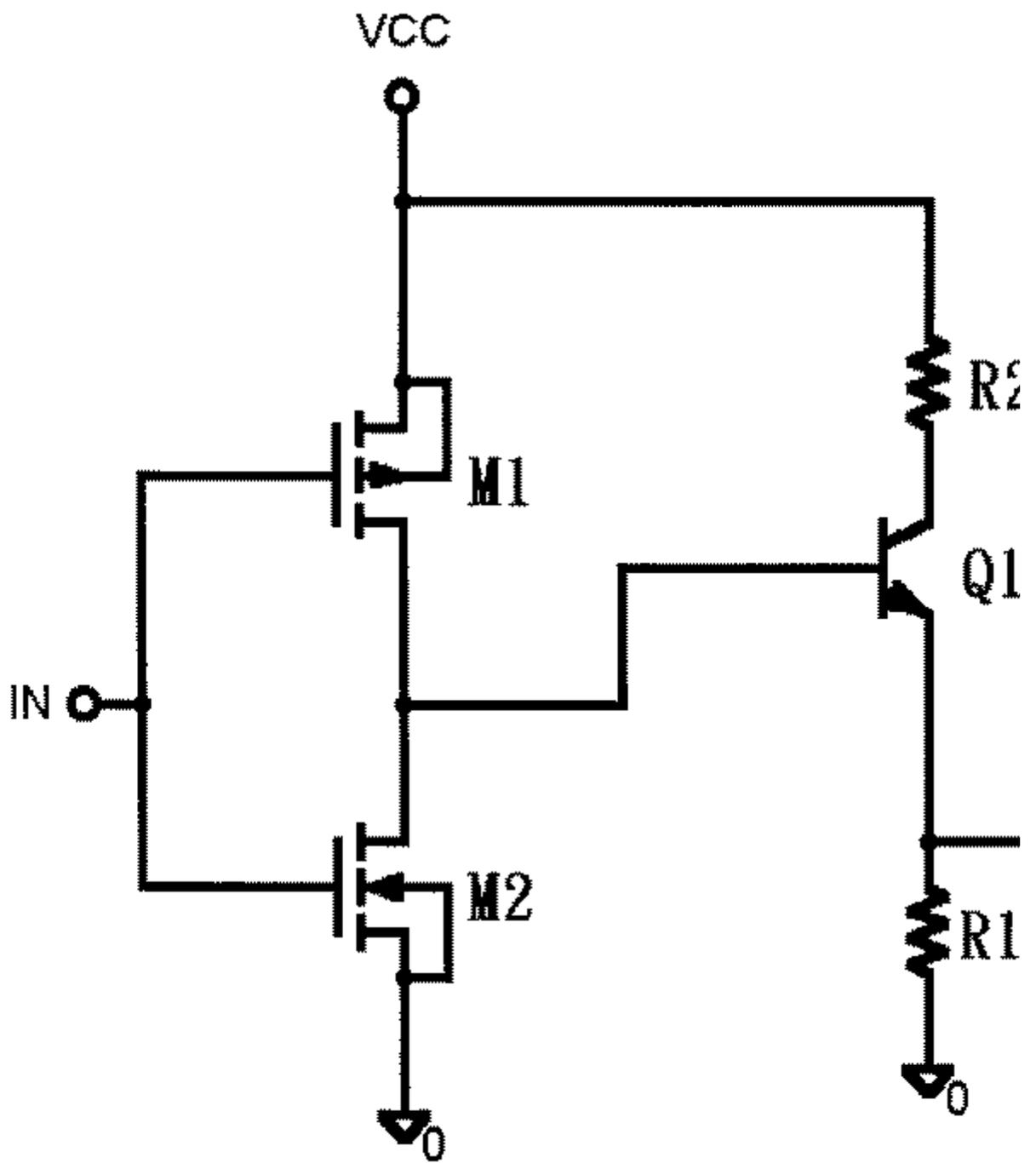
連接於輸入信號IN與第三NMOS電晶體M4之閘極之間；而該降低輸出緩衝電路雜訊的方法包含下列步驟：(a)輸入一輸入信號IN至輸出緩衝電路；(b)判斷該輸入信號IN之位準變化，亦即判斷該輸入信號IN係由高位準變為低位準，抑是由低位準變為高位準，若是該輸入信號IN係由高位準變為低位準，則在CMOS反相器中之第一PMOS電晶體M1導通時，控制該控制電路1仍能導通一段預定之時間，俾藉此以吸走該第一PMOS電晶體M1之部份汲極電流，並使得第一NPN電晶體Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流（即輸出電流）；而若是該輸入信號IN係由低位準變為高位準，則關閉該控制電路1。

6. 如申請專利範圍第5項所述之方法，該輸出緩衝電路更包括一第一電阻R1，連接於該第一NPN電晶體Q1之射極端與接地之間。

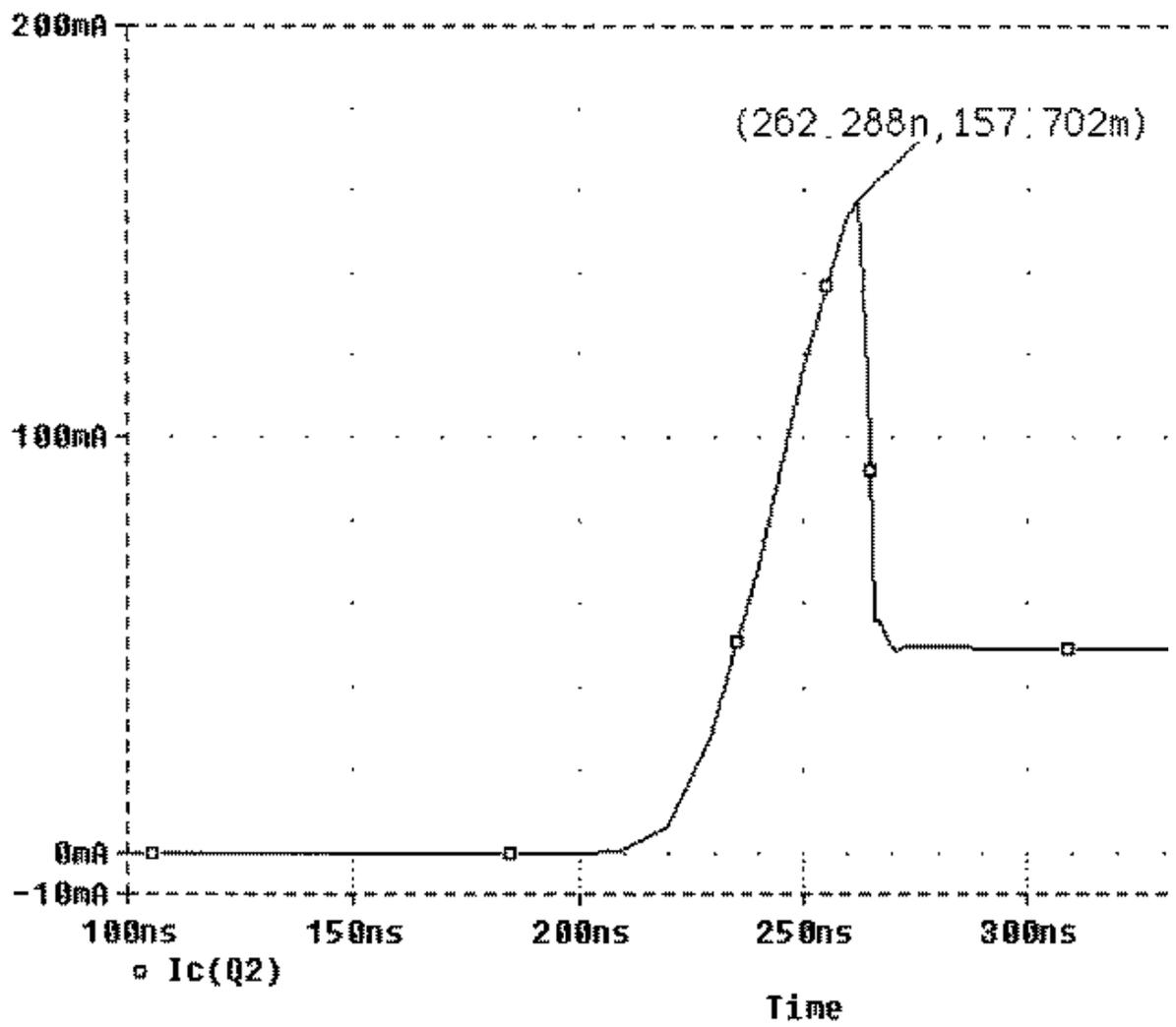
7. 如申請專利範圍第6項所述之方法，該輸出緩衝電路更包括一第二電阻R2，連接於該第一NPN電晶體Q1之集極端與電源供應電壓VCC之間。

8. 如申請專利範圍第5項所述之方法，該輸出緩衝電路中之延遲電路1係由偶數個反相器所組成。

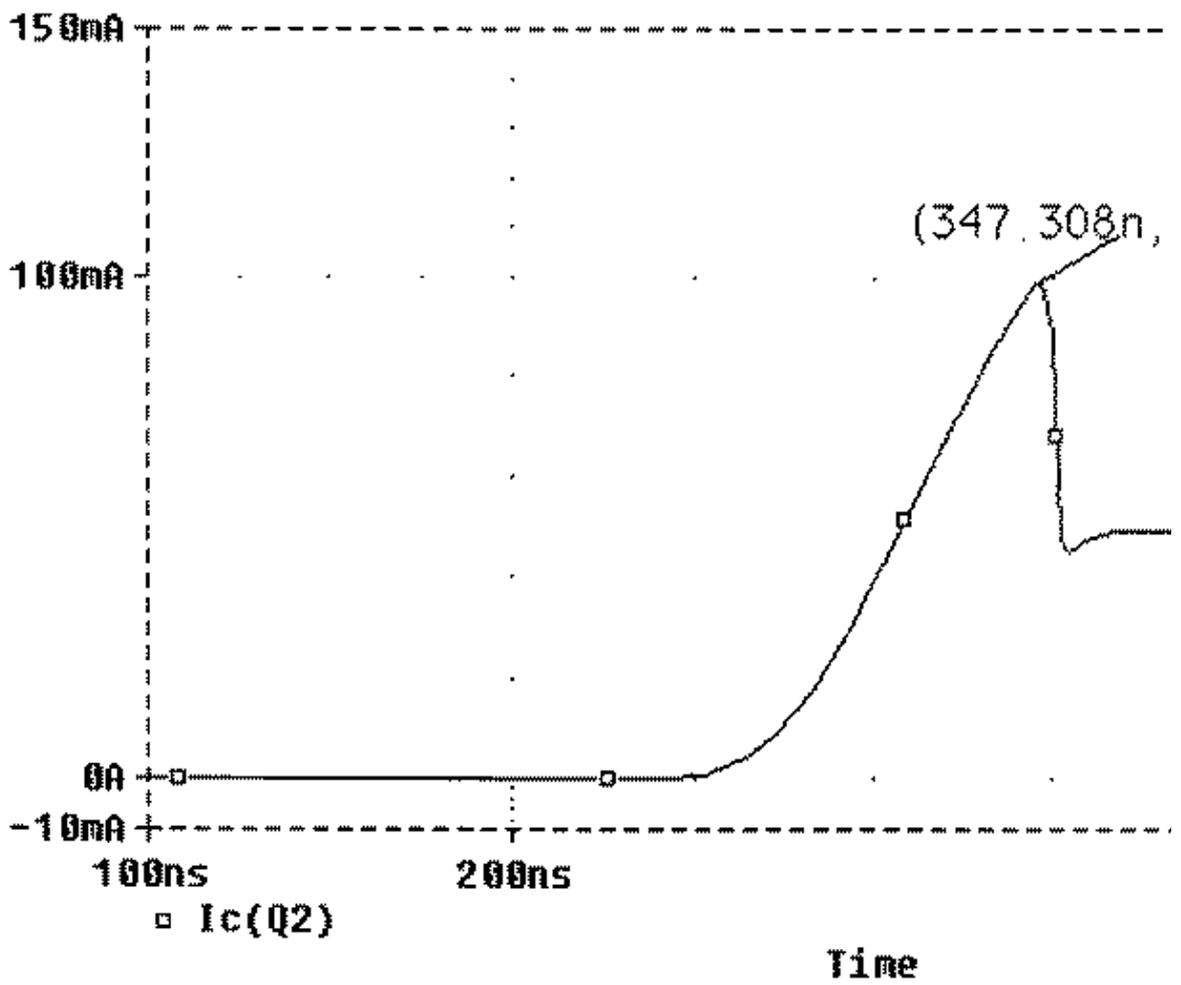
十一、圖式：



第一圖



第二圖



第 四 圖