

中華民國專利公報 [19] [12]

[11]公告編號：548654

[44]中華民國 92年(2003) 08月21日

發明

全 5 頁

[51] Int.Cl⁰⁷： G11C16/00

[54]名稱：唯讀記憶體感測電路及感測方法

[21]申請案號： 090125622

[22]申請日期：中華民國 90年(2001) 10月15日

[72]發明人：

蕭明椿

臺中縣大里市工業路十一號修平技術學院電機系

[71]申請人：

修平技術學院

臺中縣大里市工業路十一號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種唯讀記憶體感測電路，該唯讀記憶體感測電路包括：

一反或閘 NOR，其用以接受內部節點 B 之信號以及晶片致能信號 (CE)，而其電源供應端連接至第一電壓；

—第一 PMOS 電晶體 MP1，其源極連接至第一電壓，汲極連接至內部節點 A，而閘極則連接至接地電壓；

—第一 NMOS 電晶體 MN1，其源極連接至內部節點 B，汲極連接至內部節點 A，而閘極則連接至反或閘 NOR 之輸出；

一反相器 NOT，其輸入端連接至內

部節點 A，輸出端連接至內部節點 C，而電源供應端則連接至第一電壓；

—第二 NMOS 電晶體 MN2，其源極連接至輸出端子 OUT，汲極連接至第二電壓，而閘極則連接至內部節點 A；

—第三 NMOS 電晶體 MN3，其源極連接至接地電壓，汲極連接至輸出端子 OUT，而閘極連接至內部節點 C；以及

—第二 PMOS 電晶體 MP2，其源極連接至第一電壓，汲極連接至輸出端子 OUT，而閘極則連接至內部節點 C。

- 2.如申請專利範圍第1項所述之唯讀記憶體感測電路，其中，第二電壓之準位係高於第一電壓之準位。
- 3.如申請專利範圍第2項所述之唯讀記憶體感測電路，其中，第一電壓為內部電源電壓 IVC。
- 4.如申請專利範圍第2項所述之唯讀記憶體感測電路，其中，第二電壓為外部電源電壓 EVC。
- 5.如申請專利範圍第2項所述之唯讀記憶體感測電路，其中，第二電壓為第一電壓經升壓後之電壓。
- 6.如申請專利範圍第1項所述之唯讀記憶體感測電路，其中，將第二 NMOS 電晶體 MN2 設計成具大的通道寬長比 W/L 以增大其電流驅動能力，並且將第二 PMOS 電晶體 MP2 設計成具小的通道寬長比 W/L 以節省晶片面積。
- 7.一種唯讀記憶體之感測方法，該唯讀記憶體所儲存之資料係經由感測電路加以讀取，該感測電路係包括：
 - 一反或閘 NOR，其用以接受內部節點 B 之信號以及晶片致能信號 (CE)，而其電源供應端連接至第一電壓；
 - 第一 PMOS 電晶體 MP1，其源極連接至第一電壓，汲極連接至內部節點 A，而閘極則連接至接地電壓；
 - 第一 NMOS 電晶體 MN1，其源極連接至內部節點 B，汲極連接至內部節點 A，而閘極則連接至反或閘 NOR 之輸出；
 - 一反相器 NOT，其輸入連接至內部節點 A，輸出連接至內部節點 C，而電源供應端則連接至第一電壓；
 - 第二 NMOS 電晶體 MN2，其源極連接至輸出端子 OUT，汲極連接至第二電壓，而閘極則連接至內部節

- 點 A；
 - 第三 NMOS 電晶體 MN3，其源極連接至接地電壓，汲極連接至輸出端子 OUT，而閘極連接至內部節點 C；以及
 - 第二 PMOS 電晶體 MP2，其源極連接至第一電壓，汲極連接至輸出端子 OUT，而閘極則連接至內部節點 C；
- 5. 並且，當記憶體所儲存之資料為邏輯高電位時，輸出端子 OUT 拉升至第一電壓之準位的過程係分成二個階段，第一階段係將輸出端子 OUT 拉升至第一電壓扣減 V_t 之電壓準位 (其中 V_t 代表第二 NMOS 電晶體 MN2 之臨限電壓)，第二階段係將輸出端子 OUT 由第一電壓扣減 V_t 之電壓準位再拉升至第一電壓之電壓準位；其中，為了縮短第一階段所需之時間，於是在該第一階段中設計有第一與第二電流供給路徑之雙路結構，並且該第一電流供給路徑係較該第二電流供給路徑提早供給；而在該第二階段中則僅保留第二電流供給路徑。
- 10. 8.如申請專利範圍第7項所述之感測方法，其中，該第一電流供給路徑係由第二 NMOS 電晶體 MN2 所提供。
- 15. 9.如申請專利範圍第7項所述之感測方法，其中，該第二電流供給路徑係由第二 PMOS 電晶體 MP2 所提供。
- 20. 10.如申請專利範圍第9項所述之感測方法，其中，將第二 NMOS 電晶體 MN2 設計成具大的通道寬長比 W/L 以增大其電流驅動能力，並且將第二 PMOS 電晶體 MP2 設計成具小的通道寬長比 W/L 以節省晶片面積。
- 25. 35. 11.如申請專利範圍第7項所述之感測方法，其中，該第二電壓之準位係高於該第一電壓之準位。
- 30. 40.

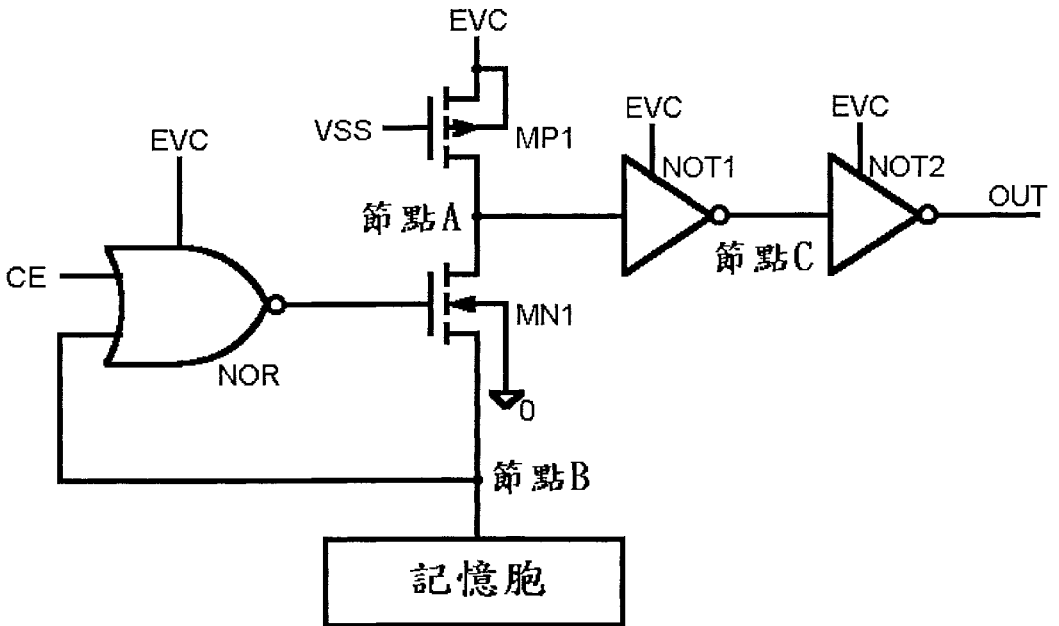
- 12.如申請專利範圍第 11 項所述之感測方法，其中，該第一電壓為內部電源電壓 IVC。
- 13.如申請專利範圍第 11 項所述之感測方法，其中，該第二電壓為外部電源電壓 EVC。
- 14.如申請專利範圍第 11 項所述之感測方法，其中，該第二電壓為第一電壓經升壓後之電壓。

圖式簡單說明：

第一圖 係顯示習知具外部電源供應電壓之唯讀記憶體感測電路之電路圖；

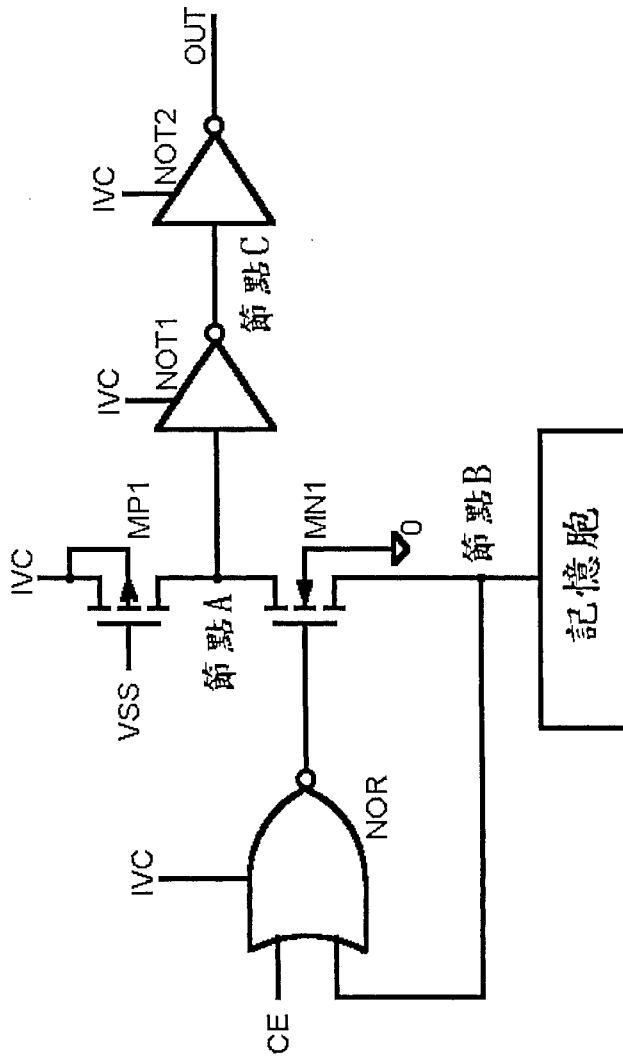
5. 第二圖 係顯示習知具內部電源供應電壓之唯讀記憶體感測電路之電路圖；

第三圖 係顯示本發明實施例之唯讀記憶體感測電路之電路圖。



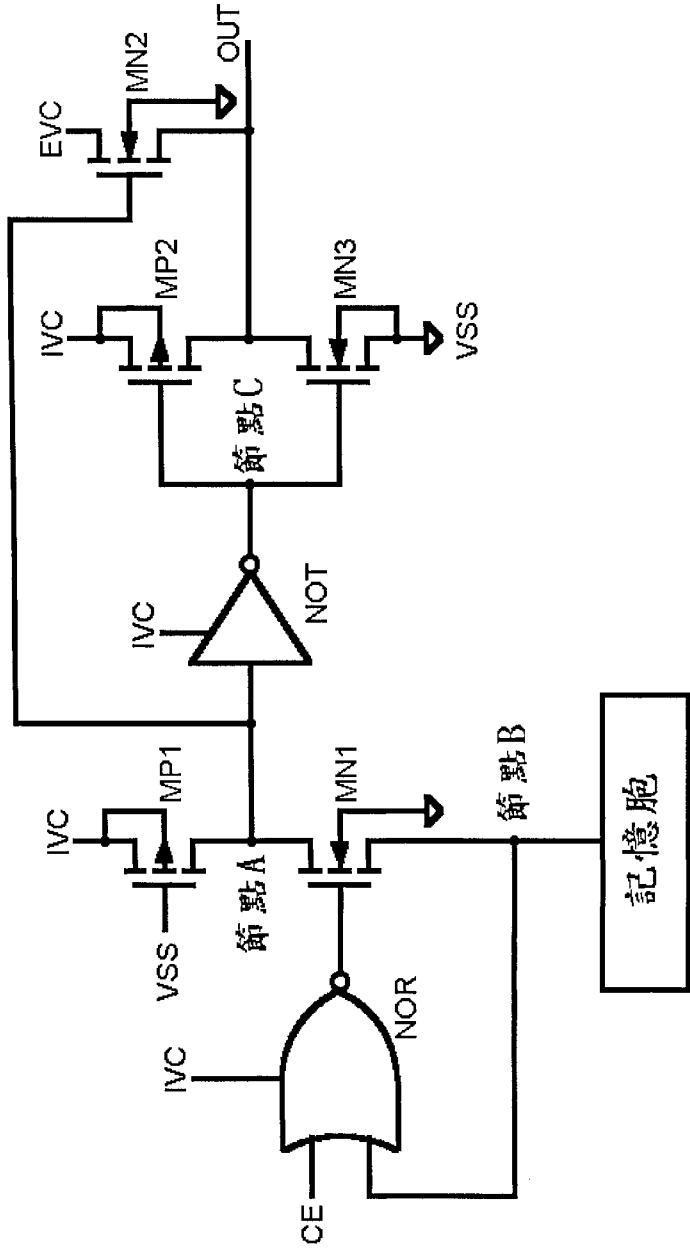
第一圖

(4)



第二圖

(5)



第三圖

