

發明專利說明書

[本說明書格式，順序及粗體字，請勿任意更動，※號部份請勿填寫]

※申請案號： 090125622

※申請日期： 20011015

※IPC分類： Int.Cl.(7) G11C 16/00

一、發明名稱：(中文/英文)

唯讀記憶體感測電路及感測方法

二、申請人：共 1 人

1.

姓名或名稱：(中文/英文)

修平技術學院 / HSIUPING INSTITUTE OF TECHNOLOGY

代 表 人：(中文/英文)

/

住居所或營業所地址：(中文/英文)

臺中縣大里市工業路十一號 /

國 籍：(中文/英文)

中華民國 / TW

三、發明人：共 1 人

1.

姓名：(中文/英文)

蕭明椿 / SHIAU, MING-CHUEN

國 籍：(中文/英文)

中華民國 / TW

四、聲明事項

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：年 月 日

申請前已向下列國家(地區)申請專利：

【格式請依:受理國家(地區)、申請日、申請案號、順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依:申請日、申請案號、順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料【格式請依:寄存機構、日期、號碼、順序註記】

國外生物材料【格式請依:寄存國家、機構、日期、號碼、順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提出一種新穎之唯讀記憶體感測電路及感測方法，其不但能一方面追求記憶體之高速操作，並且亦能滿足低功率消耗之需求。該感測方法係在記憶體所儲存之資料為邏輯高電位時，將輸出端子OUT拉升至第一電壓準位的過程分成二個階段，第一階段係將輸出端子OUT拉升至第一電壓扣減 V_t 之電壓準位(其中 V_t 代表電晶體之臨限電壓)，第二階段係將輸出端子OUT由第一電壓扣減 V_t 之電壓準位再拉升至第一電壓之電壓準位；並且，為了有效縮短第一階段所需之時間，於是在該第一階段中設計有第一與第二電流供給路徑之雙路結構，並且該第一電流供給路徑係較該第二電流供給路徑提早供給；而在該第二階段中則僅保留第二電流供給路徑。

六、英文發明摘要：

七、指定代表圖：

(一) 本案指定代表圖為：

(二) 本代表圖之元件符號簡單說明：

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

[發明領域]

本發明係關於一種唯讀記憶體感測電路及感測方法，尤指一種兼具高速操作及低功率消耗雙重功效之唯讀記憶體感測電路及感測方法。

[發明背景]

半導體記憶裝置之速度及統合一直呈穩定的增加，由於使用電池操作之筆記型電腦之增加使用，半導體記憶裝置必須有非常低之功率消耗。通常，半導體記憶晶片包括一內部電源供應電壓產生器以供低電壓操作及低功率消耗，該內部電源供應電壓產生器接收一自晶片以外之外部電源供應電壓EVC以產生低於外部電源電壓的內部電源供應電壓IVC，該內部電源供應電壓IVC係供半導體記憶裝置之主電路之用，以降低功率消耗。

唯讀記憶體(read-only memory, ROM)是一種非揮發性半導體記憶體(nonVolatile SemiConductor memory)，其適用於需要高密度及高固定性記憶體之系統中。由於唯讀記憶體之特性為可讀取但不可寫入，其所儲存之資料特性為永久且不會被抹滅的，因此一般家電產品、遊樂器、或微處理控制器等，即經常利用唯讀記憶體來儲存資料。

唯讀記憶體所儲存之資料係經由感測放大電路(senseamplifier)加以讀取，該感測放大電路將唯讀記憶體中之微弱電流加以放大後輸出。習知感測放大電路如第一圖所示，該感測放大電路包括一NMOS電晶體MN1、一PMOS電晶體MP1、一反或閘NOR以及一第一與第二反相器NOT1和NOT2，其中PMOS電晶體MP1之源極端(Source)以及反或閘NOR、第一與第二反相器NOT1和NOT2之電源供應端均係連接至外部電源供應電壓EVC。

記憶體之電位有浮接(floating)及低電位(VSS)兩種狀態，當記憶體電位為低電位(VSS)時，反或閘NOR即會輸出一準位為外部電源電壓EVC之高電位至電晶體MN1並使其導通(ON)，此記憶體之低電位即經由電晶體MN1傳送至節點A，且經由第一與第二反相器NOT1和NOT2加以放大後輸出VSS，即完成低電位狀態之感測。

而當記憶體電位為浮接(floating)時，電晶體MN1呈關閉(OFF)狀態，此時電晶體MP1係組成一pull-high電路，外部電源供應電壓EVC將使電晶體MP1導通(ON)，並將節點A之電位拉升至外部電源電壓EVC，再經由第一與第二反相器NOT1和NOT2加以放大後輸出EVC，即完成浮接狀態之感測。

但第一圖所示之習知感測放大電路係以電壓率位高於內部電源電壓IVC之外部電源供應電壓EVC作為供應電壓，其雖可達到高速操作之功效，但卻使功率消耗增加，而不利於筆記型電腦之使用。

另一種習知之感測放大電路如第二圖所示，其除了以內部電源供應電壓IVC作為供應電壓以外，組成構件均與第一圖所示之習知感測放大電路相同，因此省去工作原理之說明。但第二圖所示之習知感測放大電路雖可達到降低功率消耗之功效，但在高速操作上卻有困難。

其他已知的感測放大電路，例如於美國專利案第US4651302、US4758748、US4821239以及US5543738號專利案與中華民國申請案號第84121371、84207807以及89202583號專利案中所揭露者，其應用在以內部電源供應電壓IVC作為供應電壓時，均產生高速操作困難之問題。

有鑑於此，本發明之主要目的係提出一種新穎之唯讀記憶體感測電路及感測方法，其不但能一方面追求記憶體之高速操作，並且亦能滿足低功率消耗之需求。

[發明簡述]

根據上述之目的，本發明提出一種新穎之唯讀記憶體感測電路及感測方法，該感測電路係包括：一反或閘NOR，其用以接受內部節點B之信號以及晶片致能信號(CE)，而其電源供應端連接至第一電壓：一第一PMOS電晶體MP1，其源極連接至第一電壓，汲極連接至內部節點A，而閘極則連接至接地電壓：一第一NMOS電晶體MN1，其源極連接至內部節點B，汲極連接至內部節點A，而閘極則連接至反或閘NOR之輸出：一反相器NOT，其輸入端連接至內部節點A，輸出端連接至內部節點C，而電源供應端則連接至第一電壓：一第二NMOS電晶體MN2，其源極連接至輸出端子OUT，汲極連接至第二電壓，而閘極則連接至內部節點A：一第三NMOS電晶體MN3，其源極連接至接地電壓，汲極連接至輸出端子OUT，而閘極則連接至內

部節點C：以及一第二PMOS電晶體MP2，其源極連接至第一電壓，汲極連接至輸出端子OUT，而閘極則連接至內部節點C。其中，該第二電壓之率位係高於該第一電壓之準位而該感測方法在記憶體所儲存之資料為邏輯高電位時，將輸出端子OUT拉升至第一電壓準位的過程分成二個階段，第一階段係將輸出端子OUT拉升至第一電壓扣減 V_t 之電壓率位（其中 V_t 代表電晶體之臨限電壓），第二階段係將輸出端子OUT由第一電壓扣減 V_t 之電壓準位再拉升至第一電壓之電壓準位；其中，為了縮短第一階段所需之時間，於是在該第一階段中設計有第一與第二電流供給路徑之雙路結構，並且該第一電流供給路徑係較該第二電流供給路徑提早供給；而在該第二階段中則僅保留第二電流供給路徑。

[發明實施例之說明]

本發明所提出之唯讀記憶體感測電路顯示於第三圖中，其包括：一反或閘NOR，其用以接受內部節點B之信號以及晶片致能信號(CE)；一第一PMOS電晶體MP1，其源極連接至內部電源電壓IVC，汲極連接至內部節點A，而閘極則連接至接地電壓；一第一NMOS電晶體MN1，其源極連接至內部節點B，汲極連接至內部節點A，而閘極則連接至反或閘NOR之輸出；一反相器NOT，其輸入端連接至內部節點A，輸出端連接至內部節點C，而電源供應端則連接至內部電源電壓IVC；一第二NMOS電晶體MN2，其源極連接至輸出端子OUT，汲極連接至外部電源電壓EVC，而閘極則連接至內部節點A；一第三NMOS電晶體MN3，其源極連接至接地電壓，汲極連接至輸出端子OUT，而閘極則連接至內部節點C；以及一第二PMOS電晶體MP2，其源極連接至內部電源電壓IVC，汲極連接至輸出端子OUT，而閘極則連接至內部節點C。

於此，當記憶體電位為低電位(VSS)時，反或閘NOR即會輸出一率位為內部電源電壓IVC之高電位至第一NMOS電晶體MN1並使其導通(ON)，此記憶體之低電位即經由第一NMOS電晶體MN1傳送至內部節點A，此低電位之內部節點A一方面使得第二NMOS電晶體MN2呈關閉(OFF)狀態，另一方面經由反相器NOT反相後輸出高電位至內部節點C，此高電位之內部節點C遂使得第二PMOS電晶體MP2呈關閉(OFF)狀態，並使得第三NMOS電晶體MN3呈導通(ON)狀態，因此可有效將輸出端子OUT拉下至低電位狀態而完成

低電位狀態之感測。

當記憶體電位為浮接(floating)時，第一NMOS電晶體MN1呈關閉(OFF)狀態，此時第一PMOS電晶體MP1係組成一pull-high電路，內部電源供應電壓IVC將使第一PMOS電晶體MP1導通(ON)，並將內部節點A之電位拉升至內部電源電壓IVC，此高電位之內部節點A，一方面使得第二NMOS電晶體MN2呈導通(ON)狀態，於是可迅速地將輸出端子OUT拉升至 $IVC - V_t$ 之電壓率位（其中 V_t 代表第二NMOS電晶體MN2之臨限電壓）而另一方面經由反相器NOT反相後輸出低電位至內部節點C，此低電位之內部節點C遂使得第二PMOS電晶體MP2呈導通(ON)狀態，並使得第三NMOS電晶體MN3呈關閉(OFF)狀態，因此可有效將輸出端子OUT再拉升至內部電源電壓IVC之準位而完成浮接狀態之感測。

由於輸出端子OUT拉升至內部電源電壓IVC之率位的過程係分成二個階段，第一階段係將輸出端子OUT拉升至 $IVC - V_t$ 之電壓準位（其中 V_t 代表第二NMOS電晶體MN2之臨限電壓），此時第二NMOS電晶體MN2以及第二PMOS電晶體MP2均呈導通(ON)狀態，因此具有雙電流供給路徑，並且因第二NMOS電晶體MN2係直接由內部節點A驅動導通，相較於第一圖或第二圖之先前技藝，本發明之第二NMOS電晶體MN2具有提早導通之效果，故可有效縮短第一階段所需之時間。第二階段係將輸出端子OUT由 $IVC - V_t$ 之電壓準位拉升至內部電源電壓IVC之率位，此時因第二NMOS電晶體MN2呈關閉狀態，而第二PMOS電晶體MP2仍呈導通狀態，因而與第一圖或第二圖之先前技藝一樣，僅具有單一之電流供給路徑。

綜上所述，本發明之唯讀記憶體感測電路於輸出端子OUT處增設有一汲極連接至外部電源電壓EVC、閘極連接至位於反相器NOT之前的內部節點A之第二NMOS電晶體MN2，其可提早並有效地將輸出端子OUT迅速拉升至 $IVC - V_t$ 之準位；同時，因輸出端子OUT之電壓擺幅(voltage swing)係等於內部電源電壓IVC之準位，而非外部電源電壓EVC之率位，因此，本發明之唯讀記憶體感測電路不但能一方面追求記憶體之高速操作，並且亦能滿足低功率消耗之需求。

在此，為了追求記憶體之更高速操作，可將第二NMOS電晶體MN2設計成具大的通道寬長比 W/L 以增大其電

流驅動能力，並且將第二PMOS電晶體MP2設計成具小的通道寬長比W/L以節省晶片面積。

[發明功效]

由於本發明之唯讀記憶體感測電路增設有一具大的通道寬長比W/L之NMOS電晶體MN2，並將該NMOS電晶體MN2之源極連接至輸出端子OUT，汲極連接至外部電源電壓EVC，而閘極則連接至位於反相器NOT之前的內部節點A，因此於輸出端子OUT由低電位充電至高電位時，可提早並快速地完成其操作，故本發明明具高速操作之功效。同時，因輸出端子OUT之電壓擺幅(voltage swing)係等於內部電源電壓IVC之準位，而非外部電源電壓EVC之準位，因此，本發明亦可有效降低功率消耗。

以上所揭示者，乃較佳實施例之展示，舉凡局部之變更或修飾而源於本案之技術思想，而為熟習該項技藝之人士所易於推知者，俱不脫本案之專權範疇。

綜上所陳，本案無論就目的、手段或功效，在在顯示符合發明之專利要件，祈早日賜予專利，俾嘉惠社會，實感德便。

圖式簡單說明

第一圖係顯示習知具外部電源供應電壓之唯讀記憶體感測電路之電路圖；

第二圖係顯示習知具內部電源供應電壓之唯讀記憶體感測電路之電路圖；

第三圖係顯示本發明實施例之唯讀記憶體感測電路之電路圖。

主要元件符號說明

- CE . . . 晶片致能信號
- EVC . . . 外部電源電壓
- IVC . . . 內部電源電壓
- MP1、MP2 . . . PMOS電晶體
- MN1、MN2、MN3 . . . NMOS電晶體
- NOT、NOT1、NOT2 . . . 反相器
- NOR . . . 反或閘
- OUT . . . 輸出端子
- VSS . . . 接地

十、申請專利範圍：

1. 一種唯讀記憶體感測電路，該唯讀記憶體感測電路包括：一反或閘NOR，其用以接受內部節點B之信號以及晶片致能信號(CE)，而其電源供應端連接至第一電壓；一第一PMOS電晶體MP1，其源極連接至第一電壓，汲極連接至內部節點A，而閘極則連接至接地電壓；一第一NMOS電晶體MN1，其源極連接至內部節點B，汲極連接至內部節點A，而閘極則連接至反或閘NOR之輸出；一反相器NOT，其輸入端連接至內部節點A，輸出端連接至內部節點C，而電源供應端則連接至第一電壓；一第二NMOS電晶體MN2，其源極連接至輸出端子OUT，汲極連接至第二電壓，而閘極則連接至內部節點A；一第三NMOS電晶體MN3，其源極連接至接地電壓，汲極連接至輸出端子OUT，而閘極連接至內部節點C；以及一第二PMOS電晶體MP2，其源極連接至第一電壓，汲極連接至輸出端子OUT，而閘極則連接至內部節點C。

2. 如申請專利範圍第1項所述之唯讀記憶體感測電路，其中，第二電壓之準位係高於第一電壓之準位。

3. 如申請專利範圍第2項所述之唯讀記憶體感測電路，其中，第一電壓為內部電源電壓IVC。

4. 如申請專利範圍第2項所述之唯讀記憶體感測電路，其中，第二電壓為外部電源電壓EVC。

5. 如申請專利範圍第2項所述之唯讀記憶體感測電路，其中，第二電壓為第一電壓經升壓後之電壓。

6. 如申請專利範圍第1項所述之唯讀記憶體感測電路，其中，將第二NMOS電晶體MN2設計成具大的通道寬長比 W/L 以增大其電流驅動能力，並且將第二PMOS電晶體MP2設計成具小的通道寬長比 W/L 以節省晶片面積。

7. 一種唯讀記憶體之感測方法，該唯讀記憶體所儲存之資料係經由感測電路加以讀取，該感測電路係包括：一反或閘NOR，其用以接受內部節點B之信號以及晶片致能信號(CE)，而其電源供應端連接至第一電壓；一第一PMOS電晶體MP1，其源極連接至第一電壓，汲極連接至內部節點A，而閘極則連接至接地電壓；一第一NMOS電晶體MN1，其源極連接至內部節點B，汲極連接至內部節點A，而閘極則連接至反或閘NOR之輸出；一反相器NOT，其輸入連接至內部節點A，輸出連接至內部節點C，而電源供應端則連接至第一電壓；一第二NMOS電晶體MN2，其源極連接至輸出端子OUT，汲極連接至第二電壓，而閘極

則連接至內部節點A；一第三NMOS電晶體MN3，其源極連接至接地電壓，汲極連接至輸出端子OUT，而閘極連接至內部節點C；以及一第二PMOS電晶體MP2，其源極連接至第一電壓，汲極連接至輸出端子OUT，而閘極則連接至內部節點C；並且，當記憶體所儲存之資料為邏輯高電位時，輸出端子OUT拉升至第一電壓之準位的過程係分成二個階段，第一階段係將輸出端子OUT拉升至第一電壓扣減 V_t 之電壓準位（其中 V_t 代表第二NMOS電晶體MN2之臨限電壓），第二階段係將輸出端子OUT由第一電壓扣減 V_t 之電壓率位再拉升至第一電壓之電壓率位；其中，為了縮短第一階段所需之時間，於是在該第一階段中設計有第一與第二電流供給路徑之雙路結構，並且該第一電流供給路徑係較該第二電流供給路徑提早供給；而在該第二階段中則僅保留第二電流供給路徑。

8. 如申請專利範圍第7項所述之感測方法，其中，該第一電流供給路徑係由第二NMOS電晶體MN2所提供。

9. 如申請專利範圍第7項所述之感測方法，其中，該第二電流供給路徑係由第二PMOS電晶體MP2所提供。

10. 如申請專利範圍第9項所述之感測方法，其中，將第二NMOS電晶體MN2設計成具大的通道寬長比 W/L 以增大其電流驅動能力，並且將第二PMOS電晶體MP2設計成具小的通道寬長比 W/L 以節省晶片面積。

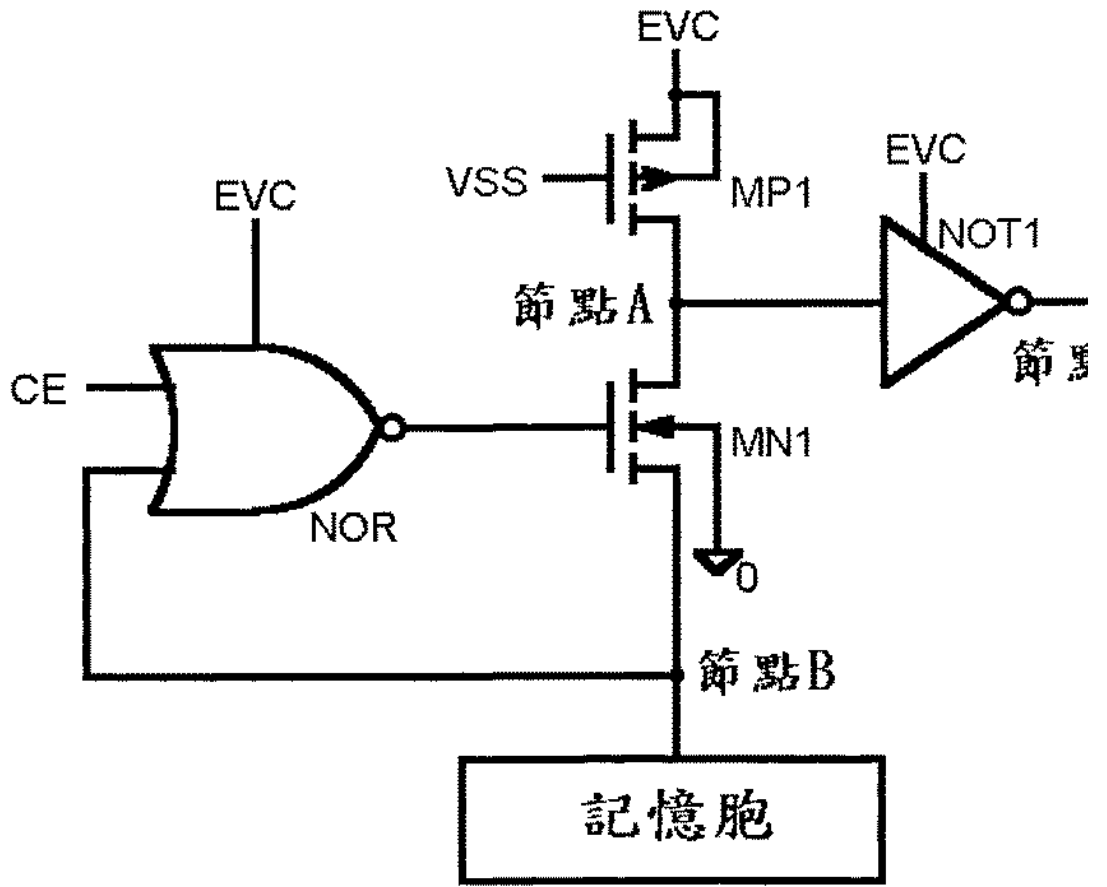
11. 如申請專利範圍第7項所述之感測方法，其中，該第二電壓之準位係高於該第一電壓之準位。

12. 如申請專利範圍第11項所述之感測方法，其中，該第一電壓為內部電源電壓IVC。

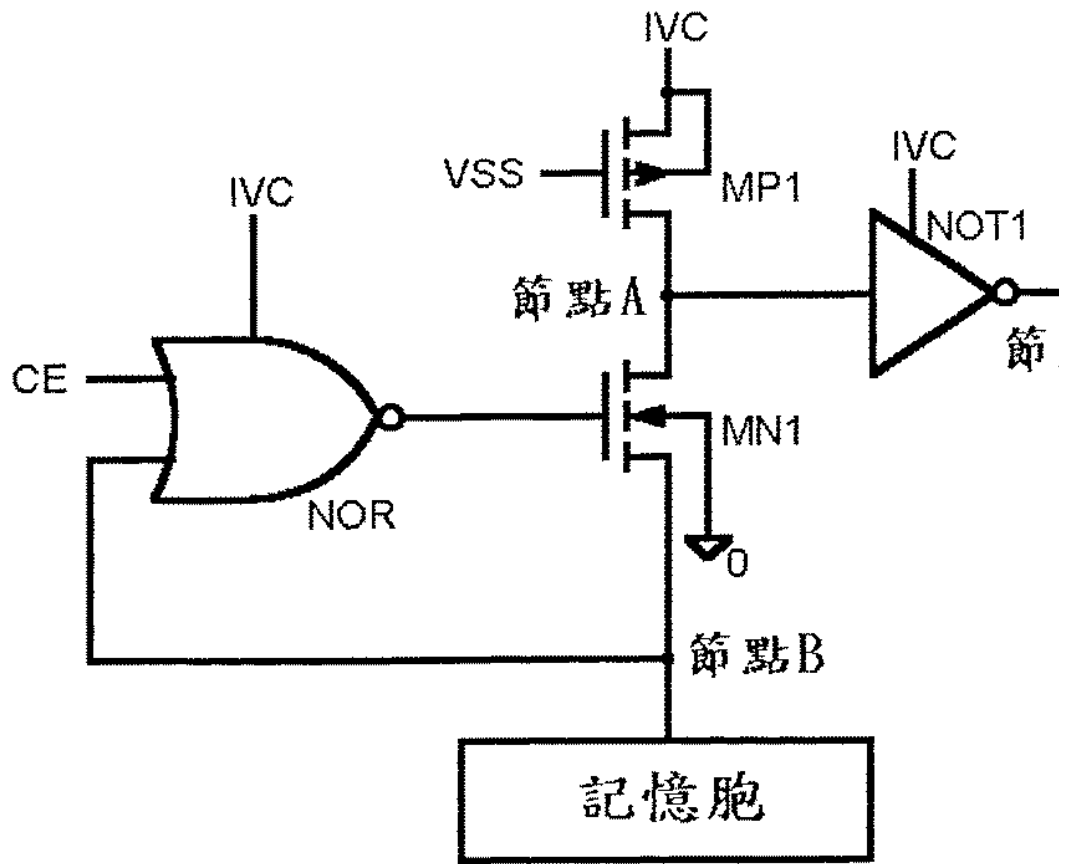
13. 如申請專利範圍第11項所述之感測方法，其中，該第二電壓為外部電源電壓EVC。

14. 如申請專利範圍第11項所述之感測方法，其中，該第二電壓為第一電壓經升壓後之電壓。

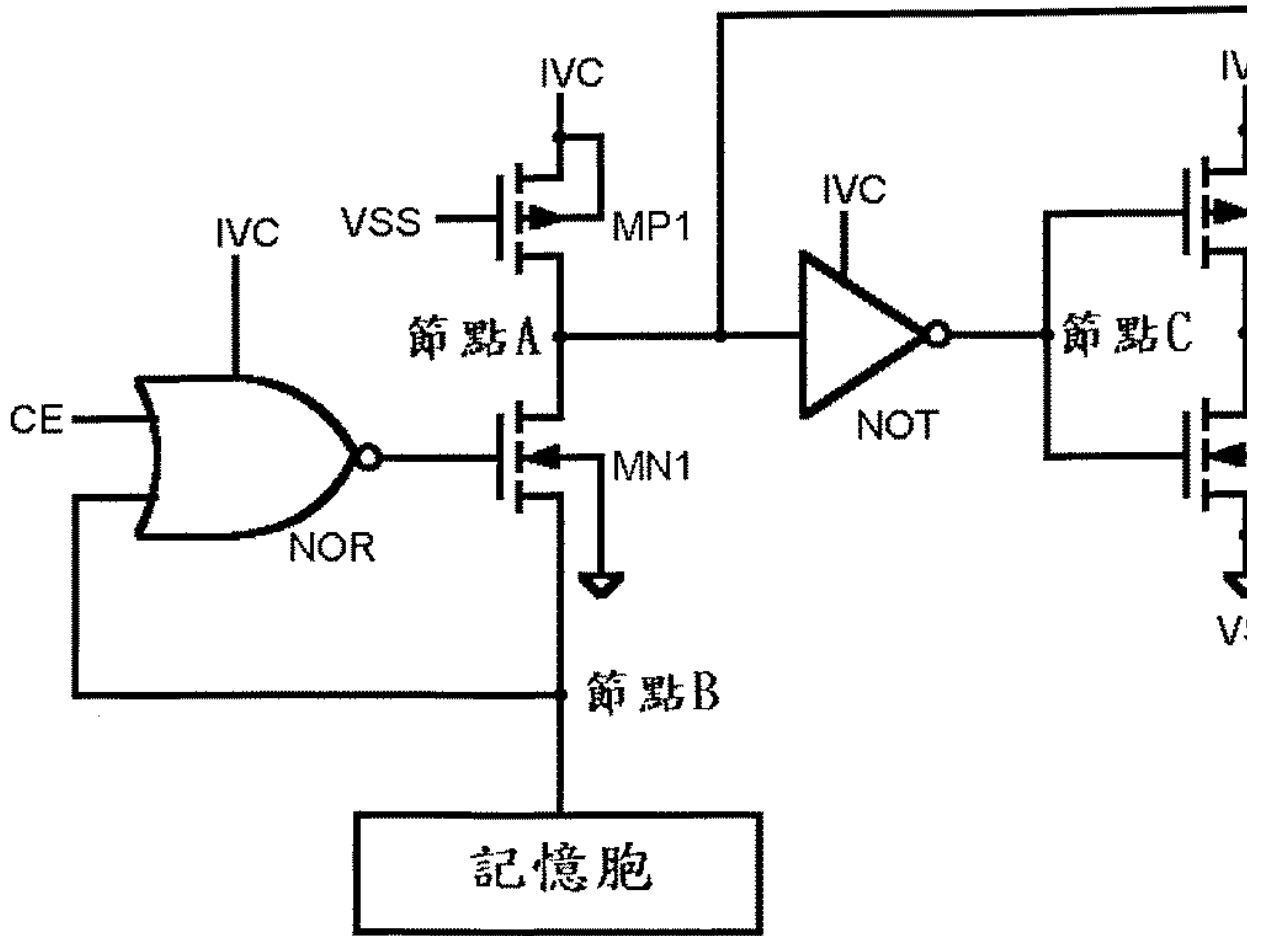
十一、圖式：



第一圖



第二圖



第三圖