

發明專利說明書

※申請案號：

※申請日期：

※IPC分類：

一、發明名稱：(中文/英文)

具低電流消耗的電壓峰值檢知器 / Peak Voltage Detector Having Lower Current Consumption

二、申請人：共 人

指定為應受送達人

三、發明人：

◎專利代理人：

四、聲明事項

主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

主張專利法第二十六條微生物：

熟習該項技術者易於獲得，不須寄存

五、中文發明摘要：

本發明提出一種具低功率消耗的電壓峰值檢知器，其係由一差動放大器1、一電流鏡2、以及一電容器C所組成，其中，該差動放大器1係做為比較器使用，其兩輸入端係分別接受輸入信號V(IN)及檢知器之輸出電壓回授信號V(OUT)，並提供適當之充電電流給電流鏡2，以便取得輸入信號V(IN)之峰值做為輸出電壓信號，而該電流鏡2係作為充電器使用，用以提供電容器C所需之充電電流，該差動放大器1係由第一PMOS電晶體MP1、第二PMOS電晶體MP2、第一NMOS電晶體MN1、第二NMOS電晶體MN2以及第三NMOS電晶體MN3所組成，其中，該第一NMOS電晶體MN1和第二NMOS電晶體MN2係做為驅動器(driver)使用，該第一PMOS電晶體MP1和第二PMOS電晶體MP2係做為主動負載(active load)使用，第三NMOS電晶體MN3作為一電流源使用且設計成二極體形式，以便提供一電流給該差動放大器1使用。本發明所提出之電壓峰值檢知器，不但能精確地檢測出輸入信號之峰值電壓，並且也能有效地減少功率消耗。

六、英文發明摘要：

A peak voltage detector having lower current consumption includes a differential amplifier (1), a current mirror (2) and a capacitor (C). Among them, the differential amplifier serves as a comparator, receiving both the input signal V (IN) and the output feedback signal V (OUT), and the current mirror supplies the capacitor with needed charge current. The differential amplifier consists of the first PMOS transistor (MP1), the second PMOS transistor (MP2), the first NMOS transistor (MN1), the second NMOS transistor (MN2) and the third NMOS transistor (MN3). Within which, the NMOS transistors MN1 and MN2 work as drivers while the PMOS transistor MP1 acts as the load transistor, and the NMOS transistor MN3 configured as a diode form provides a reference current to the differential amplifier. The peak voltage detector can both accurately measure the peak voltage of input signal and efficiently lessen the power dissipation.

七、指定代表圖：

(一) 本案指定代表圖為：

(二) 本代表圖之元件代表符號簡單說明：

- 1 . . . 差動放大器
- 2 . . . 電流鏡
- GND . . . 接地
- Vdd . . . 電源電壓
- V(IN) . . . 輸入電壓信號
- V(OUT) . . . 輸出電壓信號
- MP1 . . . 第一PMOS電晶體
- MP2 . . . 第二PMOS電晶體
- MP3 . . . 第三PMOS電晶體
- MP4 . . . 第四PMOS電晶體
- MN1 . . . 第一NMOS電晶體
- MN2 . . . 第二NMOS電晶體
- MN3 . . . 第三NMOS電晶體
- C . . . 電容器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

[發明所屬之技術領域]

本發明係有關一種電壓峰值檢知器，尤指利用一差動放大器、一電流鏡、一控制電晶體、以及一電容器所組成以求獲得精確電壓峰值且具有低功率消耗之互補式金氧半(CMOS)電子電路。

[先前技術]

電壓峰值檢知器係一種電子電路，能夠測得一電壓波形之最大值，質言之，該電路之輸入為一變動之電壓信號，而其輸出則是該輸入電壓波形之最大值。

在許多應用中，輸入電壓信號之峰值必須被測出，然後將之以直流電型態保留住以便後續分析、使用。一個脈衝串之尖峰值常比它的平均值要更有用，例如當執行破壞性測試時，就有必要追尋出並保持峰值信號，而量測電壓信號在傳輸媒介上之衰減量、類比至數位轉換器(A/D converter)、最大近似解碼系統(maximum likelihood decoding system)以及用以檢測核輻射之脈衝信號檢測電路等也需要用到電壓峰值檢知器。

先前技藝(prior art)中，電壓峰值檢知器之最簡單作法係令輸入電壓信號通過二極體，而對電容充電，以便取得該輸入電壓波形之峰值。

如第一圖所示，當輸入電壓 $V(IN)$ 大於電容器 C 之電壓時，二極體 D 導通，遂行充電作用，直到輸入電壓 $V(IN)$ 到達其最大值，電容器 C 不能再繼續充電，此時輸出電壓 $V(OUT)$ 即表示輸入電壓 $V(IN)$ 之峰值。

由於輸出端與輸入端之間存在二極體 D ，此電路無法精確地檢得輸入電壓 $V(IN)$ 之真正峰值。換言之，輸出電壓 $V(OUT)$ 與輸入電壓 $V(IN)$ 之峰值之間永遠存在二極體導通電壓 V_d 之誤差。亦即， $MAX(V(OUT))=MAX(V(IN))-V_d$ ，如第二圖所示(該圖係OrCAD PSpice之暫態分析模擬結果)。

對於許多應用而言，上述二極體導通電壓 V_d 之誤差係不欲見到的，並且該電壓差會因為使用不同之二極體而有所差異，可能導致不良之影響或不可預測之後果。

為了能夠精確地檢測輸入之峰值電壓，另一種常用之先

前技藝係使用了由二個運算放大器OP1和OP2、二個二極體D1和D2、二個電阻器R1和R2、以及一個電容器C來構成一電壓峰值檢知器，如第三圖所示，其OrCAD PSpice之暫態分析模擬結果，如第四圖所示。其中，OP1是一個精確的半波整流器，當輸入電壓 $V(IN)$ 大於電容電壓 $V(C)$ 時，二極體D1將傳送偏壓對電容器C1進行充電，最後電容電壓 $V(C)$ 將會與輸入電壓 $V(IN)$ 之峰值電壓相當接近，所檢測出的輸出電壓 $V(OUT)$ 也會與輸入電壓 $V(IN)$ 之峰值電壓相當接近，不會再有如第二圖所示於輸出端與輸入端之間存在一二極體導通電壓 V_d 之誤差。而當輸入電壓 $V(IN)$ 小於電容電壓 $V(C)$ 時，二極體D2將會導通，二極體D1將會截止而不再對電容器C進行充電之動作，這使得所檢測出的輸出電壓 $V(OUT)$ 會等於輸入電壓 $V(IN)$ 之峰值電壓。雖說第三圖之電壓峰值檢知器能精確地檢測出峰值電壓，但其電路結構複雜、佔用的晶片面積大，實不利於積體電路之要求。

迄今，有許多電壓峰值檢知器之技術被提出，例如於美國專利案第US5304939、5502746、5546027、5969545、6051998、6064238和6472861號以及中華民國專利案公告案號第476418號中所揭露者均是，該等技術均能精確地檢測輸入信號之峰值電壓，但由於該等電壓峰值檢知器均使用到一個以上之運算放大器，因此存在有電路結構複雜、佔用的晶片面積大等缺失；此外，該等電壓峰值檢知器並未考慮到如何節省功率消耗之問題。

最近，有幾種不需使用到運算放大器之精密電壓峰值檢知器之技術被提出，例如中華民國專利案公告案號第517161號(其主要代表圖如第五圖所示)、第523592號、第I223078號、第I223079號、第I223080號和第I223081號中所揭露者即是，該等技術係由本申請人提出，其係以一差動放大器和一電流鏡所組成的電路來取代運算放大器，由於並不使用到運算放大器，因此，具備電路結構簡單、佔用的晶片面積小以及有利於裝置之小型化等多重功效。然而，該等技術亦未考慮到如何減少功率消耗之問題，因此仍有改良空間存在。

為了減少精密電壓峰值檢知器之功率消耗，本申請人曾提出中華民國公告案號第M276200號「具低功率消耗之電壓峰值檢知器」專利案，主要代表圖如第六圖所示，其係藉由連接在輸入信號 $V(IN)$ 以及作為一電流源且用以提

供一電流給差動放大器1使用之MOS電晶體之閘極間的控制電晶體3，以便隨著輸入信號V(IN)之電壓位準，而動態控制該作為一電流源使用之MOS電晶體之汲極電流，俾減少功率消耗。然而，該技術須增設一控制電晶體3，因此仍有改良空間存在。

有鑑於此，本發明之主要目的係提出一種新穎架構之電壓峰值檢知器，其不但不需增設一控制電晶體，並且能精確且快速地檢測出輸入信號之峰值電壓，同時可較先前之電壓峰值檢知器具有更低之功率消耗。

[發明內容]

本發明提出一種具低功率消耗的電壓峰值檢知器，其係由一差動放大器1、一電流鏡2、以及一電容器C所組成，其中，該差動放大器1係做為比較器使用，其兩輸入端係分別接受輸入信號V(IN)及檢知器之輸出電壓回授信號V(OUT)，並提供適當之充電電流給電流鏡2，以便取得輸入信號V(IN)之峰值做為輸出電壓信號，而該電流鏡2係作為充電器使用，用以提供電容器C所需之充電電流，該差動放大器1係由第一PMOS電晶體MP1、第二PMOS電晶體MP2、第一NMOS電晶體MN1、第二NMOS電晶體MN2以及第三NMOS電晶體MN3所組成，其中，該第一NMOS電晶體MN1和第二NMOS電晶體MN2係做為驅動器(driver)使用，該第一PMOS電晶體MP1和第二PMOS電晶體MP2係做為主動負載(active load)使用，而第三NMOS電晶體MN3則作為一電流源使用且設計成二極體形式，以便提供一電流給該差動放大器1使用。本發明所提出之電壓峰值檢知器，不但能精確地檢測出輸入信號之峰值電壓，並且也能有效地減少功率消耗。

[實施方式]

根據上述之目的，本發明提出一種具低功率消耗之電壓峰值檢知器，如第七圖所示，其係由一差動放大器1、一電流鏡2、以及一電容器C所組成。該差動放大器1係由第一PMOS電晶體MP1、第二PMOS電晶體MP2、第一NMOS電晶體MN1、第二NMOS電晶體MN2以及第三NMOS電晶體MN3所組成，其中，該第一NMOS電晶體MN1和第二NMOS電晶體MN2係做為驅動器(driver)使用，該第一PMOS電晶體MP1和第

二PMOS電晶體MP2係做為主動負載(active load)使用，而第三NMOS電晶體MN3則作為一電流源使用且設計成二極體形式，以便提供一電流給該差動放大器1使用。

該第一NMOS電晶體MN1和第二NMOS電晶體MN2之閘極(gate)係分別接受輸入信號V(IN)及檢知器之輸出電壓回授信號V(OUT)，源極(source)連接在一起，並連接至第三NMOS電晶體MN3之汲極(drain)，而其汲極則分別與第一PMOS電晶體MP1和第二PMOS電晶體MP2之汲極相連接；該第三NMOS電晶體MN3之閘極與汲極連接在一起以形成一二極體，而源極則接地；該第一PMOS電晶體MP1和第二PMOS電晶體MP2之源極均連接至電源電壓Vdd，而閘極則連接在一起，且該第二PMOS電晶體MP2之閘極與汲極係連接在一起，以形成一電流鏡組態。

請再參考第七圖，該電流鏡2係由第三PMOS電晶體MP3和第四PMOS電晶體MP4所組成。其中，該第三PMOS電晶體MP3和第四PMOS電晶體MP4之源極均連接至電源電壓Vdd，而閘極則連接在一起，並連接至第一NMOS電晶體MN1之汲極，且該第三PMOS電晶體MP3之閘極與汲極係連接在一起，以形成一電流鏡組態；再者，第四PMOS電晶體MP4之汲極係與電容器C之一端連接，並形成該電壓峰值檢知器之輸出端，而該電容器C之另一端則接地。

為了便於說明起見，以下之推導過程，均將金氧半電晶體以OrCAD PSpice中之最簡單模型來描述，且不考慮通道長度調變(channel length modulation)效應。但於後續之模擬驗證時，則考慮了Pspice中之所有電晶體參數(當然包括通道長度調變效應)。

由第七圖所示電路得知，當輸入信號V(IN)大於電容電壓V(C)時，電流 $I_d(MN1)$ 會大於 $-I_d(MP2)$ ，其中，流入電晶體之電流取正號，而流出電晶體之電流則取負號，亦即，電流 $I_d(MN1)$ 代表流入第一NMOS電晶體MN1之汲極電流，而 $-I_d(MP2)$ 則代表流出第二PMOS電晶體MP2之汲極電流。又 $-I_d(MP1) = -I_d(MP2)$ (1) $-I_d(MP3) = I_d(MN1) - [-I_d(MP1)]$ (2) 所以 $-I_d(MP3) > 0$ (3) 而第三PMOS電晶體MP3、第四PMOS電晶體MP4也係為一由PMOS電晶體所組成的電流鏡組態，所以當 $-I_d(MP3) > 0$ 時，電流 $-I_d(MP4)$ 會等於 $-I_d(MP3)$ ，因而可對電容器C進行充電動作，直到V(OUT)(也就是V(C))等於輸入信號V(IN)的峰值電壓為止。

當充電動作達到 $V(OUT)$ 等於輸入信號 $V(IN)$ 的峰值電壓時，由於差動放大器之作用，電流 $-I_d(MP1) = -I_d(MP2) = I_d(MN1)$ (4)所以電流 $-I_d(MP3) = -I_d(MP4) = 0$ (5)因而不對電容器進行充電動作，所以所檢測出的輸出電壓 $V(OUT)$ 將會等於輸入信號 $V(IN)$ 的峰值電壓。最後當輸入信號 $V(IN)$ 小於輸出電壓 $V(C)$ 時，第三PMOS電晶體MP3將處於截止區，電流 $-I_d(MP3) = -I_d(MP4) = 0$ (6)所以也將不會對電容器進行充電動作，因此所檢測出的輸出電壓 $V(OUT)$ 仍會維持在輸入信號 $V(IN)$ 之峰值電壓。

本發明所提出之電壓峰值檢知器之OrCAD PSpice暫態分析模擬結果，如第八圖所示，由該模擬結果可証實，本發明所提出之電壓峰值檢知器能精確地檢測出輸入信號之峰值電壓。

接下來說明本發明如何減少功率消耗，首先比較第五圖所示之中華民國公告案號第517161號專利案之電壓峰值檢知器與第七圖所示之本發明較佳實施例，由於在第五圖所示之先前技藝中，用以提供一電流給差動放大器1使用之第三NMOS電晶體MN3之閘極恆連接至電源電壓 V_{dd} ，而本發明用以提供一電流給差動放大器1使用之第三NMOS電晶體MN3係設計成二極體形式，亦即將該第三NMOS電晶體MN3之閘極連接至其汲極，因此，本發明用以提供一電流給差動放大器1使用之第三NMOS電晶體MN3之閘極電壓恆小於電源電壓 V_{dd} ，結果本發明可有效減少功率消耗。

接著比較第六圖所示之中華民國公告案號第M276200號專利案之電壓峰值檢知器與第七圖所示之本發明較佳實施例，由於在第六圖所示之先前技藝中，用以提供一電流給差動放大器1使用之第三NMOS電晶體MN3之閘極係連接至控制電晶體3之輸出端，該控制電晶體3係設計成二極體形式且連接在電壓峰值檢知器輸入端與第三NMOS電晶體MN3閘極之間，由於該控制電晶體3並沒有汲極電流流過，因此，用以提供一電流給差動放大器1使用之第三NMOS電晶體MN3之閘極電壓 $V_{G3(第6圖)}$ 係等於 $V_{G3(第6圖)} = V(IN) - V_{T(控制電晶體)}$ (7)其中 $V_{T(控制電晶體)}$ 係表示控制電晶體3之臨界電壓(threshold voltage)。反觀，本發明於電容器充電過程中，由於該第三NMOS電晶體MN3係連接成二極體形式，因此該第三NMOS電晶體MN3之閘極電壓

$V_{G3(\text{本發明})}$ 係等於第一NMOS電晶體MN1之源極電壓，亦即該第三NMOS電晶體MN3之閘極電壓 $V_{G3(\text{本發明})}$ 可寫成 $V_{G3(\text{本發明})} = V(\text{IN}) - V_{T(\text{MN1})} - [2 \cdot I_d(\text{MN1}) \cdot L / (K_P \cdot W)]^{1/2}$

(8) 其中， $V_{T(\text{MN1})}$ 表示第一NMOS電晶體MN1之臨限電壓， W 和 L 分別表示該第一NMOS電晶體MN1之有效通道寬度及有效通道長度，而 K_P 則表示OrCAD Pspice中之一金氧半電晶體模型參數。比較方程式(7)與(8)可推知 $V_{G3(\text{第6圖})} > V_{G3(\text{本發明})}$ (9) 故本發明可較中華民國公告案號第M276200號專利案之電壓峰值檢知器具有較小之電流消耗。

第九圖所示為中華民國公告案號第M276200號專利案之電壓峰值檢知器(先前技藝)與本發明電壓峰值檢知器之OrCAD PSpice暫態分析模擬結果，由該模擬結果可証實，本發明之電壓峰值檢知器可較先前技藝具有更低之功率消耗。第九圖係以level 3模型且使用0.25微米CMOS製程參數加以模擬(其PMOS電晶體和NMOS電晶體之零基底偏壓臨限電壓值 V_{T0} 分別為 -0.5V 和 0.5V)，其中，PMOS電晶體MP1、MP2、MP3、MP4之通道寬長比均為 $(W/L) = (2 \cdot 0.25\mu\text{m} / 0.25\mu\text{m})$ ，NMOS電晶體MN1、MN2和MN4之通道寬長比均為 $(W/L) = (0.25\mu\text{m} / 0.25\mu\text{m})$ ，NMOS電晶體MN3之通道寬長比為 $(W/L) = (0.25\mu\text{m} / 8 \cdot 0.25\mu\text{m})$ ，至於電容器C之電容值則為 8pF 。

本發明之電壓峰值檢知器在使用時可於電容器C兩端並聯連接一開關，該開關係用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

【發明功效】

本發明所提出之電壓峰值檢知器，具有如下功效：(1)高集積度及有利於裝置之小型化：由於本發明所提出之電壓峰值檢知器不但不需增設一控制電晶體，並且僅使用了4個PMOS電晶體、3個NMOS電晶體以及1個電容器，因此不但電路架構新穎、簡單、使用的電晶體數量較少，並且因不需使用運算放大器，因而具備有高集積度及有利於裝置之小型化等優點；(2)高精確度：本發明所提出之電壓峰值檢知器經模擬結果証實，確實能精確地檢測出輸入信號之峰值電壓，因此也具有高精確度之優點；(3)低功率消耗：本發明所提出之電壓峰值檢知器經模擬結

果証實，確實能有效降低差動放大器1之電流消耗，因此可有效降低電壓峰值檢知器之功率消耗。

雖然本發明特別揭露並描述了所選之最佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本發明的精神與範圍。因此，所有相關技術範疇內之改變都包括在本發明之申請專利範圍內。

[圖式簡單說明]

第一圖係顯示第一先前技藝中電壓峰值檢知器之電路圖；第二圖係顯示第一圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；第三圖係顯示第二先前技藝中電壓峰值檢知器之電路圖；第四圖係顯示第三圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；第五圖係顯示第三先前技藝中電壓峰值檢知器之電路圖；第六圖係顯示第四先前技藝中電壓峰值檢知器之電路圖；第七圖係顯示本發明較佳實施例之電壓峰值檢知器之電路圖；第八圖係顯示本發明較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；第九圖係比較本發明電壓峰值檢知器與第四先前技藝之暫態電流分析時序圖。

十、申請專利範圍：

1. 一種電壓峰值檢知器，其包括：一輸入端，用以提供一輸入電壓信號；一輸出端，用以輸出該輸入電壓信號之峰值電壓；一電源供應電壓，用以提供電壓峰值檢知器所需之電源電壓(Vdd)和參考接地；一差動放大器(1)，用以接受該輸入電壓信號及輸出端之輸出電壓回授信號，並提供充電電流信號給電流鏡(2)，該差動放大器(1)具有一作為一電流源且用以提供一電流給差動放大器(1)使用之第三MOS電晶體(MN3)，該第三MOS電晶體(MN3)係設計成二極體形式，亦即將該第三MOS電晶體(MN3)之閘極與汲極連接在一起；一電流鏡(2)，用以根據該差動放大器(1)所提供之充電電流信號，而提供一充電電流給電容器(C)；以及一電容器(C)，該電容器之一端連接至電流鏡(2)，以便接收該電流鏡所供應之充電電流，而另一端則連接至參考接地。

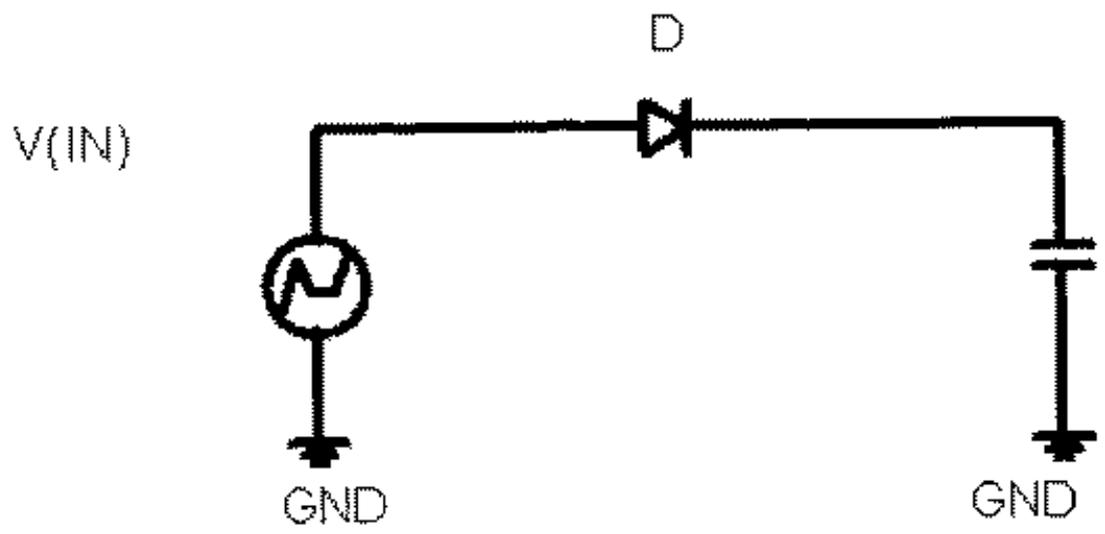
2. 如申請專利範圍第1項所述之電壓峰值檢知器，其更包括：一開關，該開關係與該電容器並聯連接，用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

3. 如申請專利範圍第2項所述之電壓峰值檢知器，其中該開關係由一金氧半電晶體所組成。

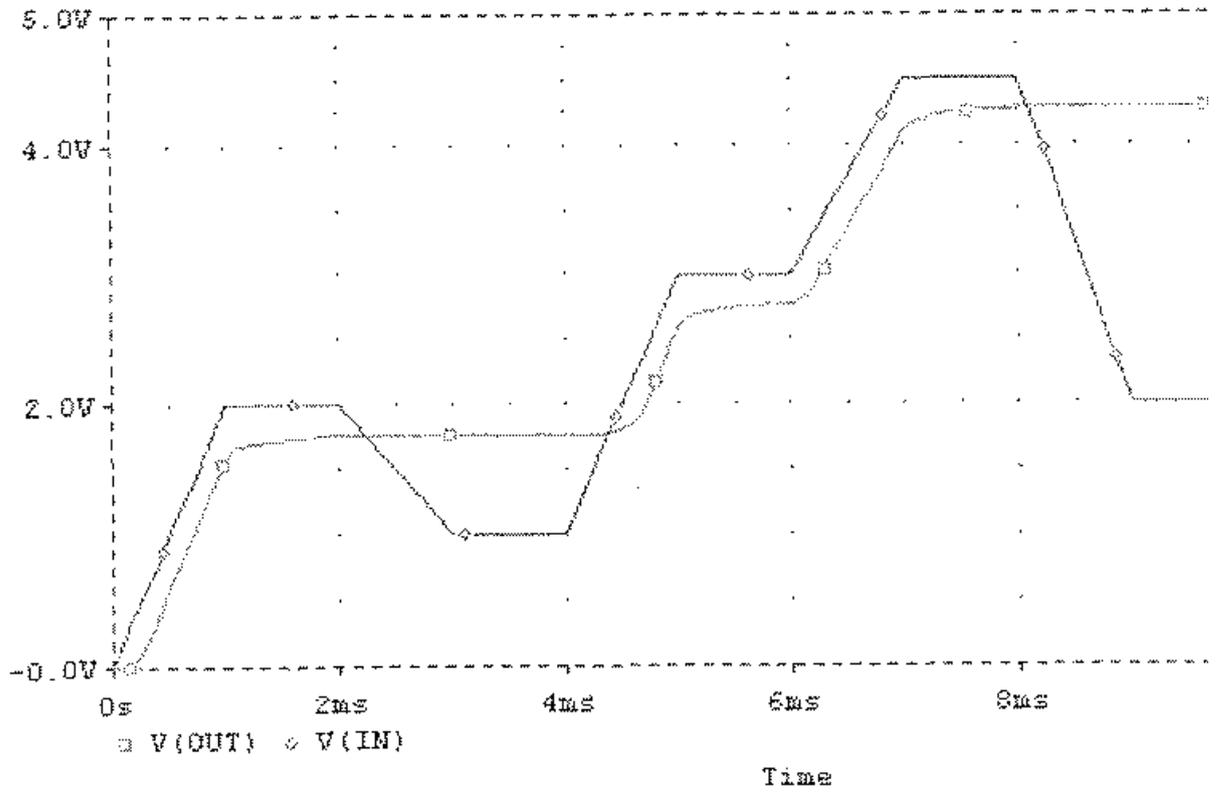
4. 如申請專利範圍第1項所述之電壓峰值檢知器，其中該差動放大器(1)包括：一第一PMOS電晶體(MP1)，其源極連接至電源電壓(Vdd)，閘極與第二PMOS電晶體(MP2)之閘極相連接，而汲極則與該電流鏡(2)以及第一NMOS電晶體(MN1)之汲極相連接；一第二PMOS電晶體(MP2)，其源極連接至電源電壓(Vdd)，閘極與汲極連接在一起，並連接至第一PMOS電晶體(MP1)之閘極，且汲極亦與第二NMOS電晶體(MN2)之汲極連接；一第一NMOS電晶體(MN1)，其源極與第二NMOS電晶體(MN2)之源極以及第三NMOS電晶體(MN3)之汲極相連接，閘極用以接受該輸入電壓信號，而汲極則與該電流鏡(2)以及第一PMOS電晶體(MP1)之汲極相連接；一第二NMOS電晶體(MN2)，其源極與第一NMOS電晶體(MN1)之源極以及第三NMOS電晶體(MN3)之汲極相連接，閘極用以接受輸出端之輸出電壓回授信號，而汲極則與該第二PMOS電晶體(MP2)之汲極相連接；以及一第三NMOS電晶體(MN3)，其源極連接至參考接地，閘極與汲極連接在一起，並與第一以及第二NMOS電晶體(MN1和MN2)之源極相連接，該第三NMOS電晶體(MN3)係作為一電流源且用以提供一電流給差動放大器(1)使用。

5. 如申請專利範圍第4項所述之電壓峰值檢知器，其中該電流鏡(2)包括：一第三PMOS電晶體(MP3)，其源極連接至電源電壓(Vdd)，閘極與汲極連接在一起，並連接至第一NMOS電晶體MN1之汲極；以及一第四PMOS電晶體(MP4)，其源極連接至電源電壓(Vdd)，閘極與第三PMOS電晶體(MP3)之閘極連接，而汲極則與該電容器(C)以及第二NMOS電晶體(MN2)之閘極相連接。

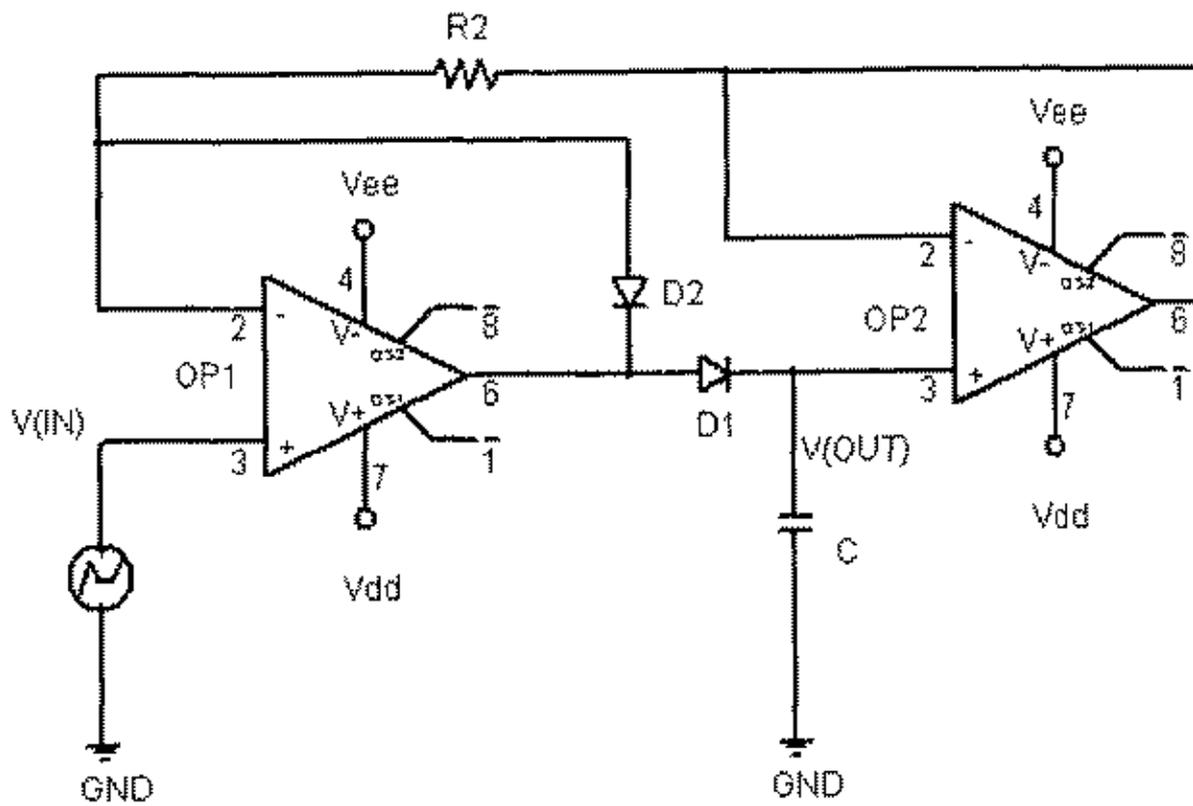
十一、圖式：



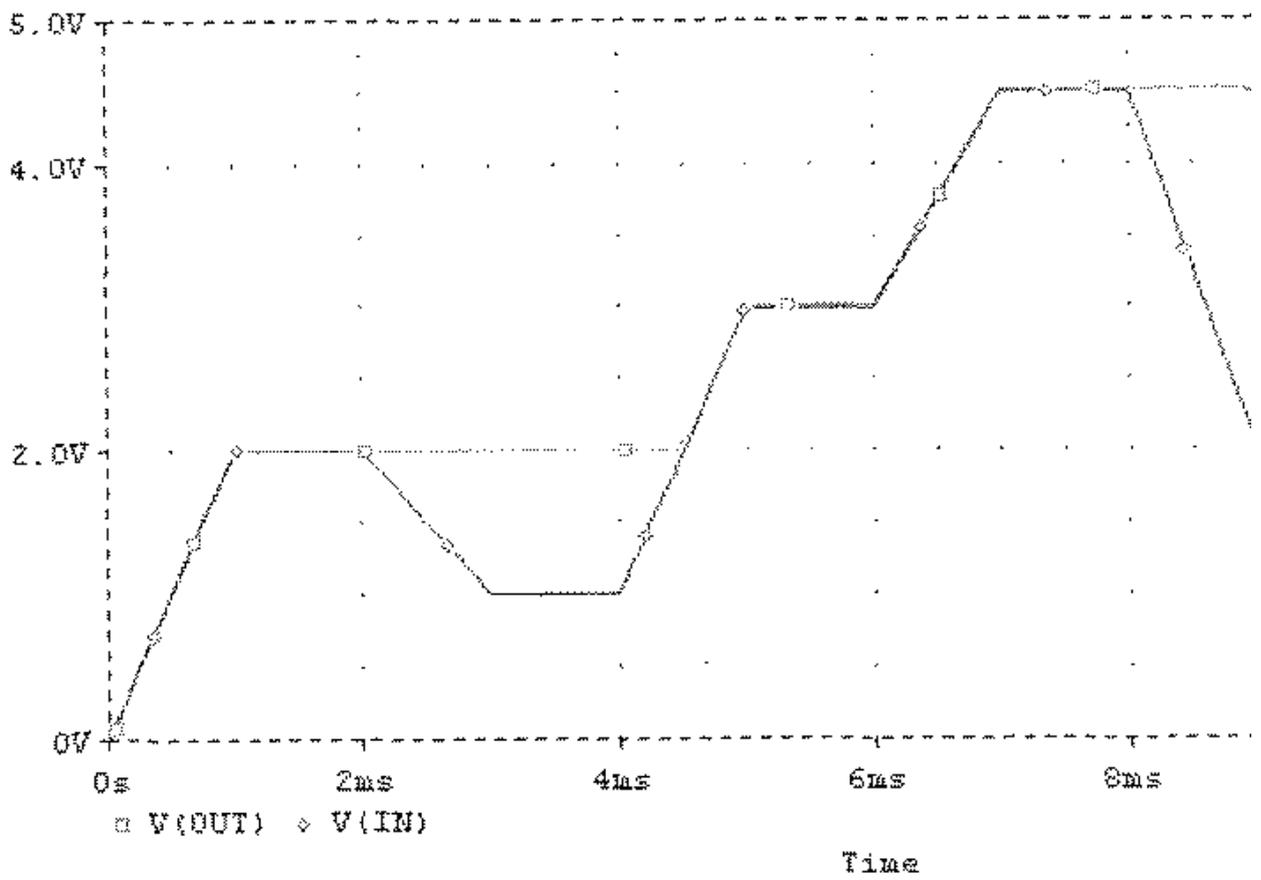
第一圖



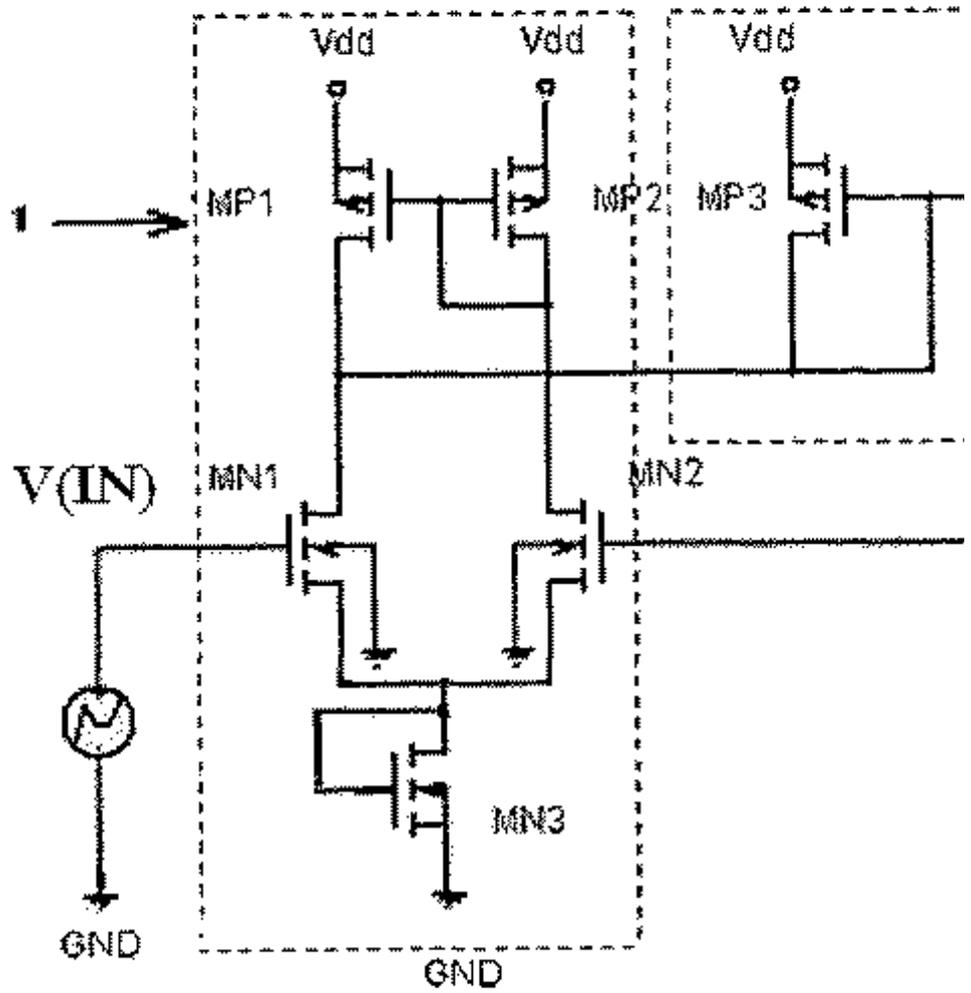
第二圖



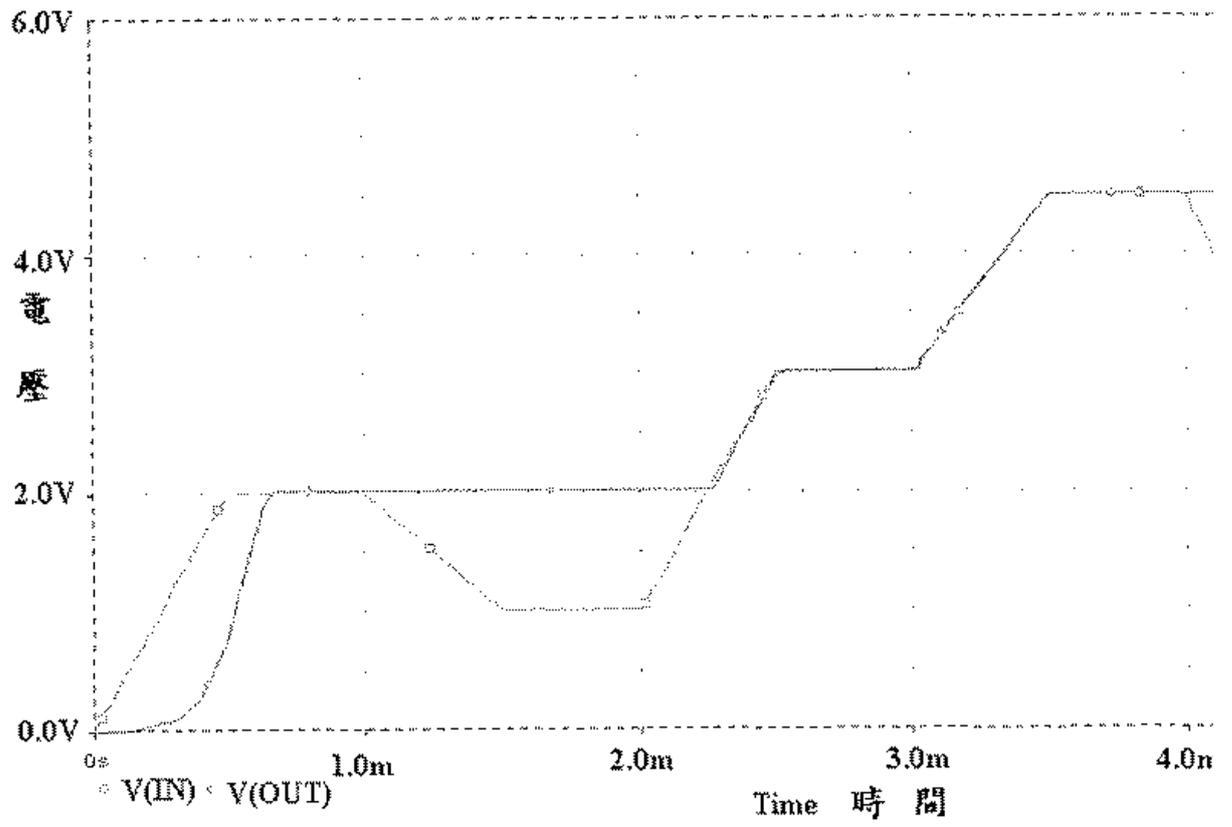
第三圖



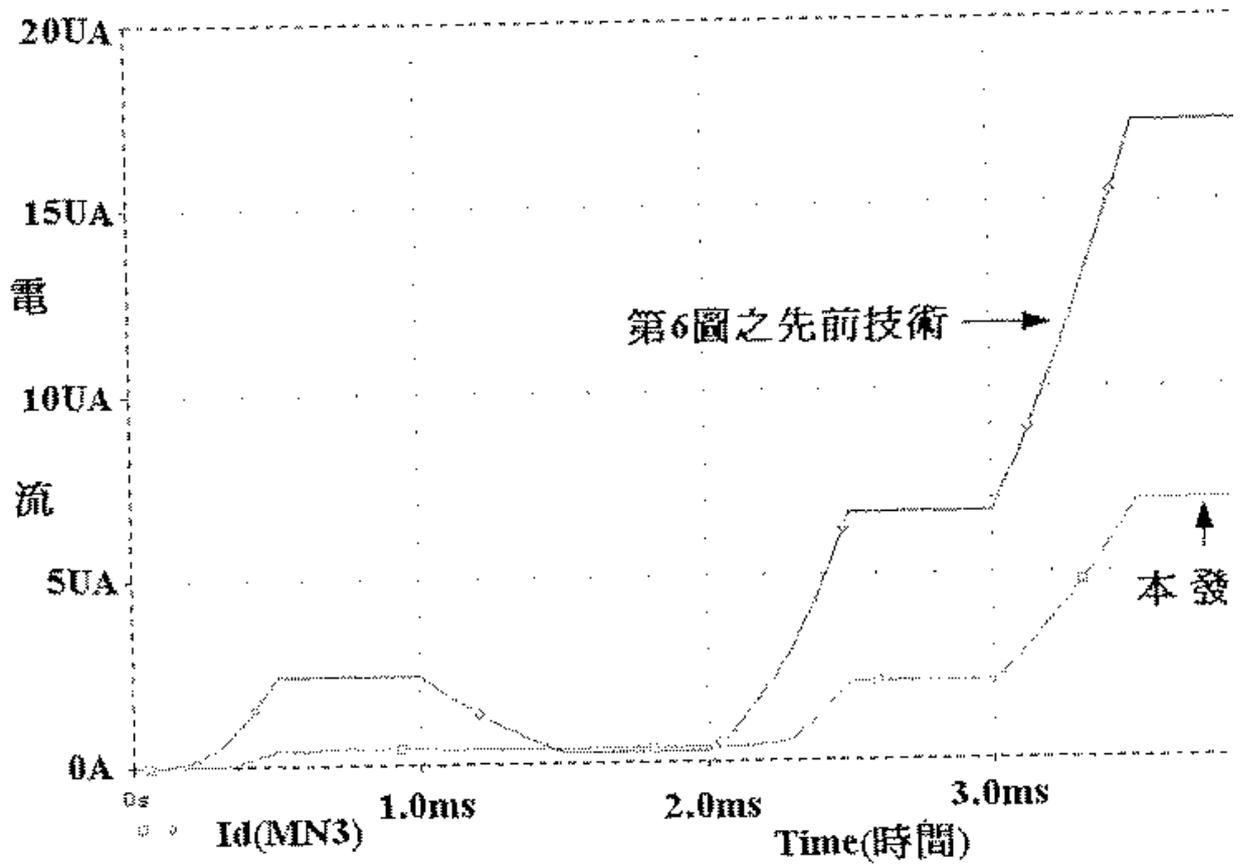
第 四 圖



第七圖



第八圖



第九圖