

【54】名稱：具低雜訊之輸出緩衝電路及方法

【21】申請案號：091113205

【22】申請日：中華民國91(2002)年6月14日

【72】發明人：蕭明椿 SHIAU, MING CHUEN

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY  
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種具低雜訊之輸出緩衝電路，該輸出緩衝電路包括：

一PMOS電晶體M1，其閘極端係用以接收輸入信號IN，源極端連接至電源供應電壓VCC，而汲極端則連接至第一NPN電晶體Q1之基極以及過電流吸收電路1之一端；

一NMOS電晶體M2，其閘極端係用以接收輸入信號IN，源極端接地，而汲極端則連接至過電流吸收電路1

之另一端；

一過電流吸收電路1，其係連接在該PMOS電晶體M1以及該NMOS電晶體M2之間；

5. 一第一NPN電晶體Q1，其基極端連接至PMOS電晶體M1之汲極，並具有一集極端以及一射極端；以及

10. 一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極端，其集極端連接至輸出端子

- OUT，而其射極端則接地。
- 2.如申請專利範圍第1項所述之輸出緩衝電路，其更包括一第一電阻R1，連接於該第一NPN電晶體Q1之射極端與接地之間。
  - 3.如申請專利範圍第2項所述之輸出緩衝電路，其更包括一第二電阻R2，連接於該第一NPN電晶體Q1之集極端與電源供應電壓VCC之間。
  - 4.如申請專利範圍第3項所述之輸出緩衝電路，其中，該過電流吸收電路1係由一PMOS電晶體M11以及一電容器C所組成，該PMOS電晶體M11之閘極端係用以接收輸入信號IN，源極端連接至PMOS電晶體M1之汲極，而汲極端則連接至NMOS電晶體M2之汲極；該電容器C之一端係連接至NMOS電晶體M2之汲極以及PMOS電晶體M11之汲極，而另一端則接地。
  - 5.如申請專利範圍第4項所述之輸出緩衝電路，其中，該PMOS電晶體M11之通道寬長比係設計成大於PMOS電晶體M1之通道寬長比。
  - 6.一種降低輸出緩衝電路之雜訊的方法，該輸出緩衝電路係包括：
    - 一PMOS電晶體M1，其閘極端係用以接收輸入信號IN，源極端連接至電源供應電壓VCC，而汲極端則連接至第一NPN電晶體Q1之基極以及過電流吸收電路1之一端；
    - 一NMOS電晶體M2，其閘極端係用以接收輸入信號IN，源極端接地，而汲極端則連接至過電流吸收電路1之另一端；
    - 一過電流吸收電路1，其係連接在該PMOS電晶體M1以及該NMOS電晶體M2之間；
    - 一第一NPN電晶體Q1，其基極端連接至PMOS電晶體M1之汲極，並具

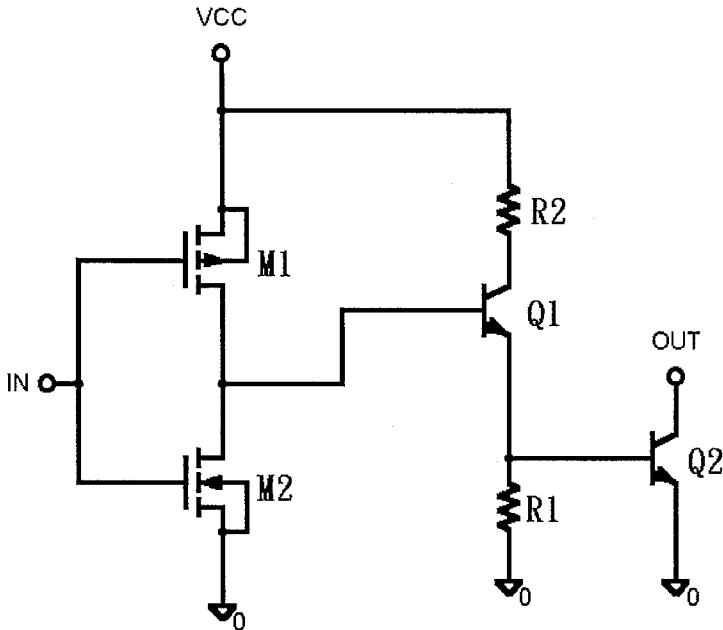
- 有一集極端以及一射極端；以及一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極端，其集極端連接至輸出端子OUT，而其射極端則接地；
- 5.該降低輸出緩衝電路雜訊的方法之技術特徵為：
    - 當輸入信號IN由高位準變為低位準時，該PMOS電晶體M1導通，而該NMOS電晶體M2則呈關閉狀態，此時過電流吸收電路1係呈導通狀態，俾藉此以吸走部份的該PMOS電晶體M1之汲極電流，並使得第一NPN電晶體Q1之基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流(即輸出電流)；
    - 而當輸入信號IN由低位準變為高位準時，該NMOS電晶體M2導通，而該PMOS電晶體M1則呈關閉狀態，此時過電流吸收電路1係呈關閉狀態，俾藉此以保持住第一NPN電晶體Q1之基極端的電壓(此時第一NPN電晶體Q1以及第二NPN電晶體Q2均呈關閉狀態，而儲存在第一NPN電晶體Q1之基極端的電荷，雖會因漏電流而逐漸減少，但在輸入信號IN再次由高位準變為低位準前，仍可令第一NPN電晶體Q1之基極端的電壓維持在一定電壓位準以上)，並藉此以降低第一NPN電晶體Q1以及第二NPN電晶體Q2再次導通前之初始延遲時間(initial delaytime)效應。
  - 7.如申請專利範圍第6項所述之方法，該輸出緩衝電路更包括一第一電阻R1，連接於該第一NPN電晶體Q1之射極端與接地之間。
  - 8.如申請專利範圍第7項所述之方法，該輸出緩衝電路更包括一第二電阻R2，連接於該第一NPN電晶體Q1之

- 集極端與電源供應電壓 VCC 之間。
- 9.如申請專利範圍第8項所述之方法，該輸出緩衝電路中之過電流吸收電路1係由一PMOS電晶體M11以及一電容器C所組成，該PMOS電晶體M11之閘極端係用以接收輸入信號IN，源極端連接至PMOS電晶體M1之汲極，而汲極端則連接至NMOS電晶體M2之汲極；該電容器C之一端係連接至NMOS電晶體M2之汲極以及PMOS電晶體M11之汲極，而另一端則接地。
- 10.如申請專利範圍第9項所述之方法，該輸出緩衝電路中之過電流吸收電路1中的PMOS電晶體M11，其

通道寬長比係設計成大於PMOS電晶體M1之通道寬長比。

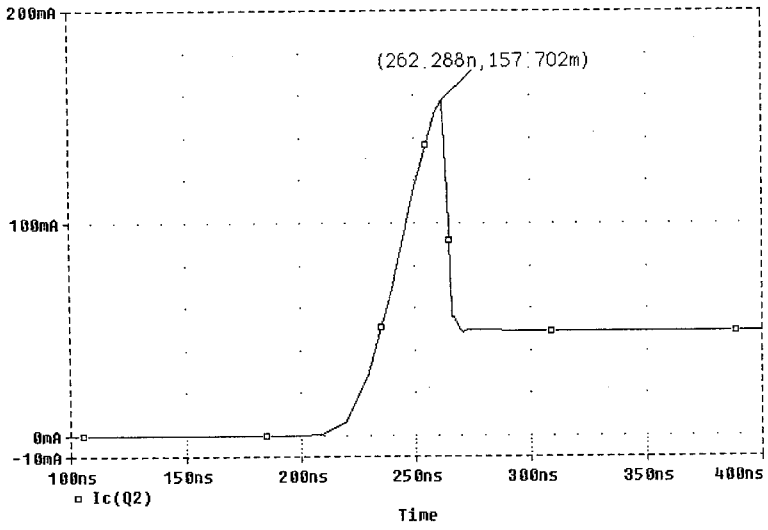
圖式簡單說明：

- 第一圖 係顯示習知輸出緩衝電路之電路圖；
5. 第二圖 係習知輸出緩衝電路之OrCAD PSpice模擬取得之輸出電流曲線圖；
- 第三圖 係顯示本發明輸出緩衝電路之示意圖；
10. 第四圖 係顯示本發明實施例之輸出緩衝電路的電路圖；
- 第五圖 係本發明輸出緩衝電路之OrCAD PSpice模擬取得之輸出電流曲線圖。
- 15.

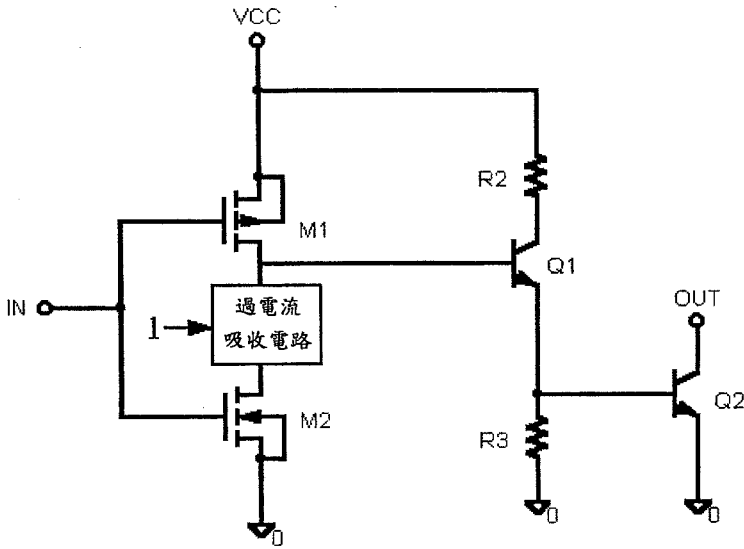


第一圖

(4)

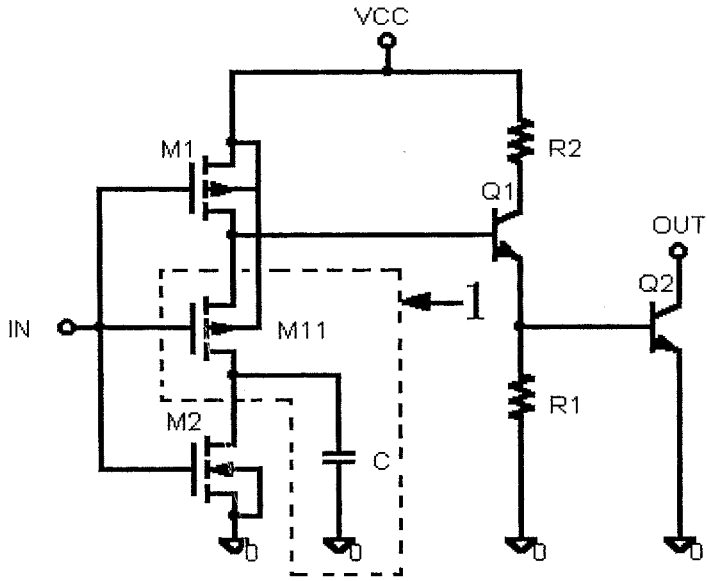


第二圖

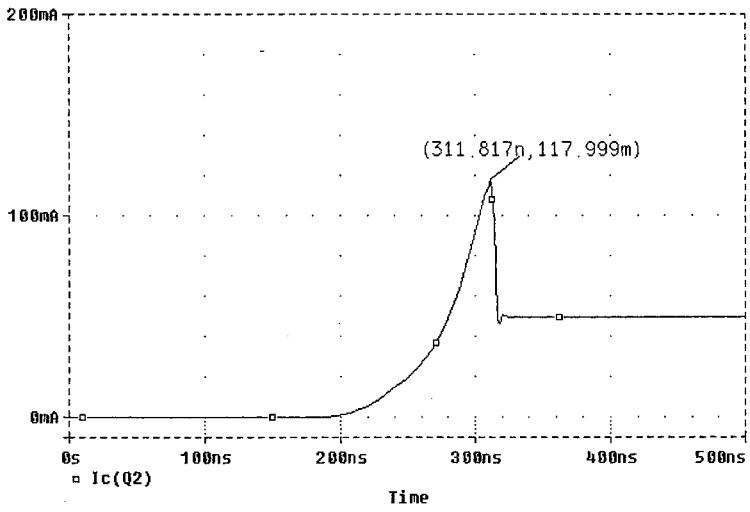


第三圖

(5)



第四圖



第五圖

