
【54】名稱：具低雜訊之輸出緩衝電路及方法

【21】申請案號：091115486

【22】申請日：中華民國91(2002)年7月8日

【72】發明人：蕭明椿 SHIAU, MING CHUEN

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種具低雜訊之輸出緩衝電路，該輸出緩衝電路包括：

一第一 CMOS 反相器，其係由第一 PMOS 電晶體 M1 以及第一 NMOS 電晶體 M2 所組成，並連接在電源供應電壓 VCC 與接地之間，該第一 PMOS 電晶體 M1 之閘極端以及該第一 NMOS 電晶體 M2 之閘極端均係用以接收一輸入信號 IN；

一具電容負載之第二 CMOS 反相

器，其係由第二 PMOS 電晶體 M3、第二 NMOS 電晶體 M4 以及電容器 C 所組成，並連接在該第一 CMOS 反相器之輸出與接地之間，該第二 PMOS 電晶體 M3 之閘極端以及該第二 NMOS 電晶體 M4 之閘極端均係連接至一輸入信號 IN；

一第一 NPN 電晶體 Q1，其基極端連接至第一 CMOS 反相器之輸出，並具有一集極端以及一射極端；以及

一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極端，其集極端連接至輸出端子OUT，而其射極端則接地。

- 2.如申請專利範圍第1項所述之輸出緩衝電路，其更包括一第一電阻R1，連接於該第一NPN電晶體Q1之射極端與接地之間。
- 3.如申請專利範圍第2項所述之輸出緩衝電路，其更包括一第二電阻R2，連接於該第一NPN電晶體Q1之集極端與電源供應電壓VCC之間。
- 4.如申請專利範圍第3項所述之輸出緩衝電路，其中，該第二CMOS反相器中之第二PMOS電晶體M3之通道寬長比係設計成大於第一CMOS反相器中之第一PMOS電晶體M1之通道寬長比。
- 5.一種降低輸出緩衝電路之雜訊的方法，該輸出緩衝電路係包括：
 - 一第一CMOS反相器，其係由第一PMOS電晶體M1以及第一NMOS電晶體M2所組成，並連接在電源供應電壓VCC與接地之間，該第一PMOS電晶體M1之閘極端以及該第一NMOS電晶體M2之閘極端均係用以接收一輸入信號IN；
 - 一具電容負載之第二CMOS反相器，其係由第二PMOS電晶體M3、第二NMOS電晶體M4以及電容器C所組成，並連接在該第一CMOS反相器之輸出與接地之間，該第二PMOS電晶體M3之閘極端以及該第二NMOS電晶體M4之閘極端均係連接至一輸入信號IN；
 - 一第一NPN電晶體Q1，其基極端連接至第一CMOS反相器之輸出，並具有一集極端以及一射極端；以及
 - 一第二NPN電晶體Q2，其基極端連接至該第一NPN電晶體Q1之射極

端，其集極端連接至輸出端子OUT，而其射極端則接地；

該降低輸出緩衝電路雜訊的方法之技術特徵為：

5. 當輸入信號IN由高位準變為低位準時，第一CMOS反相器中之第一PMOS電晶體M1導通，而第一NMOS電晶體M2則呈關閉狀態，此時第二CMOS反相器中之第二PMOS電晶體M3亦係呈導通狀態，藉此可吸走部份的第一PMOS電晶體M1之汲極電流，並使得第一NPN電晶體Q1的基極電流減少，從而減少瞬間流經第二NPN電晶體Q2之集極電流(即輸出電流)；
10. 而當輸入信號IN由低位準變為高位準時，第一CMOS反相器中之第一PMOS電晶體M1以及第二CMOS反相器中之第二PMOS電晶體M3均呈關閉狀態，而第一CMOS反相器中之第一NMOS電晶體M2以及第二CMOS反相器中之第二NMOS電晶體M4則均呈導通狀態，因此可將第一CMOS反相器之輸出以及第二CMOS反相器之輸出均拉低至接地電位。
15. 6.如申請專利範圍第5項所述之方法，該輸出緩衝電路更包括一第一電阻R1，連接於該第一NPN電晶體Q1之射極端與接地之間。
20. 7.如申請專利範圍第6項所述之方法，該輸出緩衝電路更包括一第二電阻R2，連接於該第一NPN電晶體Q1之集極端與電源供應電壓VCC之間。
25. 8.如申請專利範圍第7項所述之方法，該輸出緩衝電路中之第二CMOS反相器中的第二PMOS電晶體M3之通道寬長比係設計成大於第一CMOS反相器中之第一PMOS電晶體M1之通道寬長比。
30. 35. 40.

圖式簡單說明：

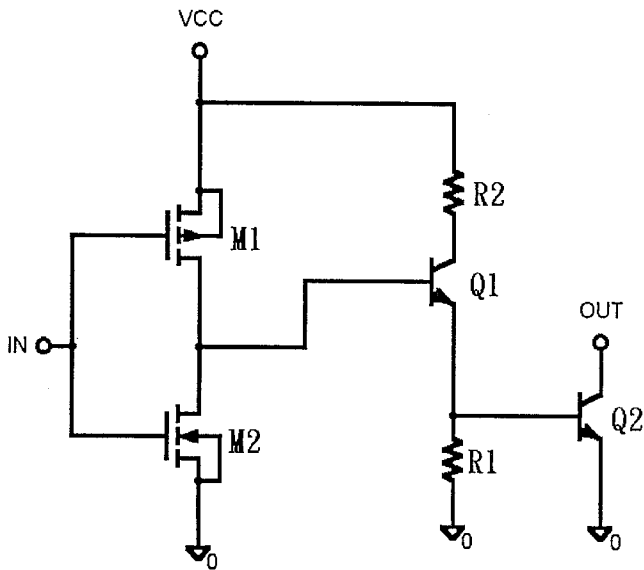
第一圖 係顯示習知輸出緩衝電路之電路圖；

第二圖 係習知輸出緩衝電路之 OrCAD PSpice 模擬取得之輸出電流曲線圖；

第三圖 係顯示本發明實施例之輸出緩衝電路的電路圖；

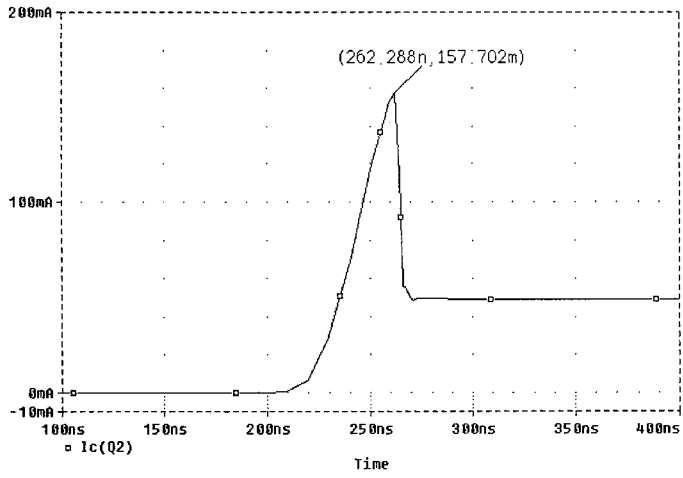
第四圖 係本發明輸出緩衝電路之 OrCAD PSpice 模擬取得之輸出電流曲線圖。

5.

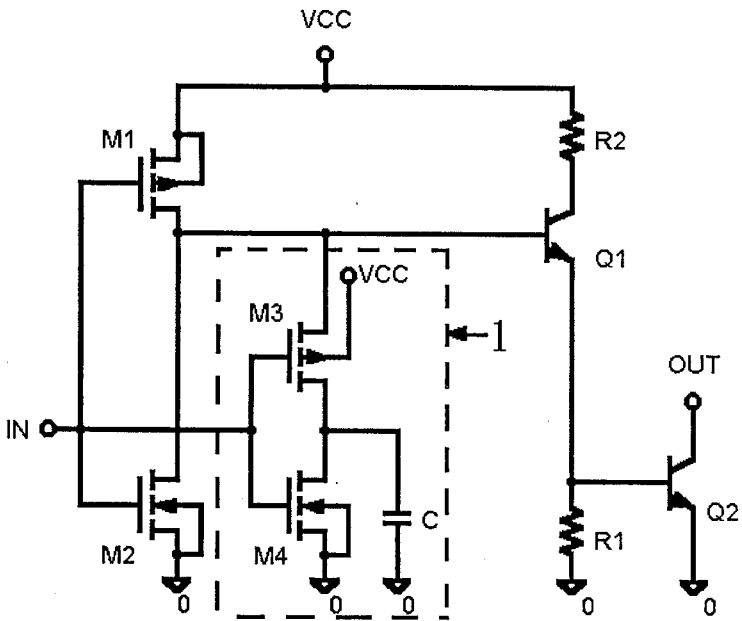


第一圖

(4)

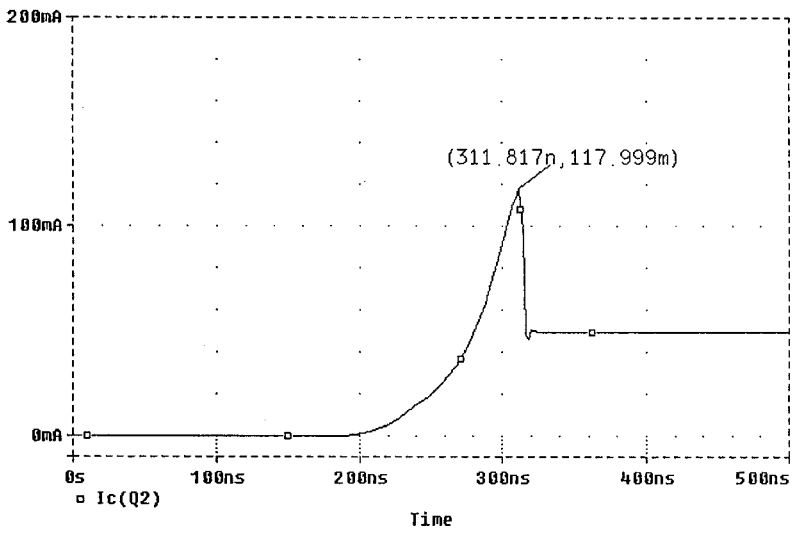


第二圖



第三圖

(5)



第四圖

