

【11】證書號數：I301894

【45】公告日：中華民國97(2008)年10月11日

【51】Int. Cl. : **G01R19/04 (2006.01)**

發明 全 6 頁

【54】名稱：具PMOS電流源之峰值檢知器

PEAK VOLTAGE DETECTOR HAVING PMOS CURRENT SOURCE

【21】申請案號：095111702

【22】申請日：中華民國95(2006)年4月3日

【11】公開編號：200739089

【43】公開日：中華民國96(2007)年10月16日

【72】發明人：蕭明椿 SHIAU, MING CHUEN；黃俊銘 HUANG, CHUN MING；王家政 WANG, JIA JHENG；吳祈誼 WU, CI YI；曾建瑋 ZENG, JIAN WEI

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY
臺中縣大里市工業路11號

【74】代理人：

【56】參考文獻：

TW I245905

TW M276200

US 5614851

US 6642703B2

1

2

[57]申請專利範圍：

1.一種電壓峰值檢知器，其包括：

一輸入端，用以提供一輸入電壓信號；

一輸出端，用以輸出該輸入電壓信號之峰值電壓；

一電源供應電壓，用以提供電壓峰值檢知器所需之電源電壓(Vdd)和參考接地；

一差動放大器(1)，用以接受該輸入電壓信號及輸出端之輸出電壓回授

信號，並提供充電電流信號給電流鏡(2)，該差動放大器(1)具有一用以提供一電流給差動放大器(1)使用之PMOS電流源(IP)，該PMOS電流源(IP)係由一連接成二極體形式之PMOS電晶體所組成，亦即將該PMOS電晶體之閘極與汲極連接在一起；

5.

10.

一電流鏡(2)，用以根據該差動放大器(1)所提供之充電電流信號，而提

供一充電電流給電容器(C)；以及一電容器(C)，該電容器之一端連接至電流鏡(2)，以便接收該電流鏡所供應之充電電流，而另一端則連接至參考接地。

2.如申請專利範圍第1項所述之電壓峰值檢知器，其更包括：

一開關，該開關係與該電容器並聯連接，用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

3.如申請專利範圍第2項所述之電壓峰值檢知器，其中該開關係由一金氧半導體所組成。

4.如申請專利範圍第1項所述之電壓峰值檢知器，其中該差動放大器(1)包括：

一第一PMOS電晶體(MP1)，其源極連接至電源電壓(Vdd)，閘極與第二PMOS電晶體(MP2)之閘極相連接，而汲極則與該電流鏡(2)以及第一NMOS電晶體(MN1)之汲極相連接；一第二PMOS電晶體(MP2)，其源極連接至電源電壓(Vdd)，閘極與汲極連接在一起，並連接至第一PMOS電晶體(MP1)之閘極，而汲極則與第二NMOS電晶體(MN2)之汲極連接；

一第一NMOS電晶體(MN1)，其源極與第二NMOS電晶體(MN2)之源極以及作為PMOS電流源(IP)使用之該PMOS電晶體之源極相連接，閘極用以接受該輸入電壓信號，而汲極則與該電流鏡(2)以及第一PMOS電晶體(MP1)之汲極相連接；

一第二NMOS電晶體(MN2)，其源極與第一NMOS電晶體(MN1)之源極以及作為PMOS電流源(IP)使用之該PMOS電晶體之源極相連接，閘

極用以接受輸出端之輸出電壓回授信號，而汲極則與該第二PMOS電晶體(MP2)之汲極相連接；以及

一PMOS電流源(IP)，該PMOS電流源(IP)係由一連接成二極體形式之PMOS電晶體所組成，亦即將該PMOS電晶體之閘極與汲極連接在一起並連接至參考接地，而源極則與第一以及第二NMOS電晶體(MN1和MN2)之源極相連接，該作為PMOS電流源(IP)使用之該PMOS電晶體係用以提供一電流給差動放大器(1)使用。

5.如申請專利範圍第4項所述之電壓峰值檢知器，其中該電流鏡(2)包括：

一第三PMOS電晶體(MP3)，其源極連接至電源電壓(Vdd)，閘極與汲極連接在一起，並連接至第一NMOS電晶體MN1之汲極；以及

一第四PMOS電晶體(MP4)，其源極連接至電源電壓(Vdd)，閘極與第三PMOS電晶體(MP3)之閘極連接，而汲極則與該電容器(C)以及第二NMOS電晶體(MN2)之閘極相連接。

25. 圖式簡單說明：

第一圖係顯示第一先前技藝中電壓峰值檢知器之電路圖；

第二圖係顯示第一圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

第三圖係顯示第二先前技藝中電壓峰值檢知器之電路圖；

第四圖係顯示第三圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

第五圖係顯示第三先前技藝中電壓峰值檢知器之電路圖；

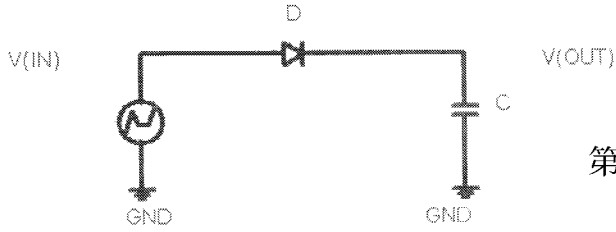
第六圖係顯示第四先前技藝中電壓峰值檢知器之電路圖；

40. 第七圖係顯示本發明較佳實施例

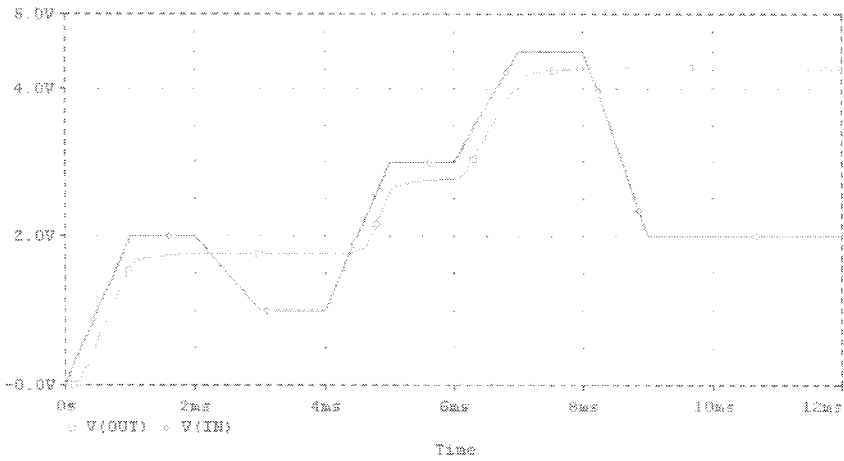
之電壓峰值檢知器之電路圖；

第八圖係顯示本發明較佳實施例之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

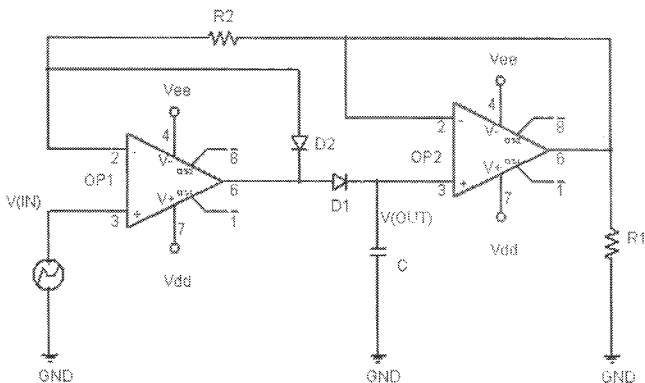
第九圖係比較本發明電壓峰值檢知器與第四先前技藝之暫態電流分析時序圖。



第一圖

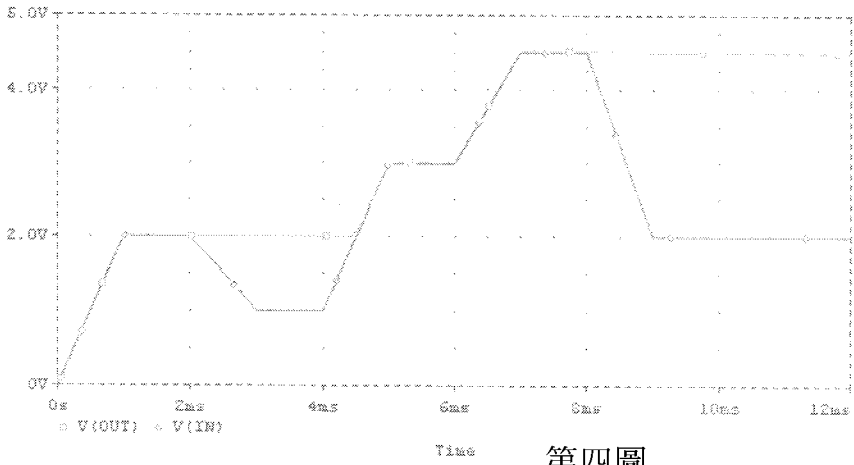


第二圖

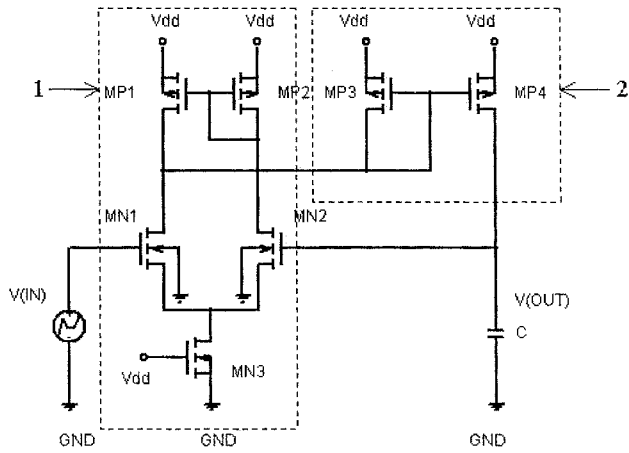


第三圖

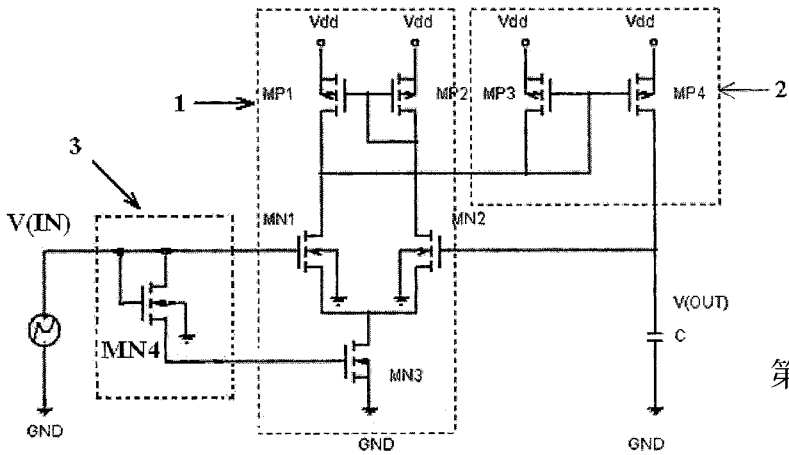
(4)



第四圖

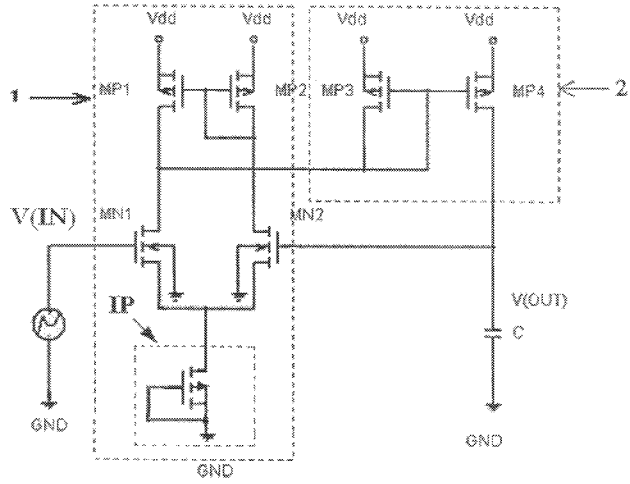


第五圖

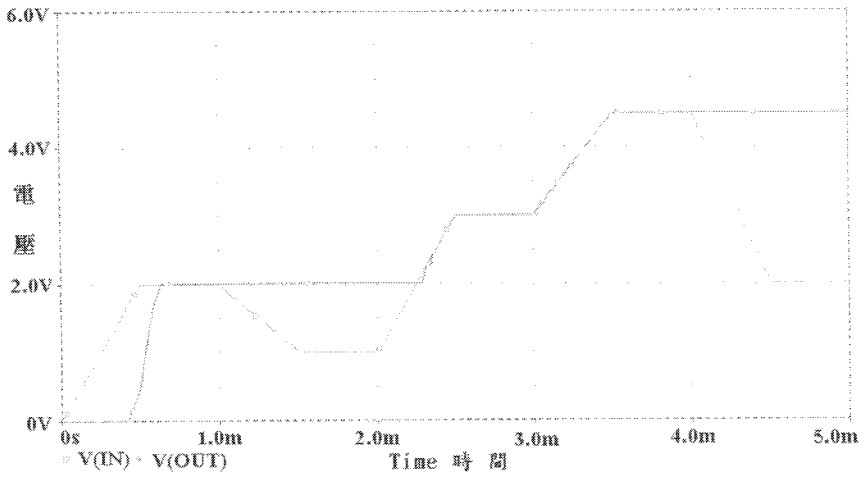


第六圖

(5)

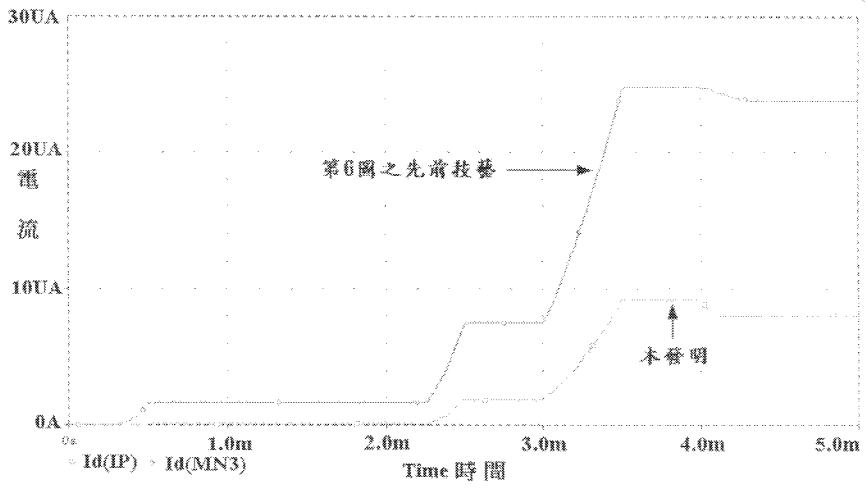


第七圖



第八圖

(6)



第九圖