

新型專利說明書

[本說明書格式，順序及粗體字，請勿任意更動，※號部份請勿填寫]

※申請案號： 092220755

※申請日期： 20031124

※IPC分類： Int.Cl.(7) G01R 19/04

一、新型名稱：(中文/英文)

具輸入雜訊抑制之電壓峰值檢知器

Peak Voltage Detector with Input Noise Inhibition

二、申請人：共 1 人

1.

姓名或名稱：(中文/英文)

修平技術學院 / HSIUPING INSTITUTE OF TECHNOLOGY

代 表 人：(中文/英文)

林寶琮 / LIN, PAO CHUNG

住居所或營業所地址：(中文/英文)

臺中縣大里市工業路11號 / NO. 11, GUNGYE RD., DALI CITY, TAICHUNG

國 籍：(中文/英文)

中華民國 / TW

三、創作人：共 4 人

1.

姓名：(中文/英文)

蕭明椿 / SHIAU, MING CHUEN

國 籍：(中文/英文)

中華民國 / TW

2.

姓名：(中文/英文)

蔡俊威 / TSIA, CHUN WEI

國籍：(中文/英文)

中華民國 / TW

3.

姓名：(中文/英文)

吳政洋 / WU, CHENG YANG

國籍：(中文/英文)

中華民國 / TW

4.

姓名：(中文/英文)

黃運文 / HUANG, YUN WEN

國籍：(中文/英文)

中華民國 / TW

四、聲明事項

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：年 月 日

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號、順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號、順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料【格式請依：寄存機構、日期、號碼、順序註記】

國外生物材料【格式請依：寄存國家、機構、日期、號碼、順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本創作提出一種具輸入雜訊抑制之電壓峰值檢知器，其係由一低通濾波器1、一差動放大器2、一控制電晶體3、一電流鏡4以及一電容器C所組成，其中，該低通濾波器1係用以濾除來自輸入端之雜訊，該差動放大器2係做為比較器使用，其兩輸入端係分別接受低通濾波器1之輸出信號及檢知器之輸出電壓回授信號V(OUT)，並提供適當之充電電流給電流鏡4，以便取得輸入電壓波形之峰值做為輸出電壓信號，該控制電晶體3係連接在電源電壓與差動放大器2之間，以及電源電壓與電流鏡4之間，以便於待機時，可阻斷差動放大器2與電流鏡4之電流，而該電流鏡4係做為充電器使用，用以提供電容器C所需之充電電流。本創作所提出之電壓峰值檢知器，不但能精確地檢測出輸入信號之峰值電壓，並且也能有效地濾除來自輸入端之雜訊，同時亦可減少功率消耗。

六、英文發明摘要：

七、指定代表圖：

(一) 本案指定代表圖為：第七圖

(二) 本代表圖之元件符號簡單說明：

1 . . . 低通濾波器

2 . . . 差動放大器

3 . . . 控制電晶體

4 . . . 電流鏡

Vc . . . 控制信號

Vdd . . . 電源供應電壓

V(IN) . . . 輸入電壓信號

V(OUT) . . . 輸出電壓信號

C . . . 電容器

R1 . . . 電阻器

MP1 . . . 第一PMOS電晶體

- MP2 . . . 第二PMOS電晶體
- MP3 . . . 第三PMOS電晶體
- MP4 . . . 第四PMOS電晶體
- MP5 . . . 第五PMOS電晶體
- MN1 . . . 第一NMOS電晶體
- MN2 . . . 第二NMOS電晶體
- MN3 . . . 第三NMOS電晶體
- MN4 . . . 第四NMOS電晶體

八、新型說明：

【新型所屬之技術領域】

本創作係有關一種電壓峰值檢知器，尤指利用一低通濾波器、一差動放大器、一控制電晶體、一電流鏡以及一電容器所組成以求獲得精確電壓峰值之具輸入雜訊抑制以及具較少功率消耗之互補式金氧半(CMOS)電子電路。

【先前技術】

電壓峰值檢知器係一種電子電路，能夠測得一電壓波形之最大值，質言之，該電路之輸入為一變動之電壓信號，而其輸出則是該輸入電壓波形之最大值。

在許多應用中，輸入電壓信號之峰值必須被測出，然後將之以直流電型態保留住以便後續分析、使用。一個脈衝串之尖峰值常比它的平均值要更有用，例如當執行破壞性測試時，就有必要追尋出並保持峰值信號，而量測電壓信號在傳輸媒介上之衰減量、類比至數位轉換器(A/D Converter)、最大近似解碼系統(Maximum likelihood decoding system)以及用以檢測核輻射之脈衝信號檢測電路等也需要用到電壓峰值檢知器。

先前技藝(prior art)中，電壓峰值檢知器之最簡單作法係令輸入電壓信號通過二極體，而對電容充電，以便取得該輸入電壓波形之峰值。

如第一圖所示，當輸入電壓 $V(IN)$ 大於電容器 C 之電壓時，二極體 D 導通，遂行充電作用，直到輸入電壓 $V(IN)$ 到達其最大值，電容器 C 不能再繼續充電，此時輸出電壓 $V(OUT)$ 即表示輸入電壓 $V(IN)$ 之峰值。

由於輸出端與輸入端之間存在二極體 D ，此電路無法精確地檢得輸入電壓 $V(IN)$ 之真正峰值。換言之，輸出電壓 $V(OUT)$ 與輸入電壓 $V(IN)$ 之峰值之間永遠存在二極體導通電壓 V_d 之誤差。亦即， $MAX(V(OUT))=MAX(V(IN))-V$

d，如第二圖所示（該圖係OrCAD PSpice之暫態分析模擬結果）。

對於許多應用而言，上述二極體導通電壓 V_d 之誤差係不欲見到的，並且該電壓差會因為使用不同之二極體而有所差異，可能導致不良之影響或不可預測之後果。

為了能夠精確地檢測輸入之峰值電壓，另一種常用之先前技藝係使用了由二個運算放大器OP1和OP2、二個二極體D1和D2、二個電阻器R1和R2、以及一個電容器C來構成一電壓峰值檢知器，如第三圖所示，其OrCADPSpice之暫態分析模擬結果，如第四圖所示。其中，OP1是一個精確的半波整流器，當輸入電壓 $V(IN)$ 大於電容電壓 $V(C)$ 時，二極體D1將傳送偏壓對電容器C1進行充電，最後電容電壓 $V(C)$ 將會與輸入電壓 $V(IN)$ 之峰值電壓相當接近，所檢測出的輸出電壓 $V(OUT)$ 也會與輸入電壓 $V(IN)$ 之峰值電壓相當接近，不會再有如第二圖所示於輸出端與輸入端之間存在一二極體導通電壓 V_d 之誤差。而當輸入電壓 $V(IN)$ 小於電容電壓 $V(C)$ 時，二極體D2將會導通，二極體D1將會截止而不再對電容器C進行充電之動作，這使得所檢測出的輸出電壓 $V(OUT)$ 會等於輸入電壓 $V(IN)$ 之峰值電壓。雖說第三圖之電壓峰值檢知器能精確地檢測出峰值電壓，但其電路結構複雜、佔用的晶片面積大，實不利於積體電路之要求。

迄今，有許多電壓峰值檢知器之技術被提出，例如於美國專利案第US5304939、5502746、5546027、5969545、6051998、6064238和6472861號以及中華民國專利案第88220146號中所揭露者均是，該等技術均能精確地檢測輸入信號之峰值電壓，但由於該等電壓峰值檢知器均使用到一個以上之運算放大器，因此存在有電路結構複雜、佔用的晶片面積大等缺失；此外，該等電壓峰值檢知器並未考慮到輸入雜訊對於輸出電壓信號 $V(OUT)$ 之影響並且亦未考慮到如何節省待機時之功率消耗

最近，有幾種不需使用到運算放大器之精密電壓峰值檢知器之技術被提出，例如中華民國專利案第90119722號（其主要代表圖如第五圖所示）和第90131188號中所揭露者即是，該等技術係由本申請人提出，其係以一差動放大器和一電流鏡所組成的電路來取代運算放大器，由於並不使用到運算放大器，因此，具備電路結構簡單、佔用的晶片面積小以及有利於裝置之小型化等多重功

效。然而，該等技術於電壓峰值檢知器之輸入端存在有高頻雜訊時，其並無法獲得精確之輸入信號之峰值電壓，例如，第六圖所示即為第五圖之精密電壓峰值檢知器於輸入端具有高頻雜訊時之模擬結果，此外，該等技術亦未考慮到如何節省待機時之功率消耗，因此仍有改良空間存在。

有鑑於此，本發明之主要目的係提出一種新穎架構之電壓峰值檢知器，其不但能有效抑制輸入雜訊，並且亦考慮到節省待機時之功率消耗。

【新型內容】

本創作提出一種具輸入雜訊抑制之電壓峰值檢知器，其係由一低通濾波器1、一差動放大器2、一控制電晶體3、一電流鏡4以及一電容器C所組成，其中，該低通濾波器1係用以濾除來自輸入端之雜訊，該差動放大器2係做為比較器使用，其兩輸入端係分別接受低通濾波器1之輸出信號及檢知器之輸出電壓回授信號V(OUT)，並提供適當之充電電流給電流鏡4，以便取得輸入電壓波形之峰值做為輸出電壓信號，該控制電晶體3係連接在電源電壓與差動放大器2之間，以及電源電壓與電流鏡4之間，以便於待機時，可阻斷差動放大器2與電流鏡4之電流，而該電流鏡4係做為充電器使用，用以提供電容器C所需之充電電流。本創作所提出之電壓峰值檢知器，不但能精確地檢測出輸入信號之峰值電壓，並且也能有效地濾除來自輸入端之雜訊，同時亦可減少功率消耗。

【實施方式】

根據上述之目的，本創作提出一種具輸入雜訊抑制之電壓峰值檢知器，如第七圖所示，其係由一低通濾波器1、一差動放大器2、一控制電晶體3、一電流鏡4、以及一電容器C所組成。該低通濾波器1係由第四NMOS電晶體MN4和電阻器R1所組成，該差動放大器2係由第一PMOS電晶體MP1、第二PMOS電晶體MP2、第一NMOS電晶體MN1、第二NMOS電晶體MN2以及第三NMOS電晶體MN3所組成，其中，該第一NMOS電晶體MN1和第二NMOS電晶體MN2係做為驅動器(driver)使用，該第一PMOS電晶體MP1和第二PMOS電晶體MP2係做為主動負載(active load)使用，而第三NMOS電晶體MN3則提供一參考電流給該差動放大器2使用。該第一NMOS電晶體MN1和第二NMOS電晶體MN2之間極(gate)係分別接受低通濾波器1之輸出信號及檢知器之輸

出電壓回授信號 $V(\text{OUT})$ ，源極(source)連接在一起，並連接至第三NMOS電晶體MN3之汲極(drain)，而其汲極則分別與第一PMOS電晶體MP1和第二PMOS電晶體MP2之汲極相連接；該第三NMOS電晶體MN3之閘極與電源供應電壓 V_{dd} 連接，而源極則接地；該第一PMOS電晶體MP1和第二PMOS電晶體MP2之源極均連接至控制電晶體3之汲極，而閘極則連接在一起，且該第二PMOS電晶體MP2之閘極與汲極係連接在一起，以形成一電流鏡組態。

請再參考第七圖，該電流鏡4係由第三PMOS電晶體MP3和第四PMOS電晶體MP4所組成。其中，該第三PMOS電晶體MP3和第四PMOS電晶體MP4之源極均連接至控制電晶體3之汲極，而閘極則連接在一起，並連接至第一NMOS電晶體MN1之汲極，且該第三PMOS電晶體MP3之閘極與汲極係連接在一起，以形成一電流鏡組態；再者，第四PMOS電晶體MP4之汲極係與電容器C之一端連接，並形成輸出端，而該電容器C之另一端則接地。

至於，該控制電晶體3則連接在電源電壓 V_{dd} 與差動放大器2之間，以及電源電壓 V_{dd} 與電流鏡4之間，且該控制電晶體3之閘極係連接至一控制信號 V_{c} ，於待機模式時，該控制信號 V_{c} 係呈邏輯高位準（即電源電壓 V_{dd} ），因此可有效阻斷該差動放大器2與該電流鏡4之電流路徑，藉此即可避免待機時無謂之功率消耗；而於操作模式時，該控制信號 V_{c} 係呈邏輯低位準（即接地），因此，可使該差動放大器2與該電流鏡4正常運作，以便取得輸入信號之峰值電壓。

由第七圖所示電路得知，在操作模式下（亦即控制信號 V_{c} 呈接地之邏輯低位準），當低通濾波器1之輸出信號大於電容電壓 $V(\text{C})$ 時，電流 $I_{\text{d}}(\text{MN1})$ 會大於 $I_{\text{d}}(\text{MP2})$ ，其中，流入電晶體之電流取正號，而流出電晶體之電流則取負號，亦即，電流 $I_{\text{d}}(\text{MN1})$ 代表流入第一NMOS電晶體MN1之汲極電流，而 $-I_{\text{d}}(\text{MP2})$ 則代表流出第二PMOS電晶體MP2之汲極電流。又 $-I_{\text{d}}(\text{MP1}) = -I_{\text{d}}(\text{MP2})$ (1) $-I_{\text{d}}(\text{MP3}) = I_{\text{d}}(\text{MN1}) - [-I_{\text{d}}(\text{MP1})]$ (2) 所以 $-I_{\text{d}}(\text{MP3}) > 0$ (3)

而第三PMOS電晶體MP3、第四PMOS電晶體MP4也係為一由PMOS電晶體所組成的電流鏡組態，所以當 $-I_{\text{d}}(\text{MP3}) > 0$ 時，電流 $-I_{\text{d}}(\text{MP4})$ 會等於 $I_{\text{d}}(\text{MP3})$ ，因而可對電容器C進行充電動作，直到 $V(\text{OUT})$ （也就是 $V(\text{C})$ ）等於低通濾波器1之輸出信號的峰值電壓為止。

當充電動作達到 $V(\text{OUT})$ 等於低通濾波器1之輸出信號的峰值電壓時，由於差動放大器之作用，電流 $-I_d(\text{MP1})=-I_d(\text{MP2})=I_d(\text{MN1})$ (4)所以電流 $-I_d(\text{MP3})=-I_d(\text{MP4})=0$ (5)因而不再對電容器進行充電動作，所以所檢測出的輸出電壓 $V(\text{OUT})$ 將會等於低通濾波器1之輸出信號的峰值電壓。

最後當低通濾波器1之輸出信號小於輸出電壓 $V(\text{C})$ 時，第三PMOS電晶體MP3將處於截止區，電流 $-I_d(\text{MP3})=-I_d(\text{MP4})=0$ (6)

所以也將不會對電容器進行充電動作，因此所檢測出的輸出電壓 $V(\text{OUT})$ 仍會維持在低通濾波器1之輸出信號峰值電壓。

本創作所提出之電壓峰值檢知器之OrCAD PSpice暫態分析模擬結果，如第八圖所示，由該模擬結果可証實，本創作所提出之電壓峰值檢知器不但能精確地檢測出輸入信號之峰值電壓，並且也能有效地濾除來自輸入端之雜訊。

本創作之電壓峰值檢知器在使用時可於電容器C兩端並聯連接一開關，該開關係用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

【發明功效】

本創作所提出之電壓峰值檢知器，具有如下功效：(1)具輸入雜訊抑制能力：由於本創作於輸入端設計有一低通濾波器1，因此不但能有效地濾除來自輸入端之雜訊，並且也能精確地檢測出輸入信號之峰值電壓；(2)具較低之功率消耗：由於本創作在電源電壓 V_{dd} 與差動放大器2之間，以及電源電壓 V_{dd} 與電流鏡4之間，設計有控制電晶體3，其於待機模式時，可有效阻斷該差動放大器2與該電流鏡4之電流路徑，因此可有效避免待機時無謂之功率消耗，進而可使電路之功率消耗減少；(3)利於裝置之小型化：由於本創作所提出之電壓峰值檢知器僅使用了5個PMOS電晶體、4個NMOS電晶體、1個電阻器以及1個電容器，因此不但電路架構新穎、簡單、使用的電晶體數量少，並且因不需使用運算放大器，因而也有利於裝置之小型化。

雖然本創作特別揭露並描述了所選之最佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的

變化均未脫離本創作的精神與範圍。因此，所有相關技術範疇內之改變都包括在本創作之申請專利範圍內。

圖式簡單說明

第一圖係顯示第一先前技藝中電壓峰值檢知器之電路圖；

第二圖係顯示第一圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

第三圖係顯示第二先前技藝中電壓峰值檢知器之電路圖；

第四圖係顯示第三圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

第五圖係顯示第三先前技藝中電壓峰值檢知器之電路圖；

第六圖係顯示第五圖電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖；

第七圖係顯示本創作較佳實施例之電壓峰值檢知器之電路圖；

第八圖係顯示本創作電壓峰值檢知器之輸入電壓信號及輸出電壓信號之暫態分析時序圖。

主要元件符號說明

1 . . . 低通濾波器

2 . . . 差動放大器

3 . . . 控制電晶體

4 . . . 電流鏡

Vc . . . 控制信號

Vdd . . . 電源供應電壓

V(IN) . . . 輸入電壓信號

V(OUT) . . . 輸出電壓信號

C . . . 電容器

D . . . 二極體

D1 . . . 二極體

D2 . . . 二極體

OP1 . . . 運算放大器

OP2 . . . 運算放大器

MP1 . . . 第一PMOS電晶體

MP2 . . . 第二PMOS電晶體

MP3 . . . 第三PMOS電晶體

MP4 . . . 第四PMOS電晶體

MP5 . . . 第五PMOS電晶體
MN1 . . . 第一NMOS電晶體
MN2 . . . 第二NMOS電晶體
MN3 . . . 第三NMOS電晶體
MN4 . . . 第四NMOS電晶體
R1 . . . 電阻器

九、申請專利範圍：

1. 一種具輸入雜訊抑制之電壓峰值檢知器，其包括：一輸入端，用以提供一輸入電壓信號；一輸出端，用以輸出該輸入電壓信號之峰值電壓；一電源供應電壓，用以提供電壓峰值檢知器所需之電源電壓和參考接地；一低通濾波器1，用以濾除來自輸入端之雜訊，並輸出一經濾除雜訊之輸入電壓信號至差動放大器2；一差動放大器2，用以接受該經濾除雜訊之輸入電壓信號及輸出端之輸出電壓回授信號，並提供充電電流信號給電流鏡；一控制電晶體3，該控制電晶體3係為一PMOS電晶體，且連接在電源電壓與差動放大器2之間，以及電源電壓與電流鏡4之間，以便於待機時，可阻斷該差動放大器2與該電流鏡4之電流路徑；一電流鏡4，用以根據該差動放大器2所提供之充電電流信號，而提供一充電電流給電容器C；以及一電容器C，該電容器之一端連接至電流鏡，以便接收該電流鏡所供應之充電電流，而另一端則連接至參考接地。

2. 如申請專利範圍第1項所述之電壓峰值檢知器，其更包括：一開關，該開關係與該電容器並聯連接，用以提供一放電路徑，以便將電容器上所儲存之電荷放電，俾利於下次輸入電壓信號之峰值檢測。

3. 如申請專利範圍第2項所述之電壓峰值檢知器，其中該開關係由一金氧半電晶體所組成。

4. 如申請專利範圍第1項所述之電壓峰值檢知器，其中該差動放大器2包括：一第一PMOS電晶體MP1，其源極連接至該控制電晶體3之汲極，閘極與第二PMOS電晶體MP2之間極相連接，而汲極則與該電流鏡4以及第一NMOS電晶體MN1之汲極相連接；一第二PMOS電晶體MP2，其源極連接至該控制電晶體3之汲極，閘極與汲極連接在一起，並連接至第一PMOS電晶體MP1之閘極，且汲極亦與第

二NMOS電晶體MN2之汲極連接；一第一NMOS電晶體MN1，其源極與第二NMOS電晶體MN2之源極以及第三NMOS電晶體MN3之汲極相連接，閘極用以接受該經濾除雜訊之輸入電壓信號，而汲極則與該電流鏡4以及第一PMOS電晶體MP1之汲極相連接；一第二NMOS電晶體MN2，其源極與第一NMOS電晶體MN1之源極以及第三NMOS電晶體MN3之汲極相連接，閘極用以接受輸出端之輸出電壓回授信號，而汲極則與該第二PMOS電晶體MP2之汲極相連接；一第三NMOS電晶體MN3，其源極連接至參考接地，閘極連接至電源電壓，而汲極則與第一以及第二NMOS電晶體MN1和MN2之源極相連接。

5. 如申請專利範圍第4項所述之電壓峰值檢知器，其中該電流鏡4包括：一第三PMOS電晶體MP3，其源極連接至該控制電晶體3之汲極，閘極與汲極連接在一起，並連接至該差動放大器2之輸出；一第四PMOS電晶體MP4，其源極連接至該控制電晶體3之汲極，閘極與第三PMOS電晶體MP3之間極連接，而汲極則與該電容器C以及第二NMOS電晶體MN2之閘極相連接。

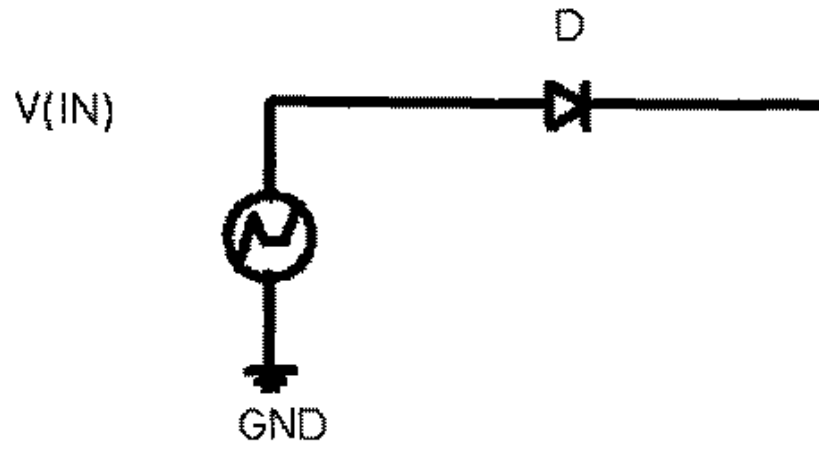
6. 如申請專利範圍第4項所述之電壓峰值檢知器，其中該低通濾波器1係由第四NMOS電晶體MN4和電阻器R1所組成，該電阻器R1之一端係連接至電壓峰值檢知器之輸入端，而另一端連接至該第四NMOS電晶體MN4之汲極，該第四NMOS電晶體MN4之汲極、源極與基底係連接在一起，並連接至該電阻器R1之另一端以及該差動放大器2中之一第一NMOS電晶體MN1之閘極，至於該第四NMOS電晶體MN4之閘極則接地。

7. 如申請專利範圍第5項所述之電壓峰值檢知器，其中該控制電晶體3係由第五PMOS電晶體MP5所組成，該第五PMOS電晶體MP5之源極係連接至電源電壓，汲極與差動放大器2中之第一和第二PMOS電晶體MP1和MP2之源極以及電流鏡4中之第三和第四PMOS電晶體MP3和MP4之源極相連接，而閘極則連接至一控制信號Vc。

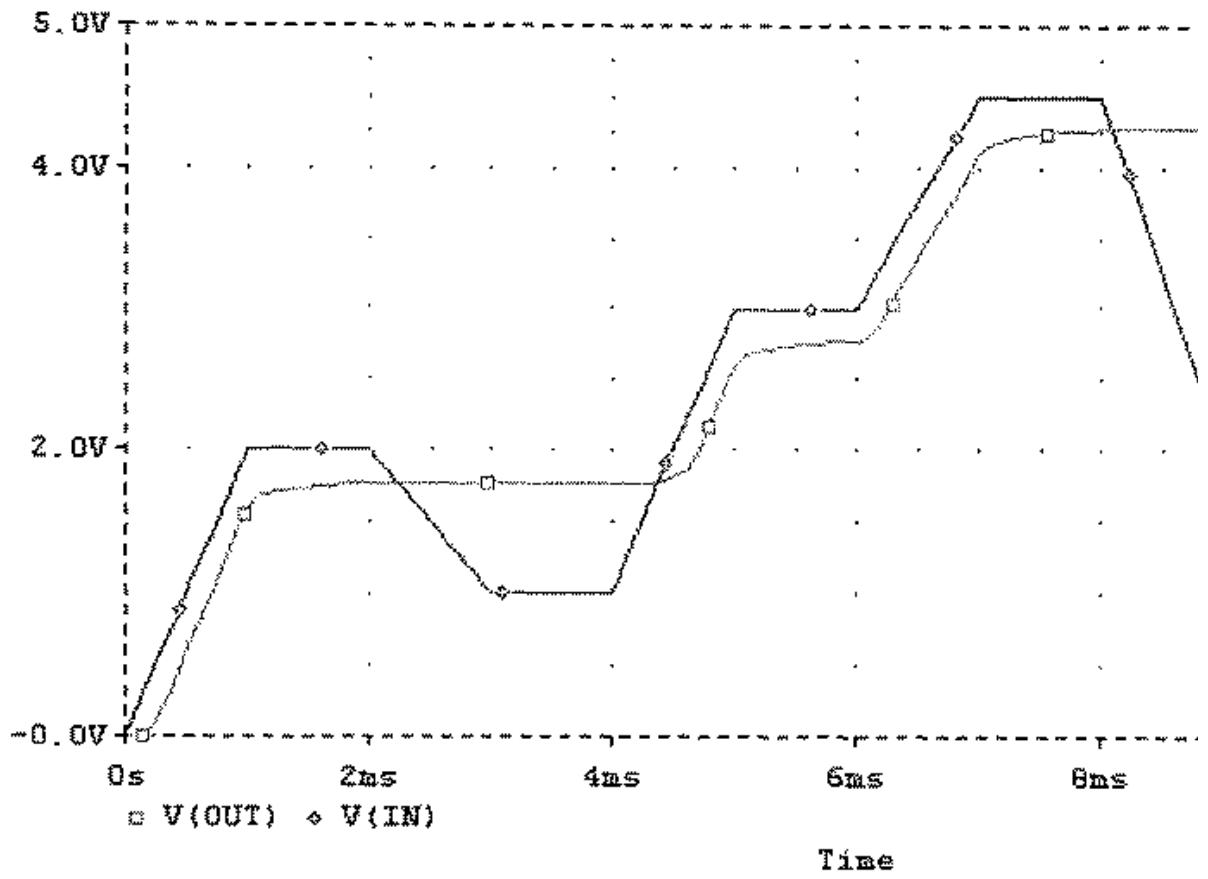
8. 如申請專利範圍第7項所述之電壓峰值檢知器，其中該控制信號Vc，於待機模式時，係呈邏輯高位準（即電源電壓Vdd），因此可有效阻斷該差動放大器2與該電流鏡4之電流路徑，而於操作模式時，該控制信號Vc係呈邏輯低位準（即接地），因此，可使該差動放大器2與該電流鏡4正常運作，以便取得輸入電壓信號之峰值電

壓。

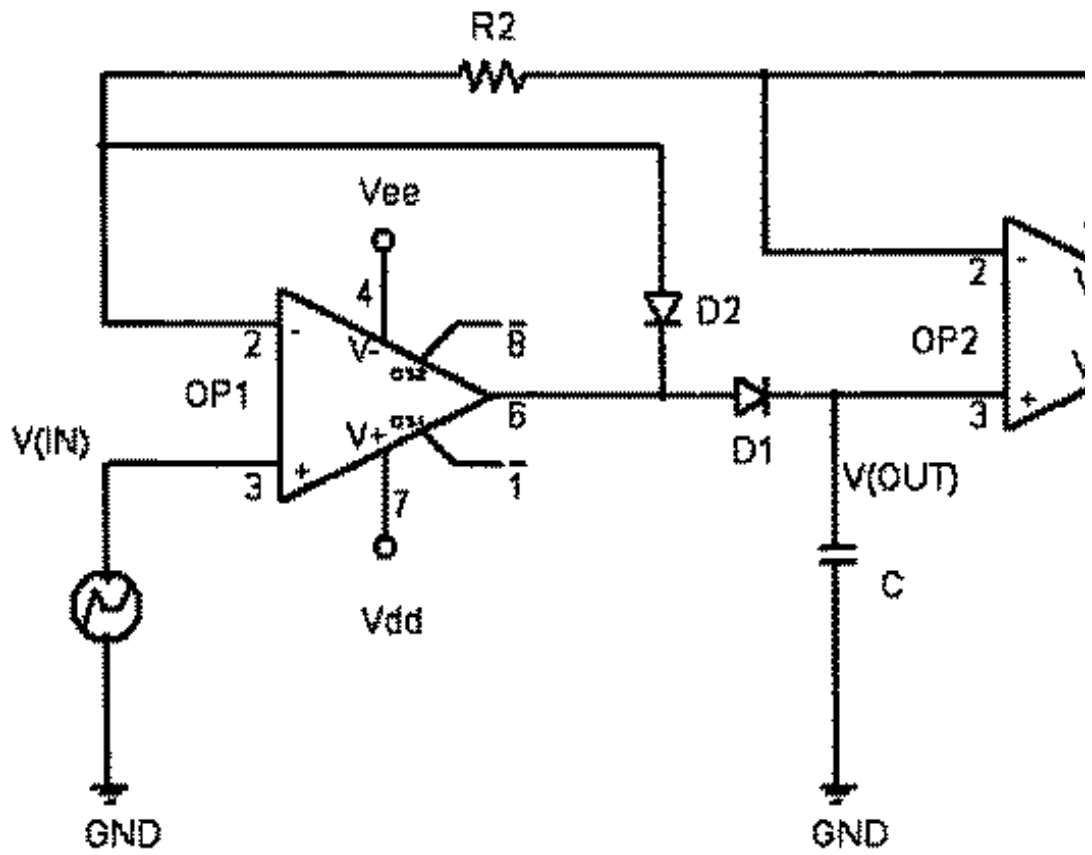
十、圖式：



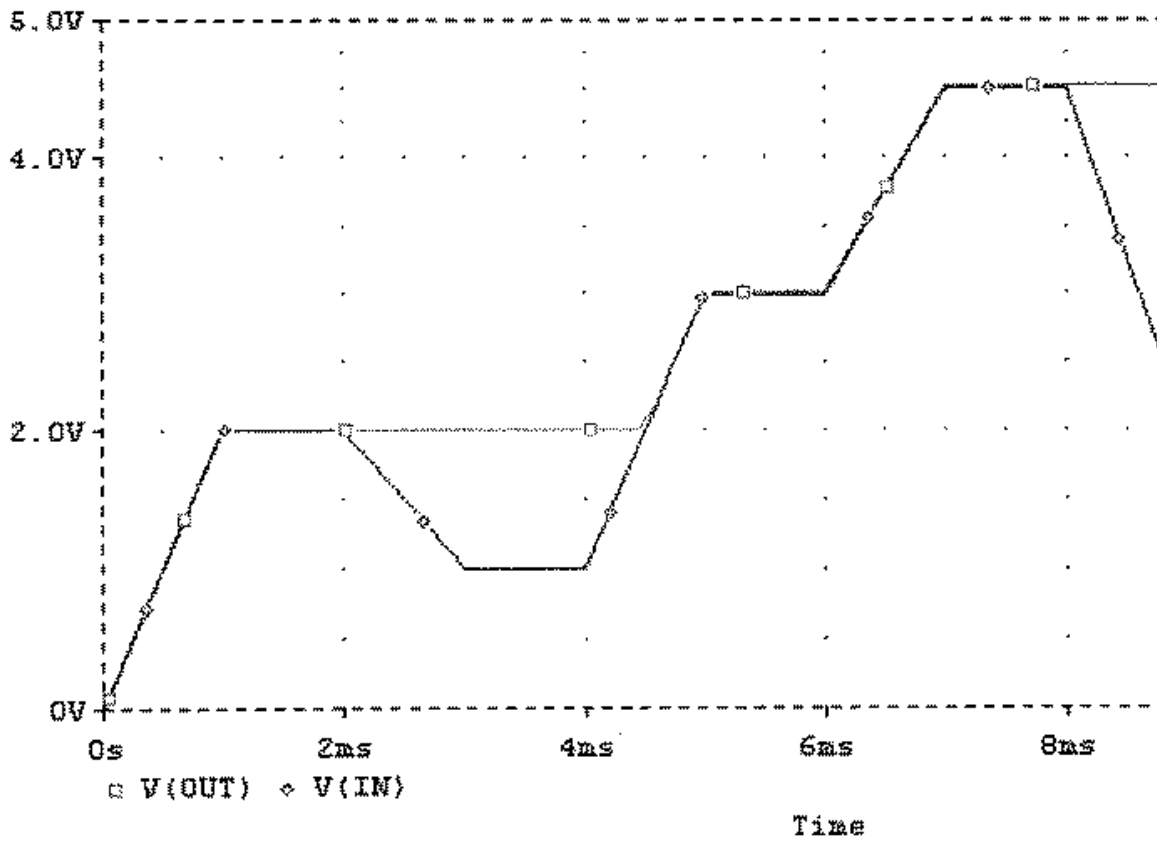
第一圖



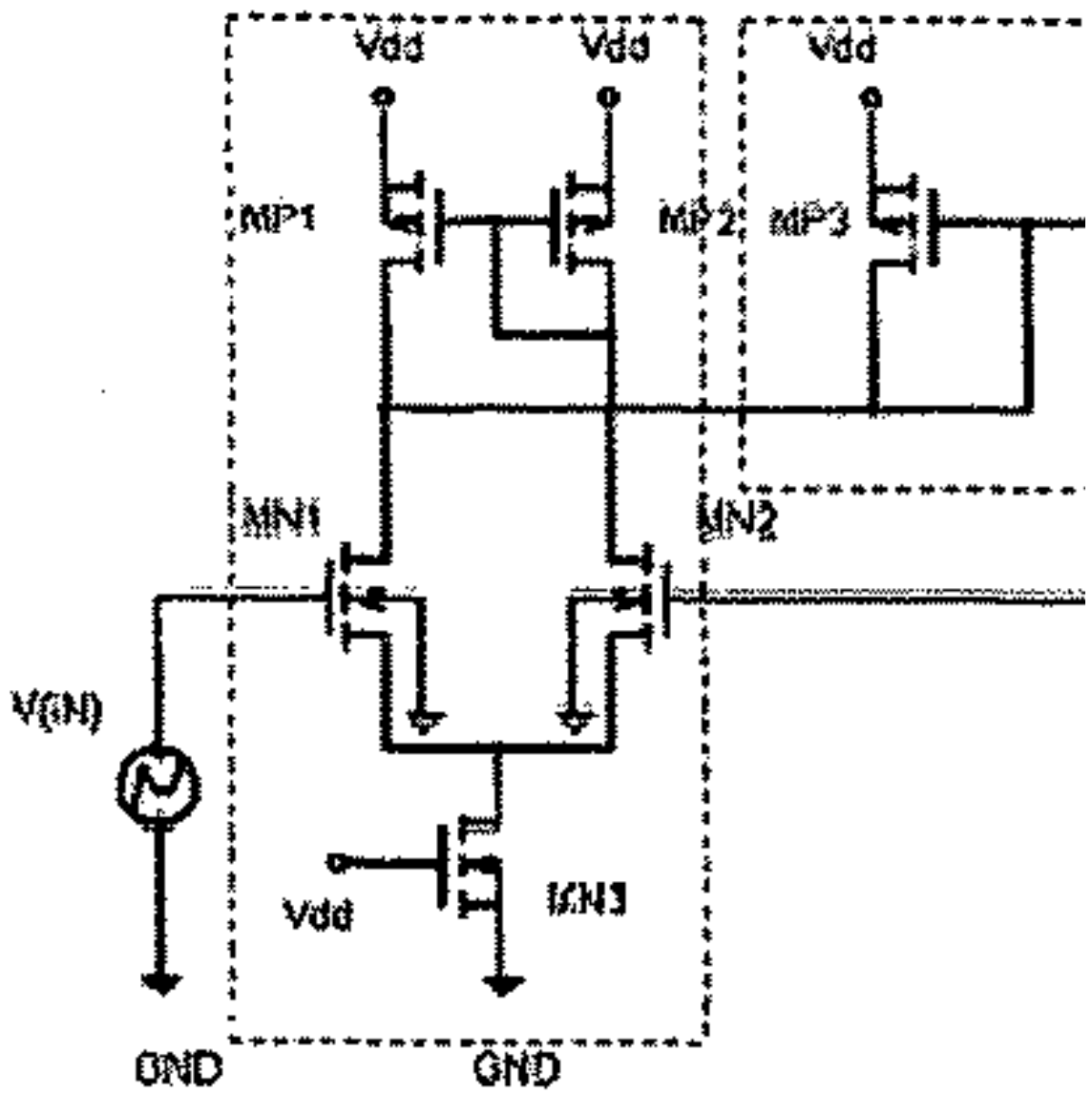
第二圖



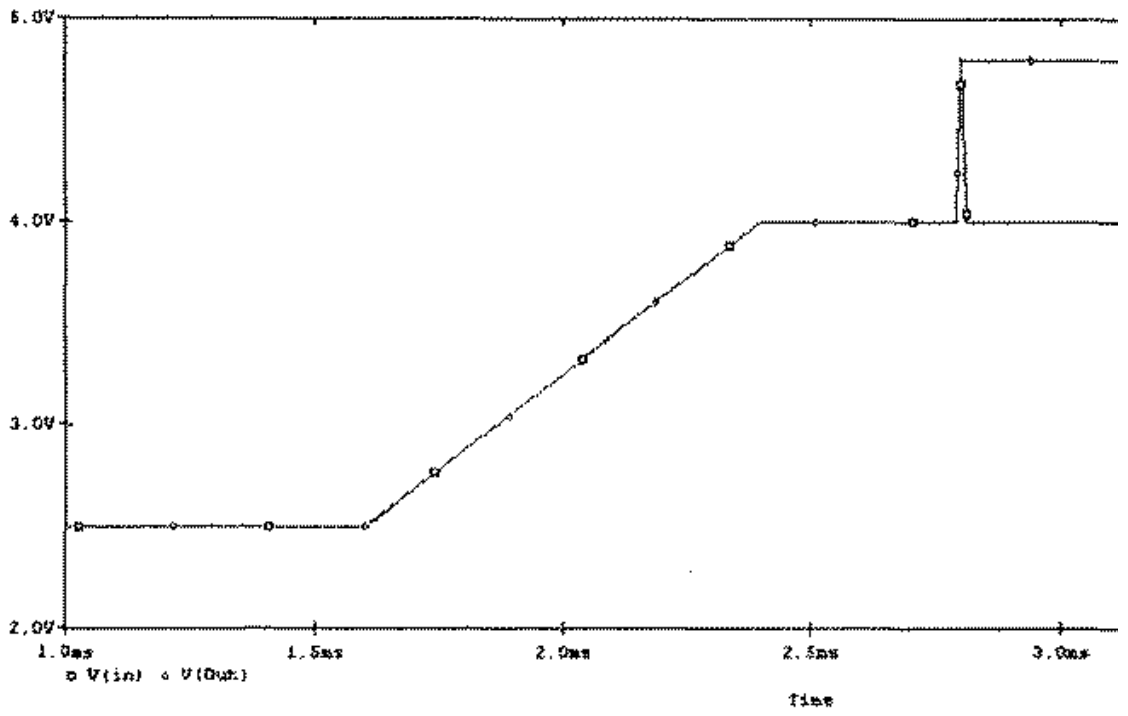
第三圖



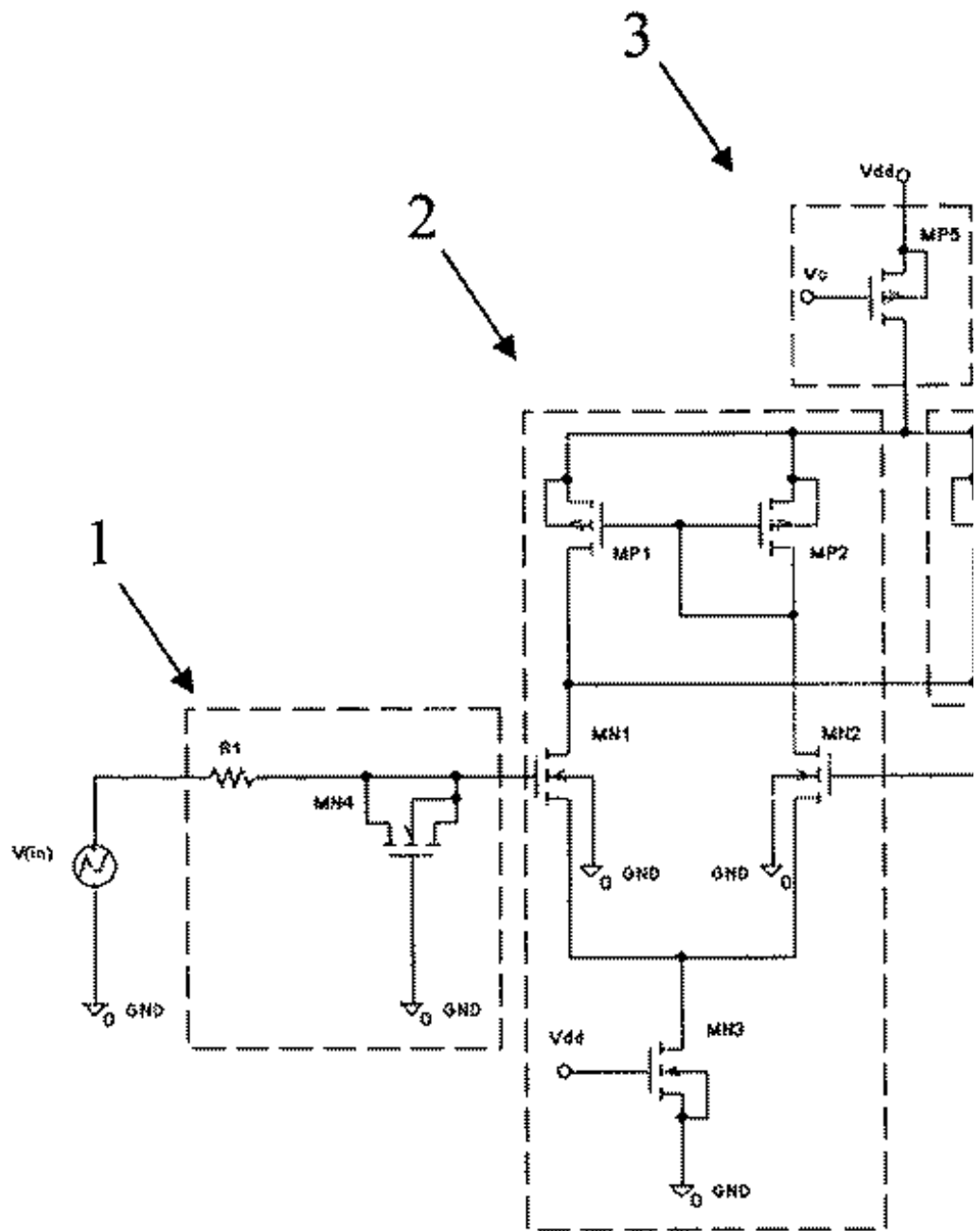
第四圖



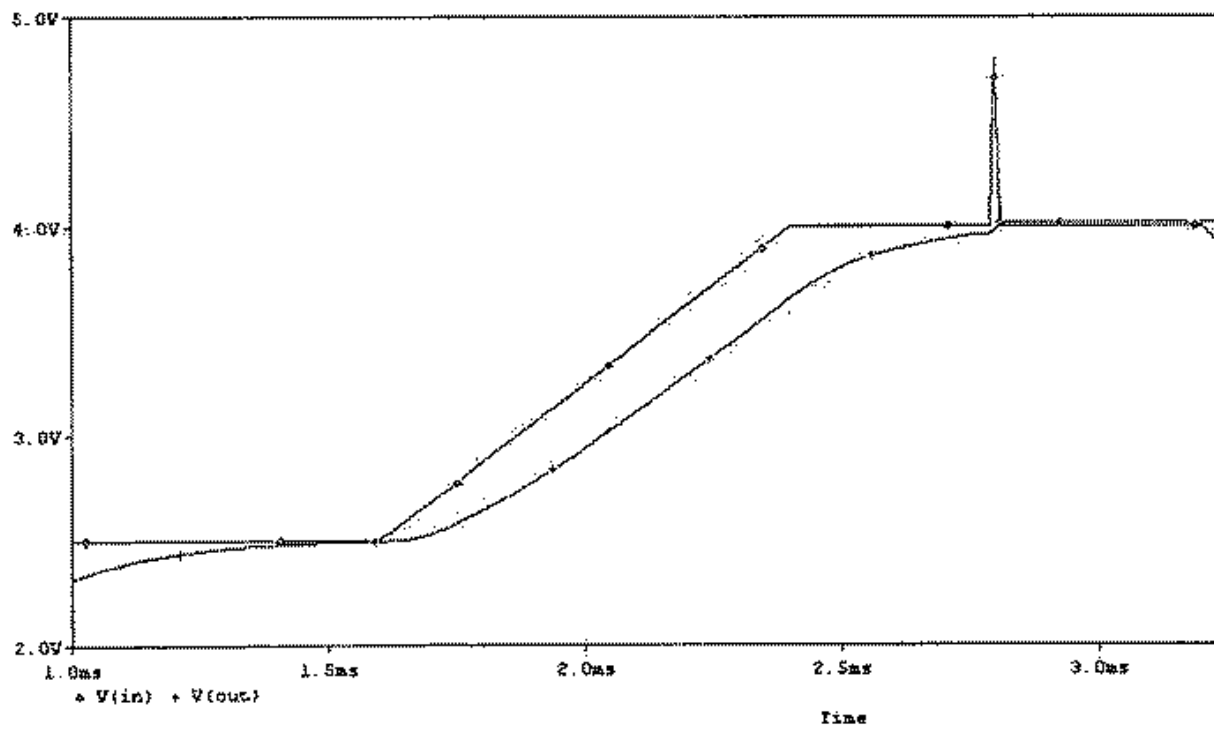
第五圖



第六圖



第七圖



第八圖