

【11】證書號數：M251265

【45】公告日：中華民國 93 (2004) 年 11 月 21 日

【51】Int. Cl.<sup>7</sup>：G11C5/14

新型

全 7 頁

【54】名稱：低電壓充電泵浦電路

LOW VOLTAGE CHARGE PUMPING CIRCUIT

【21】申請案號：092221414

【22】申請日期：中華民國 92 (2003) 年 12 月 05 日

【72】創作人：

蕭明椿

SHIAU, MING CHUEN

賴宗洋

LAI, TSUNG YANG

【71】申請人：

修平技術學院

HSIUPING INSTITUTE OF  
TECHNOLOGY

臺中縣大里市工業路十一號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種低電壓充電泵浦電路，其包括：

- 一輸入端，用以提供一輸入電壓(Vs)；
- 一輸出端，用以輸出該低電壓充電泵浦電路之輸出電壓(Vout)；
- 一第一與第二時脈訊號，用以提供該低電壓充電泵浦電路所需之第一與第二時脈訊號；
- 一主要充電電路組(1)，其接收輸入電壓(Vs)，並產生複數個電壓位準供

- 主要充電電路組(2)與輸出端使用；
- 一主要充電電路組(2)，其接收輸入電壓(Vs)以及該次要充電電路組(1)所產生之複數個電壓位準，以便於輸出端處產生一輸出電壓(Vout)；
- 一逆電流防止電路(3)，用以防止該主要充電電路組(2)發生電流逆流現象，俾藉此以提高該低電壓充電泵浦電路之充電效率；以及
- 一電容器(Co)，該電容器係連接在輸

出端與參考接地之間；

其中該次要充電電路組(1)係由呈串聯連接之  $k$  個 NMOS 電晶體(TS1 至 TS $k$ )以及  $(k-1)$  個電容器(Cs1 至 Cs $k-1$ ) 所組成， $k$  為大於或等於 4 之正整數，該電晶體(TS1)之閘極與第一源/汲極端連接在一起，並耦接於輸入電壓( $V_s$ )，而第二源/汲極端耦接於電晶體(TS2)之第一源/汲極端，該電晶體(TS2)之閘極與第一源/汲極端連接在一起，並耦接於電晶體(TS1)之第二源/汲極端，而第二源/汲極端則耦接於電晶體(TS3)之第一源/汲極端，以此方式串接至電晶體(TS $k$ )，並將電晶體(TS $k$ )之第二源/汲極端連接至輸出端；再者，電晶體(TS1)至電晶體(TS $k-1$ )之第二源/汲極端分別連接至電容器(Cs1)至電容器(Cs $k-1$ )之一端，而該電容器(Cs1)至電容器(Cs $k-1$ )之另一端則依序交替連接至第二時脈訊號與第一時脈訊號；

該主要充電電路組(2)係由  $(k-1)$  個 NMOS 電晶體(TBL1 至 TBL $k-1$ )、以及  $(k-2)$  個電容器(CBL1 至 CBL $k-2$ ) 所組成，該電晶體(TBL1)之第一源/汲極端耦接於輸入電壓( $V_s$ )，而第二源/汲極端耦接於電晶體(TBL2)之第一源/汲極端，該電晶體(TBL2)之第一源/汲極端耦接於電晶體(TBL1)之第二源/汲極端，而第二源/汲極端則耦接於電晶體(TBL3)之第一源/汲極端，以此方式串接至電晶體(TBL $k-2$ )，並且電晶體(TBL1)至電晶體(TBL $k-2$ )之閘極則分別耦接於逆電流防止電路(3)中之節點(1)至節點( $k-2$ )；此外，電晶體(TBL $k-1$ )之閘極與第一源/汲極端連接在一起，並耦接於電晶體(TBL $k-2$ )之第二源/汲極端，並將電晶體(TBL $k-1$ )之第二源/

汲極端連接至輸出端；再者，電晶體(TBL1)至電晶體(TBL $k-2$ )之第二源/汲極端分別連接至電容器(BL1)至電容器(CBL $k-2$ )之一端，而該電容器(CBL1)至電容器(CBL $k-2$ )之另一端則依序交替連接至第二時脈訊號與第一時脈訊號；

該逆電流防止電路(3)係由  $(k-2)$  個 NMOS 電晶體(Mn1 至 Mn $k-2$ )與  $(k-2)$  個 PMOS 電晶體(Mp 至 Mp $k-2$ ) 所組成，每一該 NMOS 電晶體(Mn $k-2$ )與每一該 PMOS 電晶體(Mp $k-2$ ) 係呈串聯連接，並連接在該主要充電電路組(2)中之 NMOS 電晶體(TBL $k-2$ ) 的第一源/汲極端與次要充電電路組(1)中之 NMOS 電晶體(TS $k$ )的第一源/汲極端之間，而該 NMOS 電晶體(Mn $k-2$ )與該 PMOS 電晶體(Mp $k-2$ )之閘極則連接在一起，並連接至該主要充電電路組(2)中之 NMOS 電晶體(TBL $k-2$ ) 的第二源/汲極端；此外，該 NMOS 電晶體(Mn1)與該 PMOS 電晶體(Mp1)之串聯連接點形成節點(1)，該 NMOS 電晶體(Mn2)與該 PMOS 電晶體(Mp2)之串聯連接點形成節點(2)，以此方式至 NMOS 電晶體(Mn $k-2$ )，該 NMOS 電晶體(Mn $k-2$ )與該 PMOS 電晶體(Mp $k-2$ )之串聯連接點則形成節點( $k-2$ )。

2. 如申請專利範圍第 1 項所述之低電壓充電泵浦電路，其中該次要充電電路組(1)更包括作為基底偏壓消除電路之  $k$  個 NMOS 電晶體(TSL1 至 TSL $k$ )，該 NMOS 電晶體(TSL1)至 NMOS 電晶體(TSL $k$ ) 係分別連接在該次要充電電路組(1)中之 NMOS 電晶體(TS1)至 NMOS 電晶體(TS $k$ )之基底與第二源/汲極端之間，且該 NMOS 電晶體(TSL1)之閘極係連接至第一時脈訊號，而該 NMOS 電晶

體(TSL2)至 NMOS 電晶體(TSLk)之閘極則分別連接至該次要充電電路組(1)中之 NMOS 電晶體(TS2)至 NMOS 電晶體(TSk)之第一源 / 汲極端。

3. 如申請專利範圍第 1 項所述之低電壓充電泵浦電路，其中該主要充電電路組(2)更包括作為基底偏壓消除電路之(k-1)個 NMOS 電晶體(TB1 至 TBk-1)，該 NMOS 電晶體(TB1)至 NMOS 電晶體(TBk-1)係分別連接在該主要充電電路組(2)中之 NMOS 電晶體(TBL1)至 NMOS 電晶體(TBLk-1)之基底與第二源 / 汲極端之間，且該 NMOS 電晶體(TB1)之閘極係連接至第一時脈訊號，而該 NMOS 電晶體(TB2)至 NMOS 電晶體(TBk-1)之閘極則分別連接至該主要充電電路組(2)中之 NMOS 電晶體(TBL2)至 NMOS 電晶體(TBLk-1)之第一源 / 汲極端。
4. 如申請專利範圍第 1 項所述之低電壓

充電泵浦電路，其中該第一時脈訊號與該第二時脈訊號係為互不相重疊之時脈(non-overlapping clock)，亦即該第一時脈訊號與該第二時脈訊號不可以同時為高邏輯 High。

5.

圖式簡單說明：

第一圖係顯示第一先前技藝中低電壓充電泵浦電路之電路圖；

10. 第二圖係顯示第一圖低電壓充電泵浦電路之時脈訊號時序圖；

第三圖係顯示第一圖低電壓充電泵浦電路之輸出電壓時序圖；

15. 第四圖係顯示第二先前技藝中低電壓充電泵浦電路之電路圖；

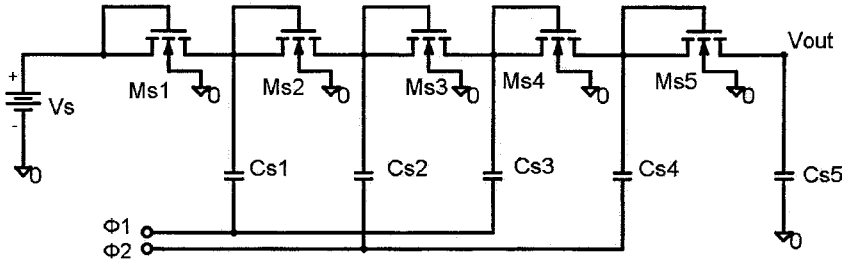
第五圖係顯示第三先前技藝中低電壓充電泵浦電路之電路圖；

20. 第六圖係顯示本創作低電壓充電泵浦電路之電路圖；

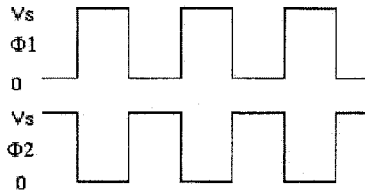
第七圖係顯示本創作低電壓充電泵浦電路之輸出電壓時序圖；

第八圖係比較本創作與先前技藝之輸出電壓位準的比較圖。

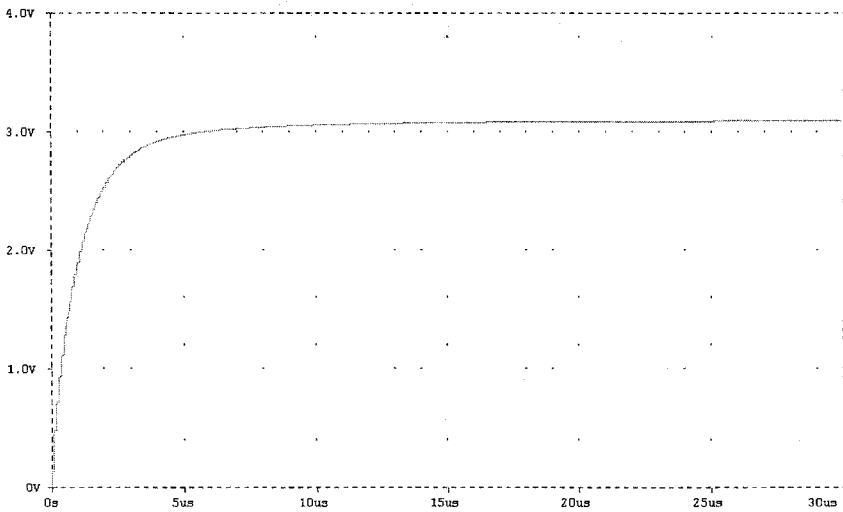
(4)



第一圖

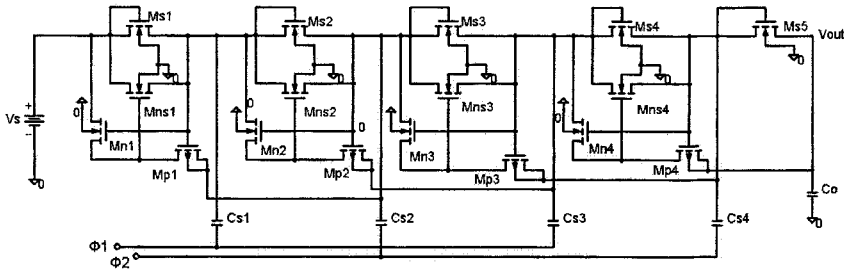


第二圖

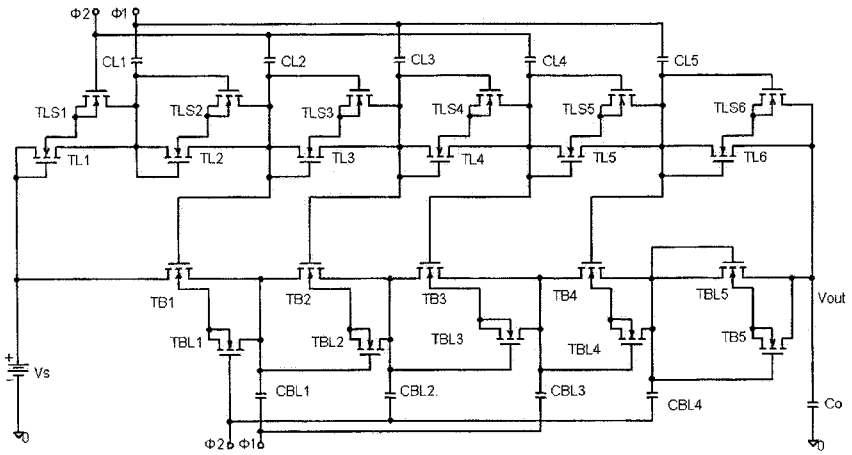


第三圖

(5)

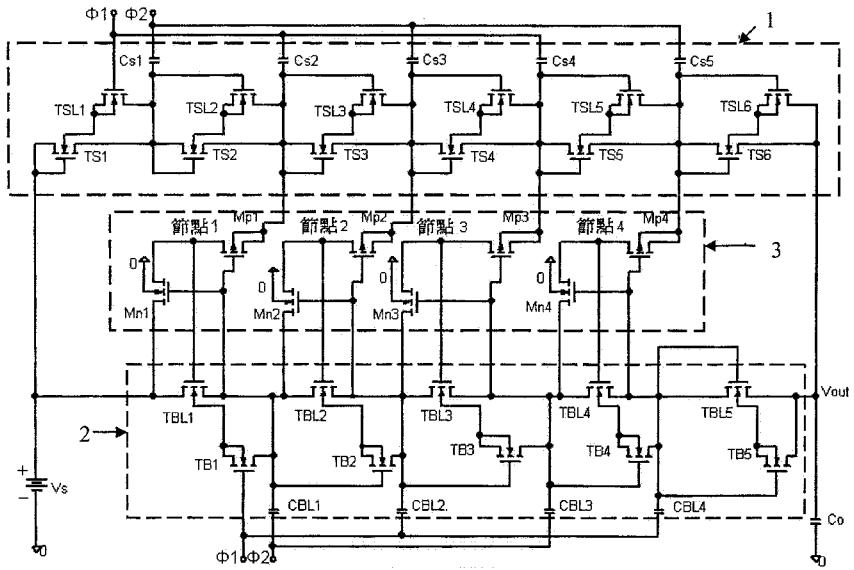


第四圖

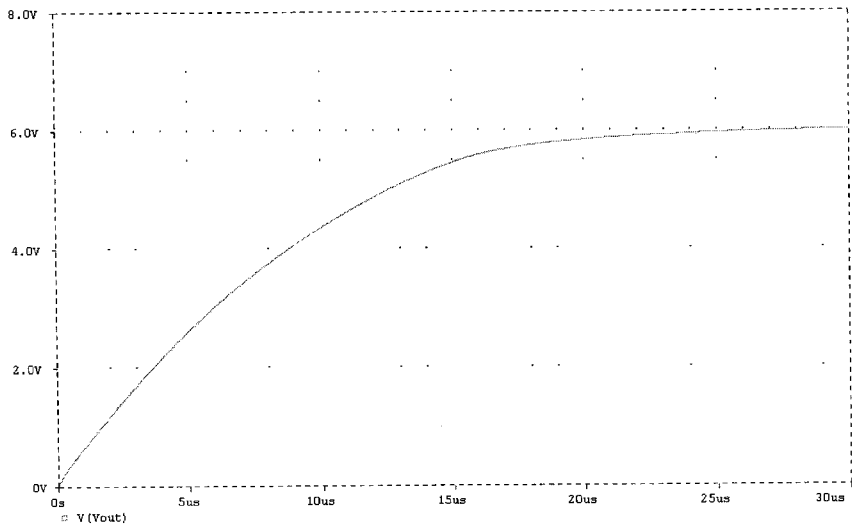


第五圖

(6)

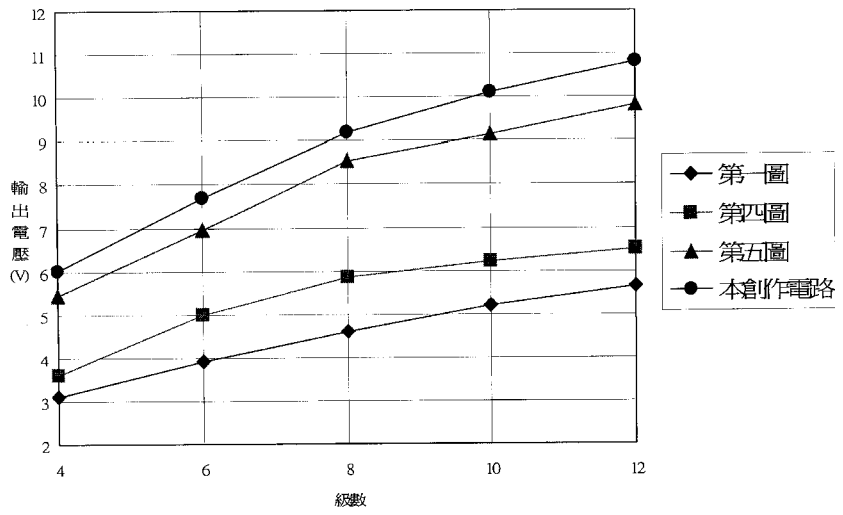


第六圖



第七圖

(7)



第八圖

