

新型專利說明書

[本說明書格式，順序及粗體字，請勿任意更動，※號部份請勿填寫]

※申請案號：

※申請日期：

※IPC分類：

一、新型名稱：

低電壓充電泵浦電路 / LOW VOLTAGE CHARGE PUMPING CIRCUIT

二、申請人：共人

指定為應受送達人

三、創作人：

◎專利代理人：

四、聲明事項

主張專利法第二十二條第二項

第一款或第二款規定之事實，其事實發生日期為：

主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

主張專利法第二十六條微生物：

熟習該項技術者易於獲得，不須寄存

五、中文發明摘要：

本創作提出一種新穎架構之低電壓充電泵浦電路，其主要係由一次要充電電路組1、一主要充電電路組2、一逆電流防止電路3以及一電容器Co所構成的，其中，該次要充電電路組1與該主要充電電路組2內部分別設置有各自之基底偏壓消除電路，由於本創作之低電壓充電泵浦電路不但設置有逆電流防止電路3，並且設置有基底偏壓消除電路，同時於主要充電電路組2內亦考慮到電晶體之閘極因與第一源/汲極連接在一起而造成充電效率欠佳之問題，因此，不但可有效提昇低電壓充電泵浦電路之充電效率，並且與先前技藝相比較，亦可獲得較高電壓位準之輸出電壓Vout。

六、英文發明摘要：

七、指定代表圖：

(一) 本案指定代表圖為：

(二) 本代表圖之元件代表符號簡單說明：

- 1 . . . 次要充電電路組
- 2 . . . 主要充電電路組
- 3 . . . 逆電流防止電路
- TS1 至 TS6 . . . NMOS 電晶體
- TSL1 至 TSL6 . . . NMOS 電晶體
- TBL1 至 TBL5 . . . NMOS 電晶體
- TB1 至 TB5 . . . NMOS 電晶體
- MP1 至 MP4 . . . PMOS 電晶體
- Mn1 至 Mn4 . . . NMOS 電晶體
- Cs1 至 Cs5 . . . 電容器
- CBL1 至 CBL4 . . . 電容器
- Vs . . . 輸入電壓
- $\Phi 1$. . . 第一時脈訊號
- $\Phi 2$. . . 第二時脈訊號
- Co . . . 輸出電容器
- Vout . . . 輸出電壓

八、新型說明：

[新型所屬之技術領域]

本創作係有關於一種供低電源供應電壓使用之充電泵浦電路，尤指利用一次要充電電路組1、一主要充電電路組2、一逆電流防止電路3以及電容器Co所組成並具高充電效率之充電泵浦電路。

[先前技術]

為了要減少功率損耗與延長電池的壽命，許多個人電腦都以低電源供應電壓來運轉，當以低電源供應電壓來運轉時，必須要解決有些電路及/或裝置需要以高電壓才能適當運作的問題，例如，電壓可消除可程式唯讀記憶體(EEPROM)就需要使用高電壓來進行儲存資料的變更或抹除。目前EEPROM朝往通訊用途發展，如用於大哥大手機，當輸入之電壓供應電壓不能提供高電壓時，則記憶

體裝置中會包括一個充電泵浦電路(charge pumping circuit)來將該輸入之電源供應電壓提昇至較高的電壓，以方便需要高電壓之其他電路及/或裝置使用。

第一圖所示為習知之傳統充電泵浦電路，該充電泵浦電路主要包括複數級呈串聯連接之N通道金氧半場效電晶體(NMOS)Ms1至Ms5以及複數個電容器Cs1至Cs5，其中，該複數個呈串聯連接之電晶體係連接在輸入電壓Vs與輸出端之間，且每級電晶體之閘極與第一源/汲極相連接，以形成一二極體組態，而第二源/汲極則不但連接至後一級電晶體之第一源/汲極，並且連接至電容器之一端，該電容器Cs1至Cs4之另一端分別耦接至二個互不相重疊之時脈(non-overlapping clock)訊號 $\Phi 1$ 與 $\Phi 2$ 的其中之一，惟電容器Cs5之另一端接地。該互不相重疊之時脈訊號 $\Phi 1$ 與 $\Phi 2$ 如第二圖所示，其電壓擺幅與輸入電壓Vs相同。

請參考第一圖所示電路，輸入電壓Vs使電晶體Ms1導通，於是電晶體Ms1的第二源/汲極端之電壓為輸入電壓Vs扣除該電晶體Ms1之門檻電壓(Threshold Voltage)Vt1。然後，當時脈訊號 $\Phi 1$ 為High時，因電晶體Ms1的第二源/汲極端之電壓會經由電容器Cs1而提升至 $2V_s - V_{t1}$ ，於是可使電晶體Ms2之第二源/汲極端之電壓提升至 $2V_s - V_{t1} - V_{t2}$ (其中Vt2表示電晶體Ms2之門檻電壓)；之後，當時脈訊號 $\Phi 2$ 為High時，因電晶體Ms2的第二源/汲極端之電壓會經由電容器Cs2而提升至 $3V_s - V_{t1} - V_{t2}$ ，於是可使電晶體Ms3之第二源/汲極端之電壓提升至 $3V_s - V_{t1} - V_{t2} - V_{t3}$ (其中Vt3表示電晶體Ms3之門檻電壓)；依此類推，輸出端之輸出電壓Vout可由方程式(1)來表示 $V_{out} = 5V_s - V_{t1} - V_{t2} - V_{t3} - V_{t4} - V_{t5}$ (1)其中，Vtj(j為正整數，且 $1 \leq j$

≤ 5)表示電晶體Msj之門檻電壓。由於電晶體基底偏壓效應(Body biased effect)的影響，

$V_{t1} < V_{t2} < V_{t3} < V_{t4} < V_{t5}$ ，因此，若欲獲得較高電壓位準之輸出電壓Vout，則須消除電晶體之基底偏壓效應；此外，熟習電子電路之人士，亦可由第一圖所示習知充電泵浦電路的結構推知，將電晶體之閘極不與第一源/汲極相連接，而連接至較該第一源/汲極之電壓位準還高之其他節點，亦可獲得較高電壓位準之輸出電壓Vout。

第一圖之傳統充電泵浦電路，在輸入電壓Vs等於1.5V且電晶體MS1至MS5之零偏壓門檻電壓 V_{T0} 等於0.5V (Zero-

bias threshold voltage)時之OrCAD Pspice暫態分析模擬結果，如第三圖所示。

最近，有幾種提升輸出電壓 V_{out} 之電壓位準的技術被提出，例如中華民國專利案第84111711號和第88109406號專利中所揭露者即是，其中，第84111711號專利案之主要電路如第四圖所示，其係由習知之傳統充電泵浦電路，由電晶體 M_{s1} 至 M_{s5} 、電容器 C_{s1} 至 C_{s4} 與電容器 C_o 所構成，並加入NMOS電晶體 M_{ns1} 至 M_{ns4} 、NMOS電晶體 M_{n1} 至 M_{n4} 與PMOS電晶體 M_{p1} 至 M_{p4} 所組構而成。該充電泵浦電路係將電晶體 M_{s1} 至 M_{s5} 之閘極經由新增設之MOS電晶體 M_{ns1} 至 M_{ns4} 而連接至較該原電晶體之第一源/汲極之電壓位準更高之其他節點，並且設置有由NMOS電晶體 M_{n1} 至 M_{n4} 與PMOS電晶體 M_{p1} 至 M_{p4} 所組成的逆電流防止電路，以試圖獲得較高電壓位準之輸出電壓 V_{out} ，但由於該專利案並未設置有基底偏壓消除電路，以及因電晶體 M_{s1} 至 M_{s5} 之閘極與第一源/汲極係連接在一起而使得電晶體之閘極電壓會受到第一源/汲極電壓的影響，以致於在提昇充電效率方面，仍有改善空間存在。

而該第88109406號專利案之主要電路如第五圖所示，其主要係由一次要充電電路組(由呈串聯連接之NMOS電晶體 $TL1$ 至 $TL6$ 、作為基底偏壓消除電路之NMOS電晶體 $TLB1$ 至 $TLB6$ 以及電容器 $CL1$ 至 $CL5$ 所組成)、一主要充電電路組(由NMOS電晶體 $TB1$ 至 $TB5$ 、作為基底偏壓消除電路之NMOS電晶體 $TBL1$ 至 $TBL5$ 以及電容器 $CB1$ 至 $CB4$ 所組成)以及電容器 C_o 所構成。但由於該專利案並未考慮到電流逆流之問題，因此，在提昇充電效率方面，仍有改善空間存在。有鑑於此，本創作之主要目的係提出一種新穎架構之低電壓充電泵浦電路，其不但設置有逆電流防止電路，並且設置有基底偏壓消除電路，同時考慮到電晶體之閘極因與第一源/汲極連接在一起而造成充電效率欠佳之問題，因此，不但可有效提昇充電效率，並且亦可獲得較高電壓位準之輸出電壓 V_{out} 。

[新型內容]

本創作提出一種新穎架構之低電壓充電泵浦電路，其主要係由一次要充電電路組1、一主要充電電路組2、一逆電流防止電路3以及電容器 C_o 所構成的，其中，該次要充

電路組1與該主要充電電路組2內部分別設置有各自之基底偏壓消除電路，由於本創作之低電壓充電泵浦電路不但設置有逆電流防止電路3，並且設置有基底偏壓消除電路，同時於主要充電電路組2內亦考慮到電晶體之閘極因與第一源/汲極連接在一起而造成充電效率欠佳之問題，因此，不但可有效提昇低電壓充電泵浦電路之充電效率，並且與先前技藝相比較，亦可獲得較高電壓位準之輸出電壓 V_{out} 。

[實施方式]

根據上述之目的，本創作提出一種低電壓充電泵浦電路，如第六圖所示，其係由一次要充電電路組1、一主要充電電路組2、一逆電流防止電路3以及電容器 C_o 所構成。其中，該次要充電電路組係由呈串聯連接之NMOS電晶體 TS_1 至 TS_6 、作為基底偏壓消除電路之NMOS電晶體 TSL_1 至 TSL_6 與電容器 Cs_1 至 Cs_5 所組成，該電晶體 TS_1 之閘極與第一源/汲極端連接在一起，並耦接於輸入電壓 V_s ，而第二源/汲極端耦接於電晶體 TS_2 之第一源/汲極端，該電晶體 TS_2 之閘極與第一源/汲極端連接在一起，並耦接於電晶體 TS_1 之第二源/汲極端，而第二源/汲極端則耦接於電晶體 TS_3 之第一源/汲極端，以此方式串接至電晶體 TS_6 ，並將電晶體 TS_6 之第二源/汲極端連接至輸出端。此外，電晶體 TS_1 至 TS_5 之第二源/汲極端連接至電容器 Cs_1 至 Cs_5 之一端，而電容器 Cs_1 、 Cs_3 與 Cs_5 之另一端則接收第二時脈訊號 Φ_2 ，電容器 Cs_2 與 Cs_4 之另一端則接收第一時脈訊號 Φ_1 ，至於電容器 C_o 之一端係連接至輸出端，而另一端則接地。作為基底偏壓消除電路使用之NMOS電晶體 TSL_1 至 TSL_6 係連接在電晶體 TS_1 至 TS_6 之基底與第二源/汲極端之間，且該NMOS電晶體 TSL_1 之閘極係連接至第一時脈訊號，而該NMOS電晶體 TSL_2 至 TSL_6 之閘極則分別連接至該次要充電電路組1中之NMOS電晶體 TS_2 至 TS_6 之第一源/汲極端。該第一時脈訊號 Φ_1 與第二時脈訊號 Φ_2 的上升時間與下降時間需為非同步，並且不可以重疊，亦即該第一時脈訊號 Φ_1 與該第二時脈訊號 Φ_2 不可以同時為High。

請參考第六圖，該主要充電電路組2包括NMOS電晶體 TBL_1 至 TBL_5 、作為基底偏壓消除電路之NMOS電晶體 TB_1 至 TB_5

與電容器CBL1至CBL4，該電晶體TBL1之第一源/汲極端耦接於輸入電壓 V_s ，而第二源/汲極端耦接於電晶體TBL2之第一源/汲極端，該電晶體TBL2之第一源/汲極端耦接於電晶體TBL1之第二源/汲極端，而第二源/汲極端則耦接於電晶體TBL3之第一源/汲極端，以此方式串接至電晶體TBL4，至於該等電晶體TBL1至TBL4之閘極則分別耦接於逆電流防止電路3中之節點1至節點4，而電晶體TBL5之閘極與第一源/汲極端連接在一起，並耦接於電晶體TBL4之第二源/汲極端，且第二源/汲極端連接至輸出端。此外，電晶體TBL1至TBL4之第二源/汲極端連接至電容器CBL1至CBL4之一端，而電容器CBL1與CBL3之另一端則接收第二時脈訊號 Φ_2 ，電容器CBL2與CBL4之另一端則接收第一時脈訊號 Φ_1 。

請再參考第六圖，該逆電流防止電路3係由NMOS電晶體Mn1至Mn4與PMOS電晶體Mp1至Mp4所組成，其中，該NMOS電晶體Mnj與該PMOS電晶體Mpj($j=1, 2, 3, 4$)係呈串聯連接，並連接在該主要充電電路組2中之NMOS電晶體TBLj的第一源/汲極端與次要充電電路組1中之NMOS電晶體TSk(其中， $k=j+2$)的第一源/汲極端之間，而該MOS電晶體Mnj與該PMOS電晶體Mpj之閘極係連接在一起，並連接至該主要充電電路組2中之NMOS電晶體TBLj的第二源/汲極端。

本創作之低電壓充電泵補電路之工作原理請參考第六圖所示之電路，首先，對於次要充電電路組1而言，由於輸入電壓 V_s 會使電晶體TS1導通，於是電晶體TS1的第二源/汲極端之電壓為輸入電壓 V_s 扣除該電晶體TS1之門檻電壓(Threshold Voltage) V_{t1} 。然後，當第二時脈訊號 Φ_2 為High時，因電晶體TS1的第二源/汲極端之電壓會經由電容器Cs1而提升至 $2V_s - V_{t1}$ ，於是可使電晶體TS2之第二源/汲極端之電壓提升至 $2V_s - V_{t1} - V_{t2}$ (其中 V_{t2} 表示電晶體TS2之門檻電壓)；之後，當第一時脈訊號 Φ_1 為High時，因電晶體TS2的第二源/汲極端之電壓會經由電容器Cs2而提升至 $3V_s - V_{t1} - V_{t2}$ ，於是可使電晶體TS3之第二源/汲極端之電壓提升至 $3V_s - V_{t1} - V_{t2} - V_{t3}$ (其中 V_{t3} 表示電晶體TS3之門檻電壓)；依此類推，就次要充電電路組1而言，輸出端之輸出電壓 V_{out} 可由方程式(2)來表示

$$V_{out} = 6V_s - V_{t1} - V_{t2} - V_{t3} - V_{t4} - V_{t5} - V_{t6} \quad (2)$$

其中，

V_{tj} (其中, j 為正整數, 且 $1 \leq j \leq 6$) 表示電晶體 TS_j 之門檻電壓。

由於本創作之次要充電電路組1中設置有作為基底偏壓消除電路之NMOS電晶體 TSL_1 至 TSL_6 , 其中, 該電晶體 TSL_1 、 TSL_3 與 TSL_5 在第一時脈訊號 ϕ_1 為 High 時導通 (ON), 而該電晶體 TSL_2 、 TSL_4 與 TSL_6 則在第二時脈訊號 ϕ_2 為 High 時導通 (ON), 這使得電晶體 TS_1 至 TS_6 的門檻電壓 V_{t1} 至 V_{t6} , 會因為該電晶體 TS_1 至 TS_6 之基底電壓與第二源/汲極端之電壓相等, 而均下降至該電晶體 TS_1 至 TS_6 之零偏壓門檻電壓 V_{T0} (Zero-bias threshold voltage), 於是方程式(2)之輸出電壓 V_{out} 可改寫成 $V_{out} = 6V_s - 6V_{T0}$

(3) 接著, 對於主要充電電路組2而言, 其工作原理與次要充電電路組1之工作原理相似, 所不同的是, 主要充電電路組2中之電晶體 TBL_1 至 TBL_4 的閘極係連接至較該電晶體 TBL_1 至 TBL_4 之第一源/汲極之電壓位準還高之節點1至節點4, 因此, 可將電晶體 TBL_4 之第二源/汲極之電壓充電至 $4V_s$, 由於電晶體 TBL_5 係呈二極體組態, 因此, 對於主要充電電路組2而言, 輸出端之輸出電壓 V_{out} 可表示成 $V_{out} = 5V_s - V_{T0}$ (4) 由方程式(3)及(4)可知, 本創作所提出之低電壓充電泵浦電路, 可將輸出端之輸出電壓 V_{out} 充電至方程式(4)之電壓位準。

為了不致於影響或降低充電效率, 本創作之主要充電電路組2中亦設置有作為基底偏壓消除電路之NMOS電晶體 TB_1 至 TB_5 , 其工作原理與次要充電電路組1中之作為基底偏壓消除電路之NMOS電晶體 TSL_1 至 TSL_6 的工作原理相同, 於此不再累述。

至於主要充電電路組2中所設置用以防止充電電流因逆流而導致降低充電效率之逆電流防止電路3, 其係由NMOS電晶體 Mn_1 至 Mn_4 與PMOS電晶體 Mp_1 至 Mp_4 所組成, 而其工作原理為: 當第二時脈訊號 ϕ_2 為 High 時, NMOS電晶體 Mn_1 和 Mn_3 以及PMOS電晶體 Mp_2 和 Mp_4 導通 (ON), 而NMOS電晶體 Mn_2 和 Mn_4 以及PMOS電晶體 Mp_1 和 Mp_3 截止 (OFF), 此時由於主要充電電路組2中之電晶體 TBL_1 和 TBL_3 呈二極體連接組態, 因此, 於主要充電電路組2中之電晶體 TBL_2 和 TBL_4 導通 (ON) 期間, 可有效防止充電電流逆流, 結果, 充電效率被有效提升; 而於第一時脈訊號 ϕ_1 為 High 時, NMOS電晶體 Mn_2 和 Mn_4 以及PMOS電晶體 Mp_1 和 Mp_3 導通 (ON), 而

NMOS電晶體Mn1和Mn3以及PMOS電晶體Mp2和Mp4截止(OFF)，此時因主要充電電路組2中之電晶體TBL2和TBL4呈二極體連接組態，因此，於主要充電電路組2中之電晶體TBL1和TBL3導通(ON)期間，亦可有效防止充電電流逆流，結果，充電效率被有效提升。

本創作所提出之低電壓充電泵浦電路，在輸入電壓 V_s 等於1.5V且所有的NMOS電晶體之零偏壓門檻電壓 V_{T0} 等於0.5V之OrCAD PSpice暫態分析模擬結果，如第七圖所示，比較第三圖之傳統充電泵浦電路的模擬結果與第七圖之本創作充電泵浦電路的模擬結果可証實，本創作確實具有較高之充電效率。而第八圖則顯示本創作與先前技藝在輸入電壓 V_s 等於1.5V且所有的NMOS電晶體之零偏壓門檻電壓 V_{T0} 等於0.5V時之輸出電壓位準的比較圖，由該第八圖可知，本創作不但可有效提昇低電壓充電泵浦電路之充電效率，並且與先前技藝相比較，亦可獲得較高電壓位準之輸出電壓 V_{out} 。

【創作功效】

由於本創作所提出之低電壓充電泵浦電路，不但設置有逆電流防止電路3，並且於次要充電電路組1以及主要充電電路組2內部均設置有基底偏壓消除電路，同時於主要充電電路組2內亦考慮到電晶體之閘極因與第一源/汲極連接在一起而造成充電效率欠佳之問題，因此，不但可有效提昇低電壓充電泵浦電路之充電效率，並且與先前技藝相比較，亦可獲得較高電壓位準之輸出電壓 V_{out} 。雖然本創作特別揭露並描述了所選之最佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本創作的精神與範圍。因此，所有相關技術範疇內之改變都包括在本創作之申請專利範圍內。

[圖式簡單說明]

第一圖係顯示第一先前技藝中低電壓充電泵浦電路之電路圖；第二圖係顯示第一圖低電壓充電泵浦電路之時脈訊號時序圖；第三圖係顯示第一圖低電壓充電泵浦電路之輸出電壓時序圖；第四圖係顯示第二先前技藝中低電壓充電泵浦電路之電路圖；第五圖係顯示第三先前技藝中低電壓充電泵浦電路之電路圖；第六圖係顯示本創作低電壓充電泵浦電路之電路圖；第七圖係顯示本創作低

電壓充電泵浦電路之輸出電壓時序圖；第八圖係比較本創作與先前技藝之輸出電壓位準的比較圖。

九、申請專利範圍：

1. 一種低電壓充電泵浦電路，其包括：一輸入端，用以提供一輸入電壓(V_s)；一輸出端，用以輸出該低電壓充電泵浦電路之輸出電壓(V_{out})；一第一與第二時脈訊號，用以提供該低電壓充電泵浦電路所需之第一與第二時脈訊號；一次要充電電路組(1)，其接收輸入電壓(V_s)，並產生複數個電壓位準供主要充電電路組(2)與輸出端使用；一主要充電電路組(2)，其接收輸入電壓(V_s)以及該次要充電電路組(1)所產生之複數個電壓位準，以便於輸出端處產生一輸出電壓(V_{out})；一逆電流防止電路(3)，用以防止該主要充電電路組(2)發生電流逆流現象，俾藉此以提高該低電壓充電泵浦電路之充電效率；以及一電容器(C_o)，該電容器係連接在輸出端與參考接地之間；其中該次要充電電路組(1)係由呈串聯連接之 k 個NMOS電晶體(TS_1 至 TS_k)以及 $(k-1)$ 個電容器(Cs_1 至 Cs_{k-1})所組成， k 為大於或等於4之正整數，該電晶體(TS_1)之閘極與第一源/汲極端連接在一起，並耦接於輸入電壓(V_s)，而第二源/汲極端耦接於電晶體(TS_2)之第一源/汲極端，該電晶體(TS_2)之閘極與第一源/汲極端連接在一起，並耦接於電晶體(TS_1)之第二源/汲極端，而第二源/汲極端則耦接於電晶體(TS_3)之第一源/汲極端，以此方式串接至電晶體(TS_k)，並將電晶體(TS_k)之第二源/汲極端連接至輸出端；再者，電晶體(TS_1)至電晶體(TS_{k-1})之第二源/汲極端分別連接至電容器(Cs_1)至電容器(Cs_{k-1})之一端，而該電容器(Cs_1)至電容器(Cs_{k-1})之另一端則依序交替連接至第二時脈訊號與第一時脈訊號；該主要充電電路組(2)係由 $(k-1)$ 個NMOS電晶體(TBL_1 至 TBL_{k-1})、以及 $(k-2)$ 個電容器(CBL_1 至 CBL_{k-2})所組成，該電晶體(TBL_1)之第一源/汲極端耦接於輸入電壓(V_s)，而第二源/汲極端耦接於電晶體(TBL_2)之第一源/汲極端，該電晶體(TBL_2)之第一源/汲極端耦接於電晶體(TBL_1)之第二源/汲極端，而第二源/汲極端則耦接於電晶體(TBL_3)之第一源/汲極端，以此方式串接至電晶體(TBL_{k-2})，並且

電晶體(TBL1)至電晶體(TBLk-2)之閘極則分別耦接於逆電流防止電路(3)中之節點(1)至節點(k-2)；此外，電晶體(TBLk-1)之閘極與第一源/汲極端連接在一起，並耦接於電晶體(TBLk-2)之第二源/汲極端，並將電晶體(TBLk-1)之第二源/汲極端連接至輸出端；再者，電晶體(TBL1)至電晶體(TBLk-2)之第二源/汲極端分別連接至電容器(BL1)至電容器(CBLk-2)之一端，而該電容器(CBL1)至電容器(CBLk-2)之另一端則依序交替連接至第二時脈訊號與第一時脈訊號；該逆電流防止電路(3)係由(k-2)個NMOS電晶體(Mn1至Mnk-2)與(k-2)個PMOS電晶體(Mp1至Mpk-2)所組成，每一該NMOS電晶體(Mnk-2)與每一該PMOS電晶體(Mpk-2)係呈串聯連接，並連接在該主要充電電路組(2)中之NMOS電晶體(TBLk-2)的第一源/汲極端與次要充電電路組(1)中之NMOS電晶體(TSk)的第一源/汲極端之間，而該NMOS電晶體(Mnk-2)與該PMOS電晶體(Mpk-2)之閘極則連接在一起，並連接至該主要充電電路組(2)中之NMOS電晶體(TBLk-2)的第二源/汲極端；此外，該NMOS電晶體(Mn1)與該PMOS電晶體(Mp1)之串聯連接點形成節點(1)，該NMOS電晶體(Mn2)與該PMOS電晶體(Mp2)之串聯連接點形成節點(2)，以此方式至NMOS電晶體(Mnk-2)，該NMOS電晶體(Mnk-2)與該PMOS電晶體(Mpk-2)之串聯連接點則形成節點(k-2)。

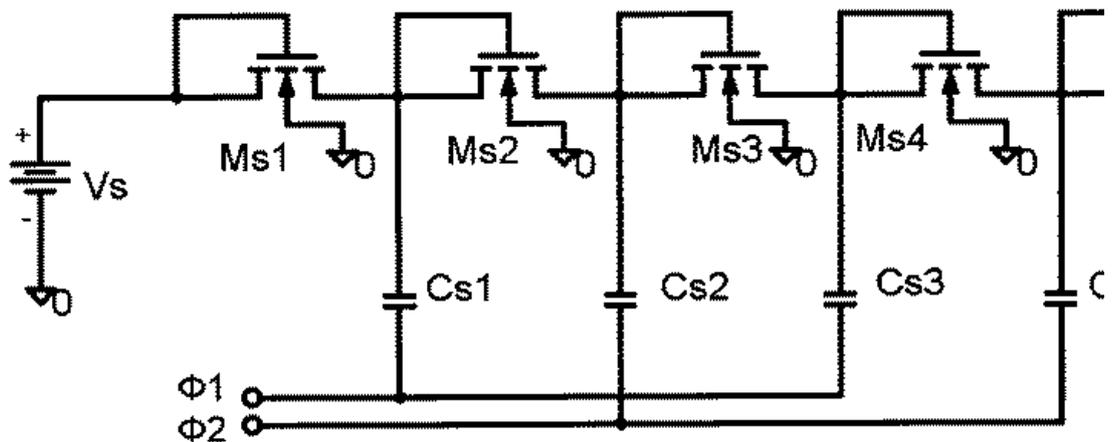
2. 如申請專利範圍第1項所述之低電壓充電泵浦電路，其中該次要充電電路組(1)更包括作為基底偏壓消除電路之k個NMOS電晶體(TSL1至TSLk)，該NMOS電晶體(TSL1)至NMOS電晶體(TSLk)係分別連接在該次要充電電路組(1)中之NMOS電晶體(TS1)至NMOS電晶體(TSk)之基底與第二源/汲極端之間，且該NMOS電晶體(TSL1)之閘極係連接至第一時脈訊號，而該NMOS電晶體(TSL2)至NMOS電晶體(TSLk)之閘極則分別連接至該次要充電電路組(1)中之NMOS電晶體(TS2)至NMOS電晶體(TSk)之第一源/汲極端。

3. 如申請專利範圍第1項所述之低電壓充電泵浦電路，其中該主要充電電路組(2)更包括作為基底偏壓消除電路之(k-1)個NMOS電晶體(TB1至TBk-1)，該NMOS電晶體(TB1)至NMOS電晶體(TBk-1)係分別連接在該主要充電電路組(2)中之NMOS電晶體(TBL1)至NMOS電晶體(TBLk-1)之基底與第二源/汲極端之間，且該NMOS電晶體(TB1)之閘

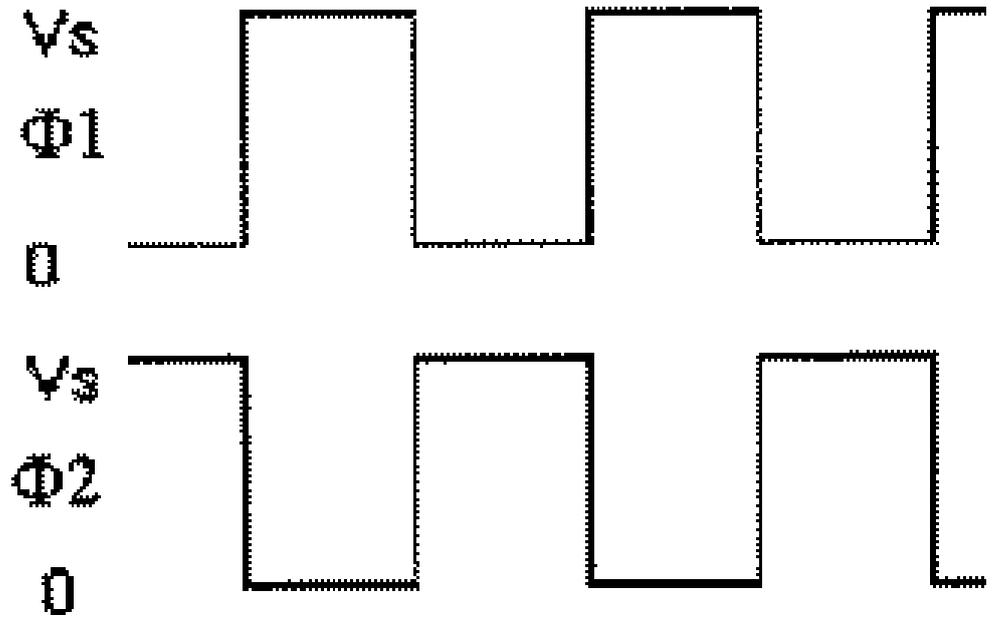
極係連接至第一時脈訊號，而該NMOS電晶體(TB2)至NMOS電晶體(TBk-1)之閘極則分別連接至該主要充電電路組(2)中之NMOS電晶體(TBL2)至NMOS電晶體(TBLk-1)之第一源/汲極端。

4. 如申請專利範圍第1項所述之低電壓充電泵浦電路，其中該第一時脈訊號與該第二時脈訊號係為互不重疊之時脈(non-overlapping clock)，亦即該第一時脈訊號與該第二時脈訊號不可以同時為高邏輯High。

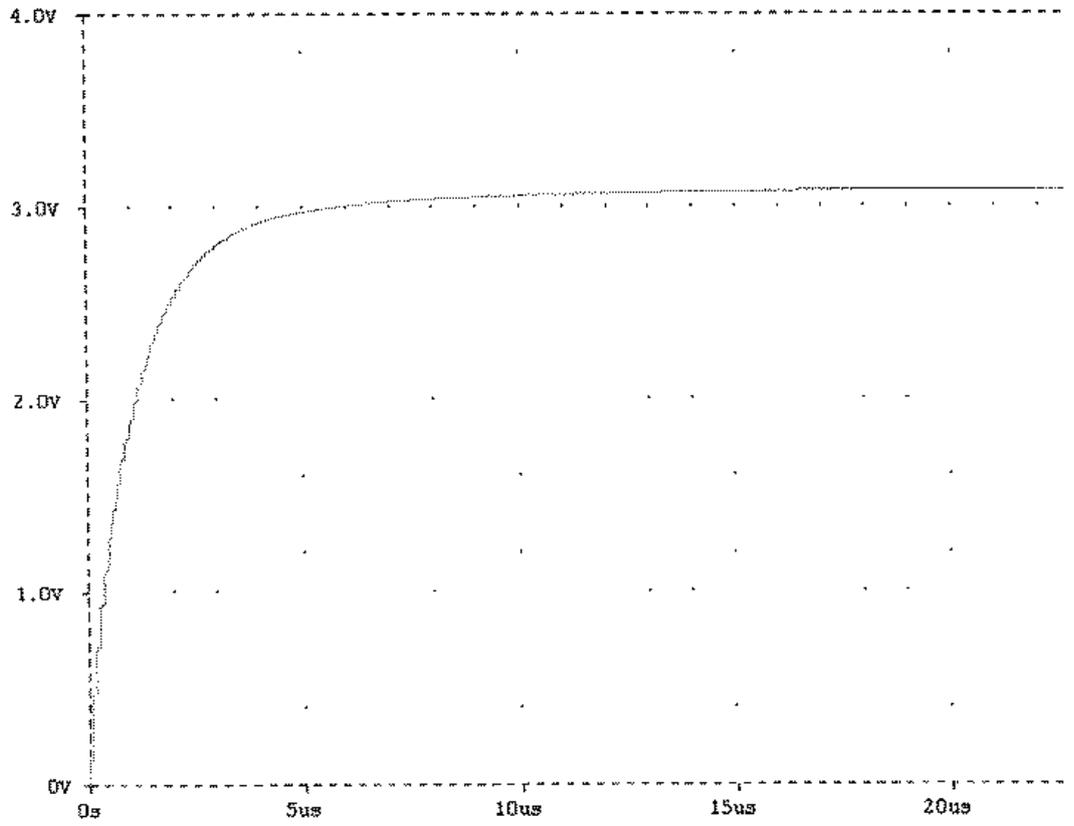
十、圖式：



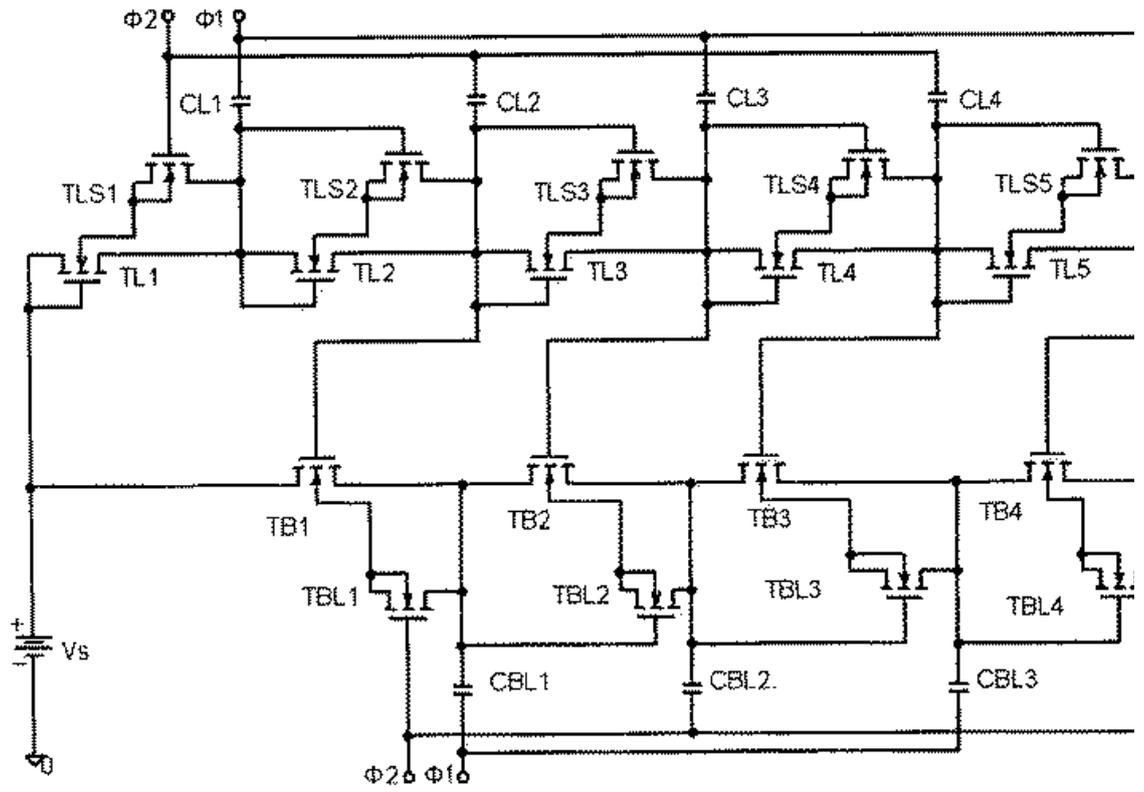
第一圖



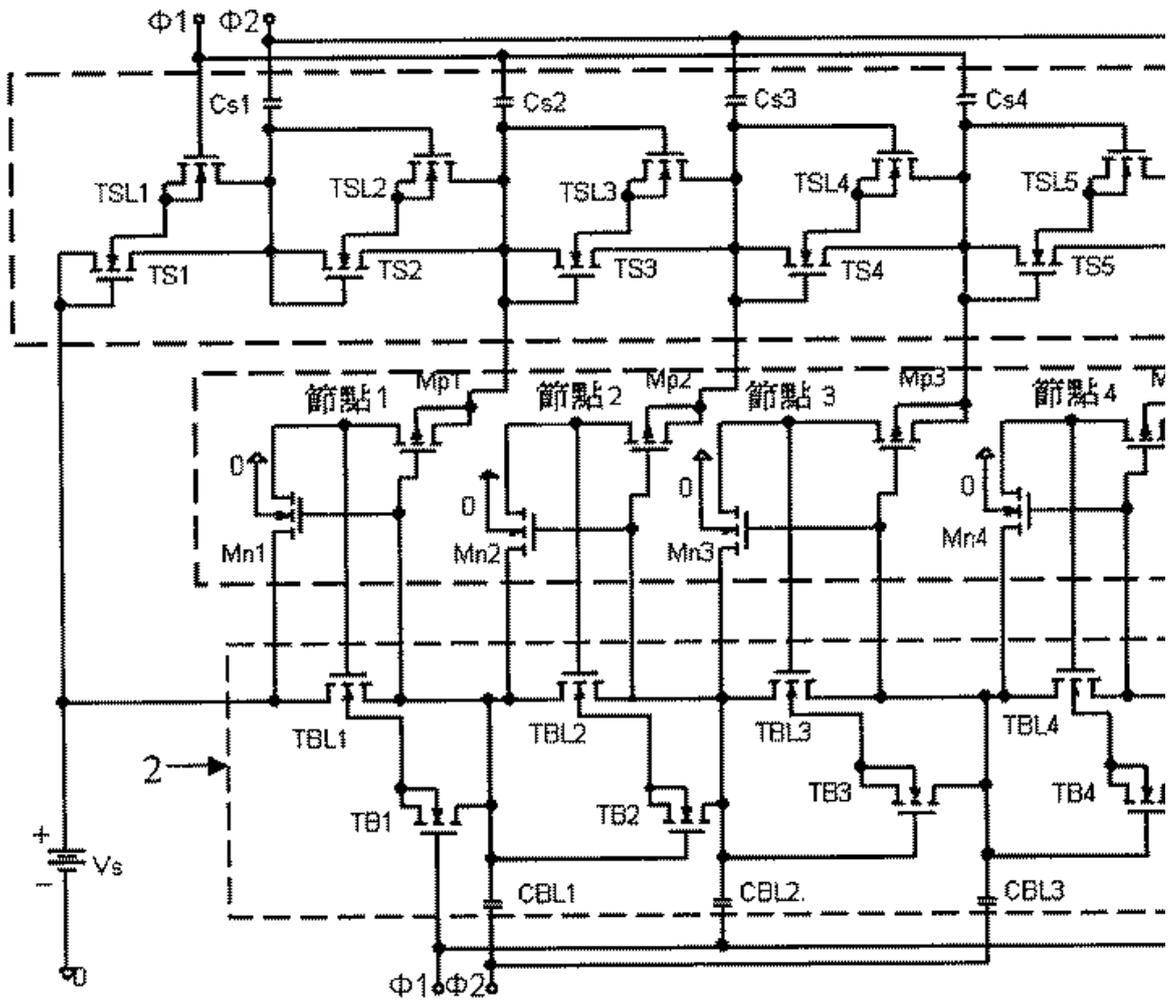
第二圖



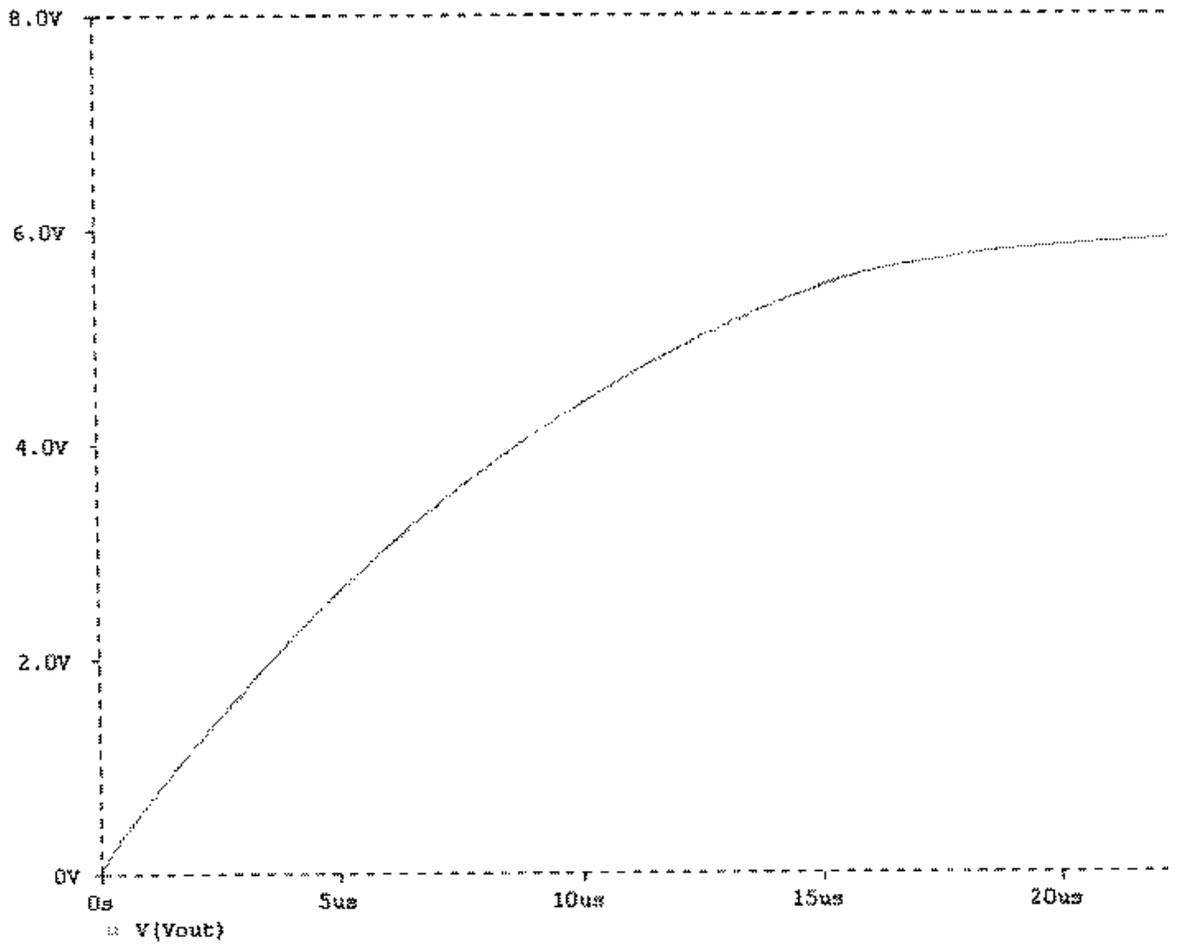
第三圖



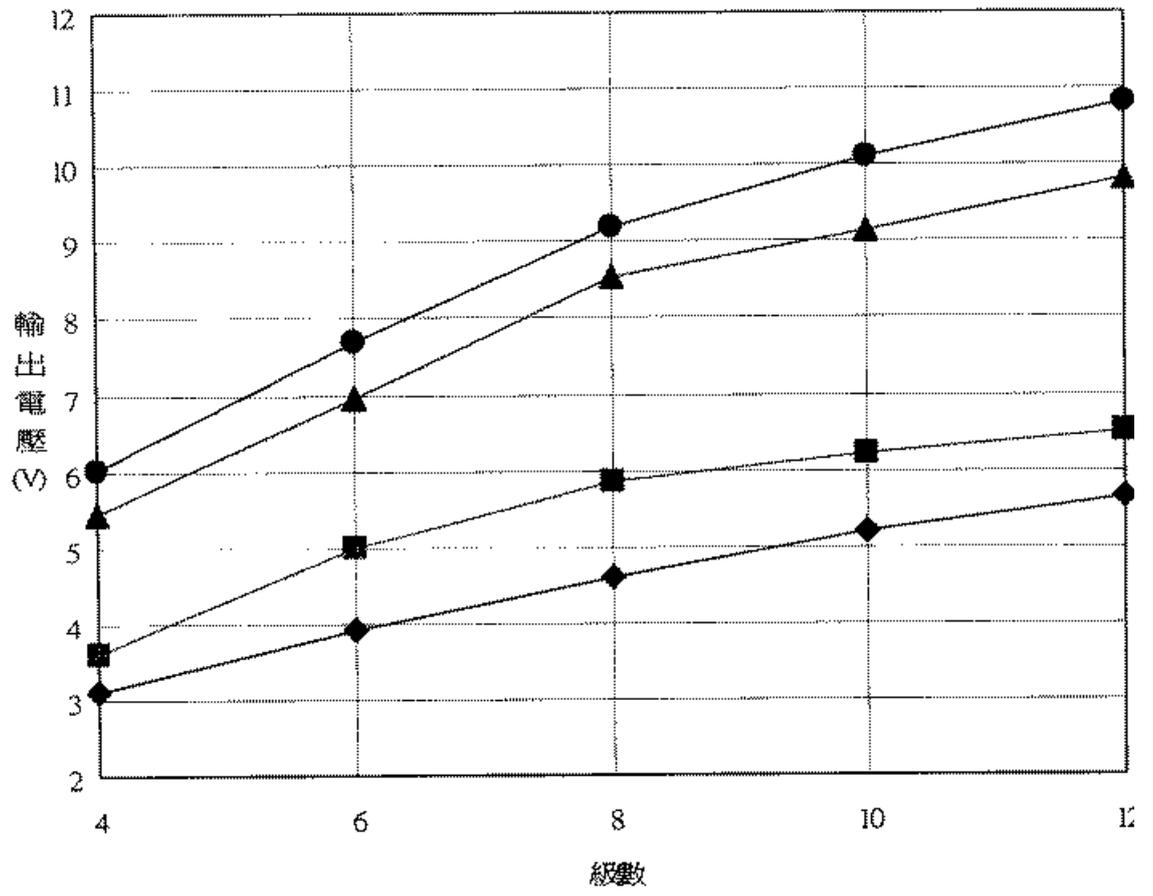
第五圖



第六圖



第七圖



第八圖