

【11】證書號數： M276302

【45】公告日： 中華民國 94 (2005) 年 09 月 21 日

【51】Int. Cl.⁷: G11C11/34

新型

全 4 頁

【54】名稱： 三電晶體式動態隨機存取記憶體晶胞
A DRAM OF A 3-TRANSISTOR CELL

【21】申請案號： 094205424

【22】申請日期： 中華民國 94 (2005) 年 04 月 08 日

【72】創作人：

蕭明椿

SHIAU, MING CHUEN

【71】申請人：

修平技術學院

HSIUPING INSTITUTE OF
TECHNOLOGY

臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種三電晶體式動態隨機存取記憶體晶胞，其包括：

一寫入電晶體(N1)，其源/汲極之一係連接至寫入資料線(WD)，閘極連接至寫入字元線(WW)，源/汲極之另一連接至儲存節點(SN)，而基底則連接至一第一控制電壓(BW)；

一儲存電晶體(N2)，其源/汲極之一係連接至接地端，閘極連接至該儲存節點(SN)，源/汲極之另一與讀取

電晶體(N3)相連接，而基底則連接至一第二控制電壓(BR)；以及

一讀取電晶體(N3)，其源/汲極之一係連接至該儲存電晶體(N2)，閘極連接至讀取字元線(RW)，源/汲極之另一連接至讀取資料線(RD)，而基底則連接至該第二控制電壓(BR)；

其中，該第一控制電壓(BW)與該第二控制電壓(BR)於寫入操作期間以及讀取操作期間係設定為不同之電

壓，而於持機狀態期間則設定為相同之電壓。

- 2.如申請專利範圍第1項所述之三電晶體式動態隨機存取記憶體晶胞，其中該寫入電晶體(N1)、該儲存電晶體(N2)以及該讀取電晶體(N3)，均係為一NMOS電晶體。
- 3.如申請專利範圍第2項所述之三電晶體式動態隨機存取記憶體晶胞，其中於該寫入操作期間，係將該第一控制電壓(BW)設定為較接地電壓為高之電壓，而將該第二控制電壓(BR)設定為較接地電壓為低之電壓。
- 4.如申請專利範圍第2項所述之三電晶體式動態隨機存取記憶體晶胞，其中於該讀取操作期間，係將該第一控制電壓(BW)設定為較接地電壓為低之電壓，而將該第二控制電壓(BR)設定為較接地電壓為高之電壓。

- 5.如申請專利範圍第2項所述之三電晶體式動態隨機存取記憶體晶胞，其中於該待機狀態期間，係將該第一控制電壓(BW)與該第二控制電壓(BR)均設定為較接地電壓為低之電壓。

圖式簡單說明：

第一A圖 係顯示習知1T1C動態隨機存取記憶體(DRAM)晶胞之電路示意圖；

10. 第一B圖 係顯示第一A圖中1T1C晶胞實施在半導體基底上的剖面示意圖；

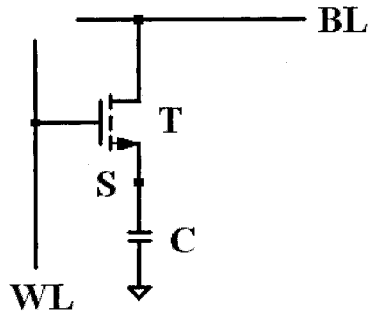
第二圖 係顯示習知6T靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

15. 第三圖 係顯示習知三電晶體式動態隨機存取記憶體晶胞之示意圖；

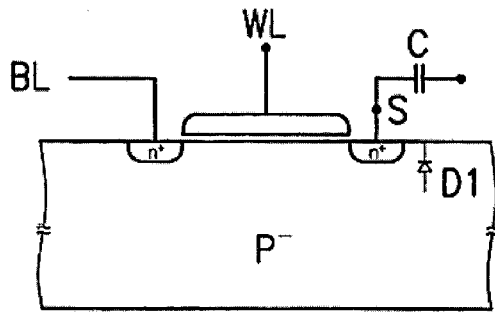
第四圖 係顯示本創作所提出之

20. 三電晶體式動態隨機存取記憶體晶胞之示意圖。

(3)

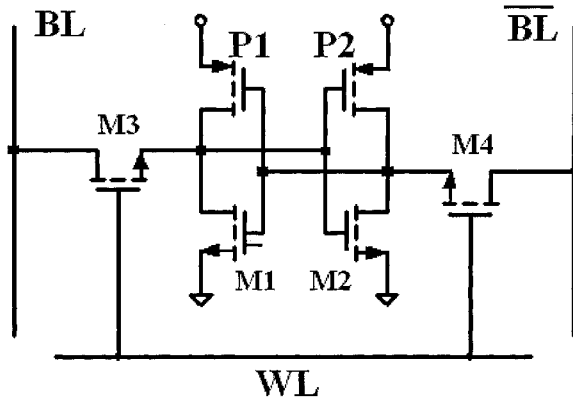


第一 A 圖

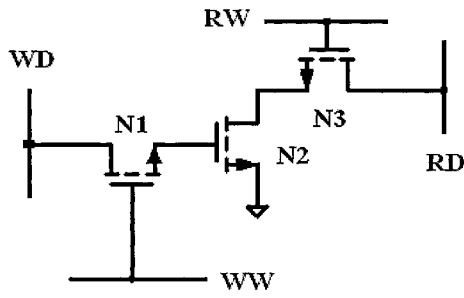


第一 B 圖

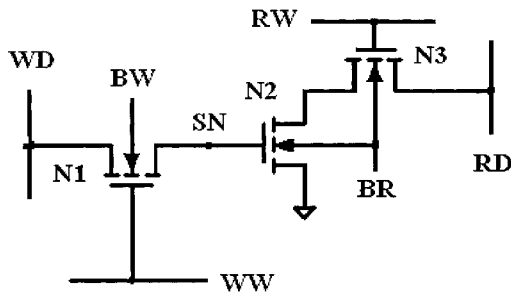
(4)



第二圖



第三圖



第四圖