

【11】證書號數： M276303

【45】公告日： 中華民國 94 (2005) 年 09 月 21 日

【51】Int. Cl.⁷: G11C11/405
H01L27/108
H01L21/8242

新型

全 4 頁

【54】名稱： 可降低讀取干擾之三電晶體式 D R A M 晶胞
A DRAM OF A 3-TRANSISTOR CELL WITH REDUCED READ
DISTURBANCE

【21】申請案號： 094205423

【22】申請日期： 中華民國 94 (2005) 年 04 月 08 日

【72】創作人：

蕭明椿

SHIAU, MING CHUEN

【71】申請人：

修平技術學院

HSIUPING INSTITUTE OF
TECHNOLOGY

臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種可降低讀取干擾之三電晶體式 DRAM 晶胞，其包括：

一寫入電晶體(N1)，其為一 NMOS 電晶體，源/汲極之一係連接至寫入資料線(WE)，開極連接至寫入字元線(WW)，而源/汲極之另一則連接至儲存節點(SN)；

一儲存電晶體(N2)，其為一 NMOS 電晶體，源極係連接至讀取字元線(RW)，閘極連接至該儲存節點

(SN)，而汲極則連接至內部節點(AN)；以及

一讀取電晶體(N3)，其為一 PMOS 電晶體，源/汲極之一係連接至該內部節點(AN)，閘極連接至讀取字元線(RW)，而源/汲極之另一則連接至讀取資料線(RD)。

5.

2. 如申請專利範圍第 1 項所述之可降低讀取干擾之三電晶體式 DRAM 晶胞，其中該讀取電晶體(N3)之基底係

10.

受控於一控制電壓(VC)。

- 3.如申請專利範圍第2項所述之可降低讀取干擾之三電晶體式 DRAM 晶胞，其中該控制電壓(VC)於讀取操作期間，係設定為較電源電壓為低之電壓，而在讀取操作以外之期間，則設定為電源電壓。
- 4.如申請專利範圍第1項所述之可降低讀取干擾之三電晶體式 DRAM 晶胞，其中於寫入操作期間，係將該寫入字元線(WW)設定為電源電壓，並將該讀取字元線(RW)設定為電源電壓。
- 5.如申請專利範圍第1項所述之可降低讀取干擾之三電晶體式 DRAM 晶胞，其中於讀取操作期間，係將該寫入字元線(WW)設定為接地電壓，並將該讀取字元線(RW)設定為接地電壓。
- 6.如申請專利範圍第1項所述之可降低

讀取干擾之三電晶體式 DRAM 晶胞，其中於待機狀態期間，係將該寫入字元線(WW)設定為接地電壓，並將該讀取字元線(RW)設定為電源電壓。

5.

圖式簡單說明：

第一A圖 係顯示習知1T1C動態隨機存取記憶體(DRAM)晶胞之電路示意圖；

10.

第一B圖 係顯示第一A圖中1T1C晶胞實施在半導體基底上的剖面示意圖；

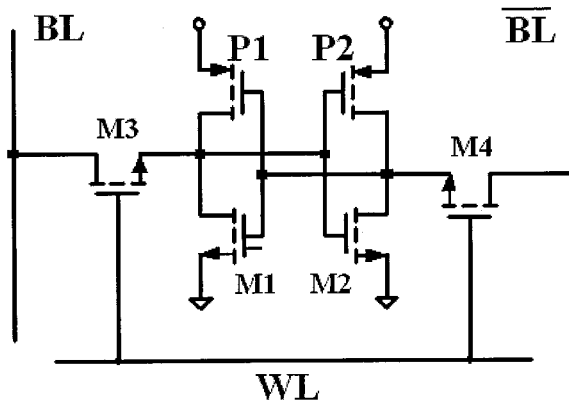
15.

第二圖 係顯示習知6T靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

20.

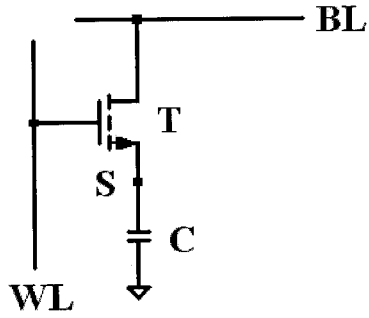
第三圖 係顯示習知三電晶體式動態隨機存取記憶體晶胞之示意圖；

第四圖 係顯示本創作所提出之可降低讀取干擾之三電晶體式 DRAM 晶胞示意圖。

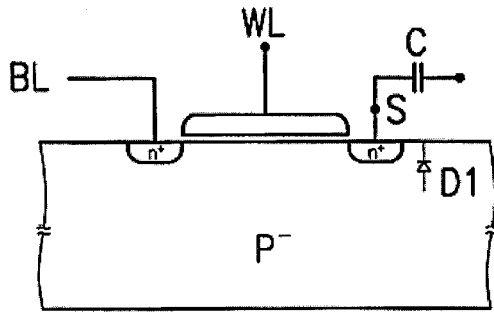


第二圖

(3)

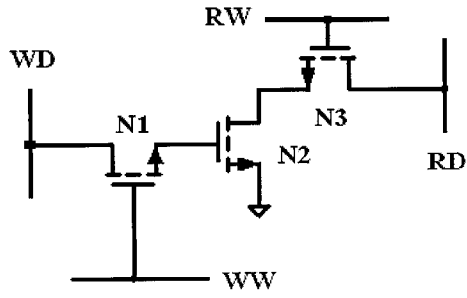


第一 A 圖

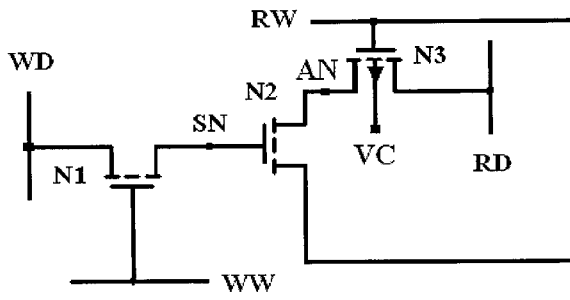


第一 B 圖

(4)



第三圖



第四圖