

新型專利說明書

[本說明書格式，順序及粗體字，請勿任意更動，※號部份請勿填寫]

※申請案號：

※申請日期：

※IPC分類：

一、新型名稱：

可降低讀取干擾之三電晶體式DRAM晶胞 / A DRAM of a 3-transistor cell with reduced read disturbance

二、申請人：共人

指定為應受送達人

三、創作人：

◎專利代理人：

四、聲明事項

主張專利法第二十二條第二項

第一款或第二款規定之事實，其事實發生日期為：

主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

主張專利法第二十六條微生物：

熟習該項技術者易於獲得，不須寄存

五、中文發明摘要：

本創作提出一種可降低讀取干擾之三電晶體式DRAM晶胞，其係由一寫入電晶體N1、一儲存電晶體N2以及一讀取電晶體N3所組成，其中，該寫入電晶體N1和該儲存電晶體N2係為NMOS電晶體，而該讀取電晶體N3係為PMOS電晶體，並且將該儲存電晶體N2之源極由先前技藝連接至接地端，變更為連接至讀取字元線(RW)，該讀取字元線(RW)於讀取操作期間係設定為接地電壓，而於讀取操作以外之期間則設定為電源電壓。藉此，即可阻斷非選擇(nonselected)DRAM晶胞之漏電流(leaking current)，並達成有效降低讀取干擾及有效提高讀取可靠度之功效。

六、英文發明摘要：

七、指定代表圖：

(一) 本案指定代表圖為：

(二) 本代表圖之元件代表符號簡單說明：

AN . . . 內部節點
VC . . . 控制電壓
N1 . . . 寫入電晶體
N2 . . . 儲存電晶體
N3 . . . 讀取電晶體
RD . . . 讀取資料線
RW . . . 讀取字元線
SN . . . 儲存節點
WD . . . 寫入資料線
WW . . . 寫入字元線

八、新型說明：

[新型所屬之技術領域]

本創作係有關一種三電晶體式動態隨機存取記憶體晶胞 (A DRAM of a 3-transistor cell)，尤指一種可降低讀取干擾(read disturbance)之三電晶體式動態隨機存取記憶體(DRAM)晶胞(cell)。

[先前技術]

記憶體在電腦工業中扮演著無可或缺的角色。通常，記憶體可依照其能否在電源關閉後仍能保存資料，而區分為動態隨機存取記憶體(DRAM)及靜態隨機存取記憶體(SRAM)兩種。動態隨機存取記憶體(DRAM)具有面積小及價格低等優點，但操作時必須不時地更新(refresh)以防止資料因漏電流而遺失，而導致存在有高速化困難及消耗功率大等缺失。相反地，靜態隨機存取記憶體(SRAM)的操作則較為簡易且毋須更新操作，因此具有高速化及消耗功率低等優點，但由於構成SRAM晶胞通常需要6個電晶體，而導致存在有高集積化困難及價格高等缺失。

第一A圖即是習知1T1C動態隨機存取記憶體(DRAM)晶胞(Cell)的電路示意圖。如圖中所示，1T1C記憶胞是由一個存取電晶體T及一個儲存電容器C所構成。存取電晶體T

的源極連接儲存電容器C，閘極及汲極則分別連接字元線WL及位元線BL。第一B圖即是第一A圖中1T1C晶胞實施在半導體基底上的剖面示意圖。如圖中所示，存取電晶體T的源極及儲存電容器C間形成有寄生二極體D1（PN界面），因此即便存取電晶體T處於關閉狀態（字元線WL的電位為零），儲存電容器C存放的信號S（邏輯"1"）仍會因漏電流的緣故，隨時間增長而降低電位。是以，這種動態隨機存取記憶體(DRAM)必須周期性地進行更新，亦即，先將儲存電容器C存放的信號讀取後，藉由位元線BL上的感應放大器（圖中未示）放大，再將放大後的信號反寫回去。然而，DRAM之位址係分別設行位址及列位址，必須有規定此等位址之擷取時序的信號RAS（行位址閃控）信號及CAS（列位址閃控）信號，因而需要用以定期更新晶胞之控制電路，有時序控制比SRAM複雜，且耗電大之問題。

而以行動電話為代表之行動電子設備所採用之半導體記憶裝置，目前係以SRAM為主流。此乃由於SRAM待用電流小，適於連續通話時間、連續待機時間盡可能延長之手機。第二圖即是6T靜態隨機存取記憶體(SRAM)晶胞之電路示意圖，其中，PMOS電晶體P1和P2稱為負載電晶體，M1和M2稱為驅動電晶體，M3和M4稱為存取電晶體，由於該SRAM晶胞需要6個電晶體，且驅動電晶體與存取電晶體間的電流驅動能力比（即單元比率(cell ratio)）通常設定在2至3之間，而導致存在有高集積化困難及價格高等缺失。

近來，隨著超大型積體電路(VLSI)高性能化，在一個半導體晶片(semiconductor chip)上將CPU(Central Processing Unit)、DSP(Digital Signal Processor)、影像(Video)處理電路、類比(analog)電路、專用邏輯(logic)電路等與DRAM和SRAM混裝在一系統單晶片

(System On Chip，簡稱SOC)之技術已被如火如荼地開發中。由於製造習知1T1C動態隨機存取記憶體(DRAM)晶胞之儲存電容器的製程並不相容於系統單晶片(SOC)其他電路的製程，因此，有必要開發出不具儲存電容器之動態隨機存取記憶體(DRAM)晶胞。

第三圖即是習知之三電晶體式動態隨機存取記憶體晶胞，其並不具有儲存電容器，於中華民國公告案號第411462號和第521362號、以及JP2001291389、

WO2004075297、EP0887863、US5812476、US6519195和US6809979等專利案中均有針對該三電晶體式動態隨機存取記憶體晶胞提出相關之記載，惟對於如何以簡單的方式來降低讀取干擾之技術，並未有揭露。

請再參考第三圖，於資料(data)寫入時，將寫入字元線(WW)開啟(on)，以便從寫入資料線(WD)，將對應寫入資料(write data)之電壓經由寫入電晶體N1對儲存電晶體N2的閘極(gate)進行寫入。被寫入的資料，則藉由開啟(on)讀取字元線(RW)，並經由讀取電晶體N3於讀取資料線(RD)讀取資料。資料讀取時，如儲存電晶體N2的閘極電壓(gate voltage)為較高電壓時，因儲存電晶體N2及讀取電晶體N3均為導通狀態，預先以高電壓充電的讀取資料線(RD)於是向0伏特放電；反之，如果儲存電晶體N2的閘極電壓(gate voltage)為較低電壓時，因儲存電晶體N2為非導通狀態，於是讀取資料線(RD)仍保持高電壓。藉此，即可藉由檢測讀取資料線RD的電壓來判別資料。於此值得注意的是，資料的儲存係保持於儲存電晶體N2的閘極容量中。

通常，為了製程方便，第三圖中之寫入電晶體N1、儲存電晶體N2以及讀取電晶體N3均使用相同的臨限電壓。據此，為了使動態隨機存取記憶體晶胞的動作低電壓化或謀求高速操作，必須將寫入電晶體N1、儲存電晶體N2以及讀取電晶體N3之臨限電壓均設定為較低電壓。然而，此較低之臨限電壓，於讀取操作期間，會在非選擇(nonselected)DRAM晶胞之讀取電晶體N3連接至讀取資料線(RD)之源/汲極端與儲存電晶體N2連接至接地之源極端之間形成漏電流(leaking current)路徑，該非選擇DRAM晶胞之漏電流會干擾選擇(selected)DRAM晶胞之正常讀取操作，而導致降低讀取邊際(read margin)，嚴重的話，甚至會造成讀取錯誤之問題。

有鑑於此，本創作之主要目的係提出一種可降低讀取干擾之三電晶體式DRAM晶胞，其能有效降低讀取干擾，並可藉此以有效提高讀取邊際及有效提高讀取可靠度。

[新型內容]

本創作提出一種可降低讀取干擾之三電晶體式DRAM晶胞，其係由一寫入電晶體N1、一儲存電晶體N2以及一讀

取電晶體N3所組成，其中，該寫入電晶體N1和該儲存電晶體N2係為NMOS電晶體，而該讀取電晶體N3係為PMOS電晶體，並且將該儲存電晶體N2之源極由先前技藝（如第三圖所示）連接至接地端，變更為連接至讀取字元線(RW)，該讀取字元線(RW)於讀取操作期間係設定為接地電壓，而於讀取操作以外之期間則設定為電源電壓。藉此，即可阻斷非選擇(nonselected)DRAM晶胞之漏電流(leaking current)，並達成有效降低讀取干擾及有效提高讀取可靠度之功效。

[實施方式]

根據上述之目的，本創作提出一種可降低讀取干擾之三電晶體式DRAM晶胞，第四圖所示，其係由一寫入電晶體N1、一儲存電晶體N2以及一讀取電晶體N3所組成，其中，該寫入電晶體N1係為NMOS電晶體，其源/汲極之一係連接至寫入資料線(WD)，閘極連接至寫入字元線(WW)，而源/汲極之另一則連接至儲存節點SN(Storage Node)；該儲存電晶體N2係為NMOS電晶體，其源極係連接至讀取字元線(RW)，閘極連接至該儲存節點SN，而汲極則連接至內部節點AN；該讀取電晶體N3係為PMOS電晶體，其源/汲極之一係連接至該內部節點AN，閘極連接至讀取字元線(RW)，源/汲極之另一連接至讀取資料線(RD)，而基底則受控於一控制電壓VC。該寫入字元線(WW)與該讀取字元線(RW)係因應DRAM晶胞之操作模式（寫入操作、讀取操作或待機狀態）而設定為不同之電壓，如表一所示。

表一

操作模式期間	寫入字元線(WW)	讀取字元線(RW)
寫入操作期間	電源電壓	電源電壓
讀取操作期間	接地電壓	接地電壓
待機期間	接地電壓	電源電壓

茲依DRAM晶胞之操作模式說明第四圖之本創作較佳實施例的工作原理如下：（一）於寫入操作期間由於寫入字元線(WW)係為電源電壓，因此可開啟寫入電晶體N1，並將對應寫入資料(write data)之電壓經由呈導通(on)狀態之寫入電晶體N1對儲存節點SN進行寫入操作。此時讀取字元線(RW)係為電源電壓，因此如預期般令讀取電晶體N3呈截止(off)狀態。

（二）於讀取操作期間由於讀取字元線(RW)係為接地電壓，因此可開啟讀取電晶體N3，並經由呈導通(on)狀態之讀取電晶體N3於讀取資料線(RD)上讀取資料，此時可藉由令控制電壓VC為較電源電壓稍低之電壓（例如電源電壓減去0.25V之電壓），以使得讀取電晶體N3之臨限電壓能較零基底偏壓時之臨限電壓(zero-bias threshold voltage)為小，藉此即可提高讀取操作速度。此外，由於寫入字元線(WW)係為接地電壓，因此如預期般令寫入電晶體N1呈截止(off)狀態。

再者，對於非選擇(nonselected)DRAM晶胞而言，由於此時儲存電晶體N2之源極係連接至電源電壓，因此可阻斷經由讀取電晶體N3和儲存電晶體N2所形成之漏電流(leaking current)路徑，結果，可藉由阻斷非選擇DRAM晶胞之漏電流路徑，而有效達成降低讀取干擾及提高讀取可靠度之功效。

（三）於待機期間由於寫入字元線(WW)係為接地電壓，且讀取字元線(RW)係為電源電壓，因此，如預期般令寫

入電晶體N1和讀取電晶體N3均呈截止(off)狀態。

由上述分析可知，本創作所提出之三電晶體式DRAM晶胞確實可有效達成降低讀取干擾及提高讀取可靠度之功效。

雖然本創作特別揭露並描述了所選之最佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本創作的精神與範圍。因此，所有相關技術範疇內之改變都包括在本創作之申請專利範圍內。

[圖式簡單說明]

第一A圖 係顯示習知1T1C動態隨機存取記憶體(DRAM)晶胞之電路示意圖；第一B圖 係顯示第一A圖中1T1C晶胞實施在半導體基底上的剖面示意圖；第二圖 係顯示習知6T靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；第三圖 係顯示習知三電晶體式動態隨機存取記憶體晶胞之示意圖；第四圖 係顯示本創作所提出之可降低讀取干擾之三電晶體式DRAM晶胞示意圖。

九、申請專利範圍：

1. 一種可降低讀取干擾之三電晶體式DRAM晶胞，其包括：一寫入電晶體(N1)，其為一NMOS電晶體，源/汲極之一係連接至寫入質料線(WD)，閘極連接至寫入字元線(WW)，而源/汲極之另一則連接至儲存節點(SN)；一儲存電晶體(N2)，其為一NMOS電晶體，源極係連接至讀取字元線(RW)，閘極連接至該儲存節點(SN)，而汲極則連接至內部節點(AN)；以及一讀取電晶體(N3)，其為一PMOS電晶體，源/汲極之一係連接至該內部節點(AN)，閘極連接至讀取字元線(RW)，而源/汲極之另一則連接至讀取資料線(RD)。

2. 如申請專利範圍第1項所述之可降低讀取干擾之三電晶體式DRAM晶胞，其中該讀取電晶體(N3)之基底係受控於一控制電壓(VC)。

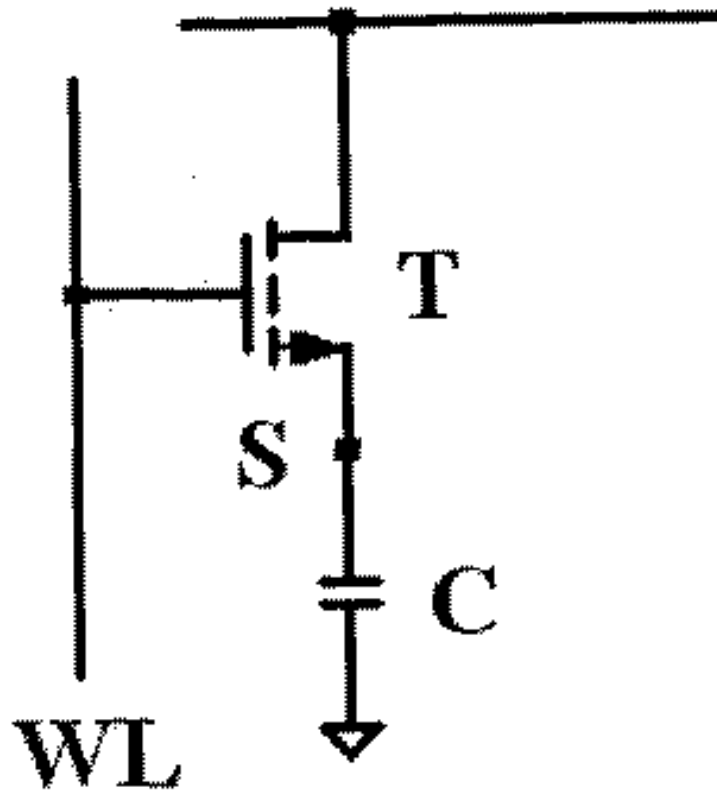
3. 如申請專利範圍第2項所述之可降低讀取干擾之三電晶體式DRAM晶胞，其中該控制電壓(VC)於讀取操作期間，係設定為較電源電壓為低之電壓，而在讀取操作以外之期間，則設定為電源電壓。

4. 如申請專利範圍第1項所述之可降低讀取干擾之三電晶體式DRAM晶胞，其中於寫入操作期間，係將該寫入字元線(WW)設定為電源電壓，並將該讀取字元線(RW)設定為電源電壓。

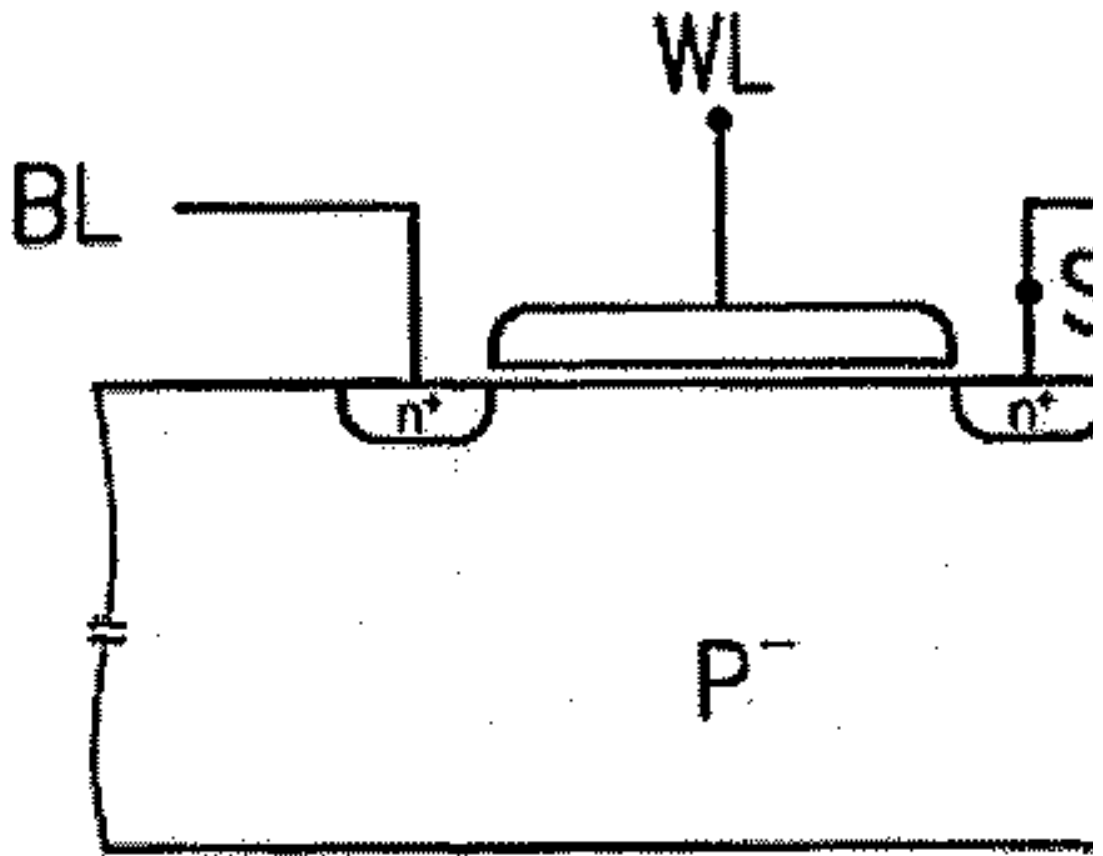
5. 如申請專利範圍第1項所述之可降低讀取干擾之三電晶體式DRAM晶胞，其中於讀取操作期間，係將該寫入字元線(WW)設定為接地電壓，並將該讀取字元線(RW)設定為接地電壓。

6. 如申請專利範圍第1項所述之可降低讀取干擾之三電晶體式DRAM晶胞，其中於待機狀態期間，係將該寫入字元線(WW)設定為接地電壓，並將該讀取字元線(RW)設定為電源電壓。

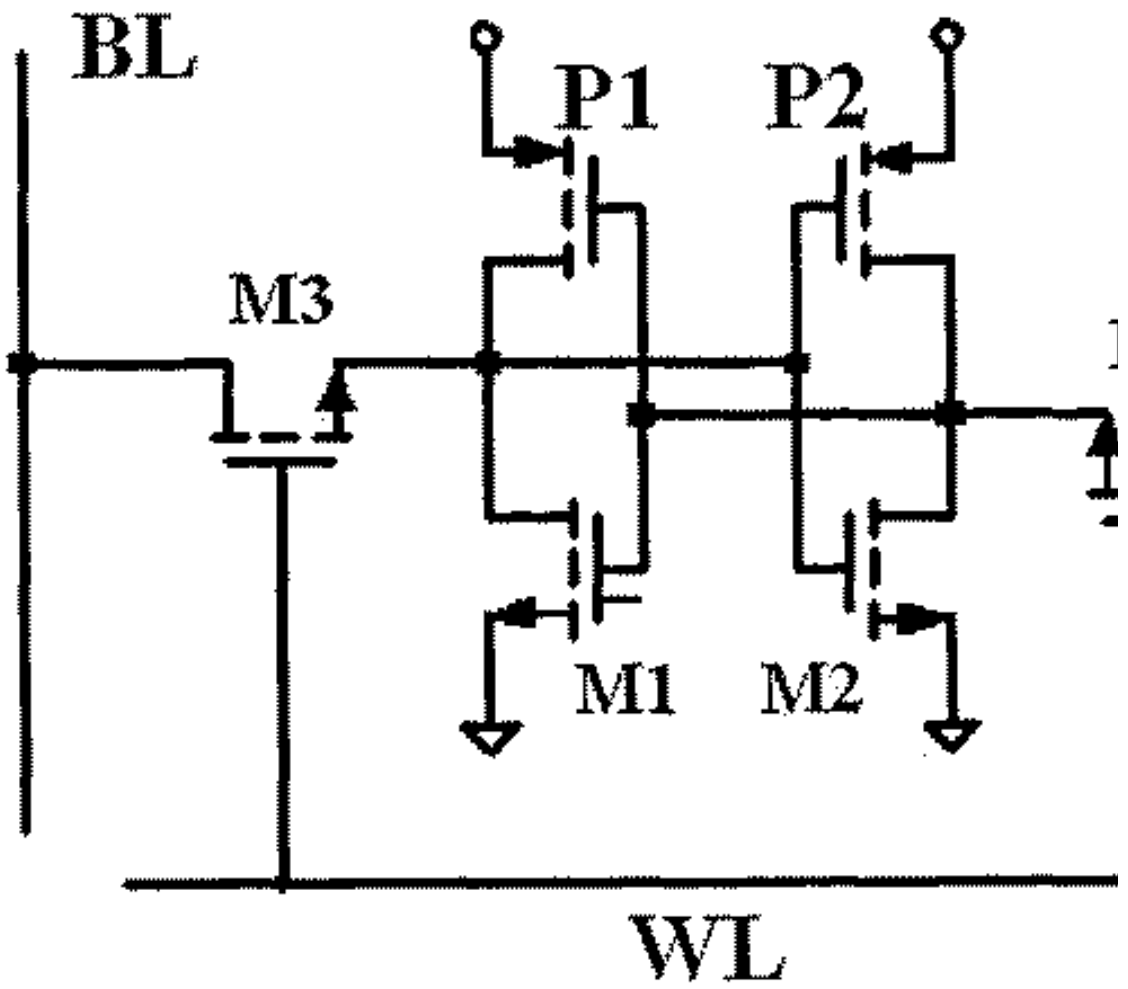
十、圖式：



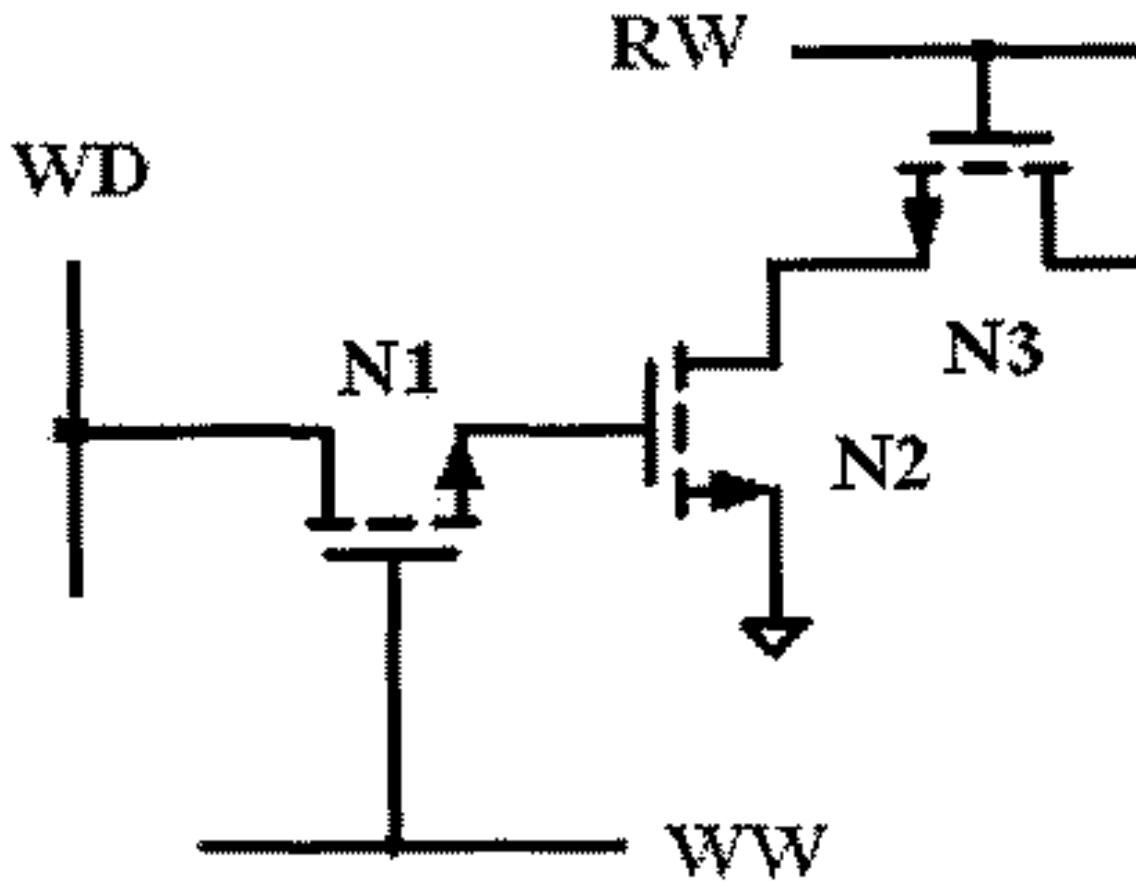
第一 A 圖



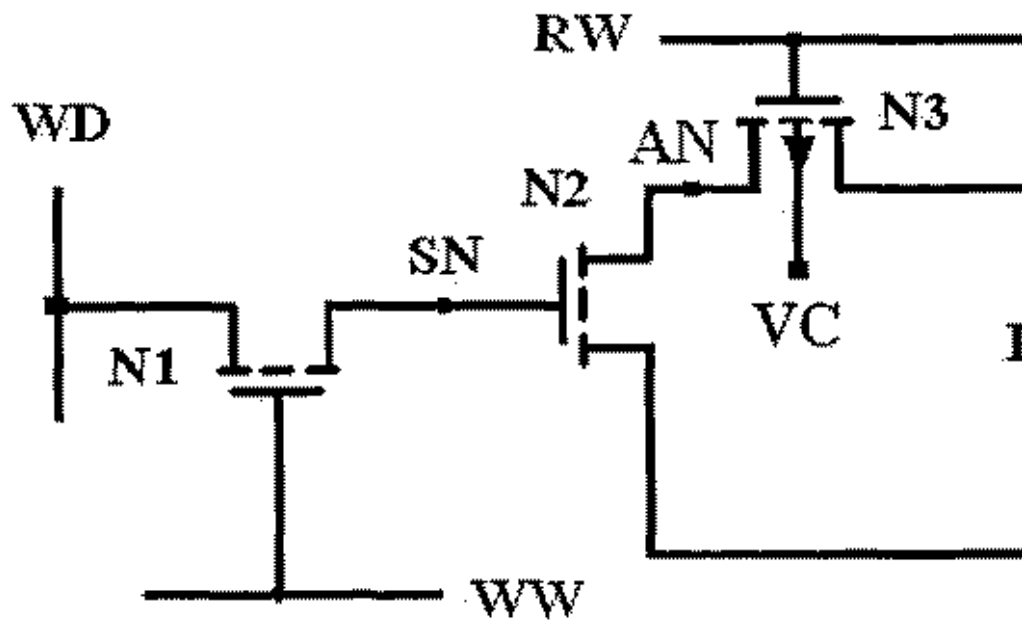
第一 B 圖



第二圖



第三圖



第 四 圖