

【19】中華民國

【12】專利公報 (U)

【11】證書號數： M278035

【45】公告日： 中華民國 94 (2005) 年 10 月 11 日

【51】Int. Cl.<sup>7</sup>: G11C11/00

新型

全 6 頁

【54】名稱： 可降低讀取干擾之雙埠 S R A M 晶胞

DUAL PORT SRAM CELL WITH REDUCED READ DISTURBANCE

【21】申請案號： 094207214

【22】申請日期： 中華民國 94 (2005) 年 05 月 05 日

【72】創作人：

蕭明椿

SHIAU, MING CHUEN

【71】申請人：

修平技術學院

HSIUPING INSTITUTE OF  
TECHNOLOGY

臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種雙埠 SRAM 晶胞，其包括：

一第一反相器，係由第一 PMOS 電晶體(P1)與第一 NMOS 電晶體(M1)所組成；

一第二反相器，係由第二 PMOS 電晶體(P2)與第二 NMOS 電晶體(M1)所組成；

一儲存節點(A)，係由該第一反相器之輸出端所形成；

一反相儲存節點(B)，係由該第二反

相器之輸出端所形成；

一寫入用選擇電晶體(MWS)，係連接在該儲存節點(A)與寫入用位元線(WBL)之間，且閘極連接至寫入用字元線(WWL)；

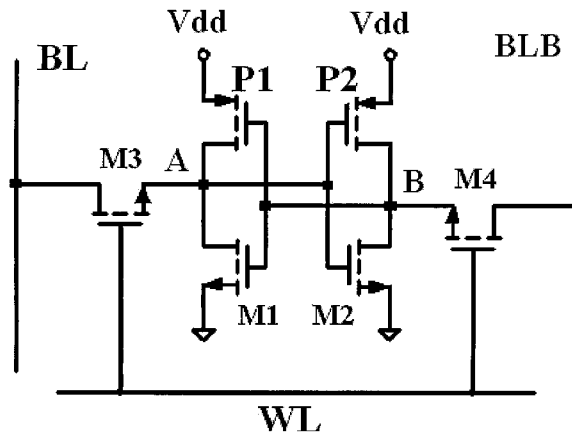
一讀取用選擇電晶體(MRS)，其一端連接至讀取用位元線(RBL)，另一端與反相電晶體(MINV)相連接，而閘極則連接至讀取用字元線(RWL)；以

10. 及

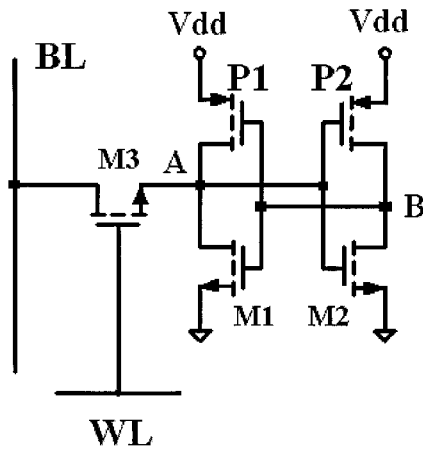
- 一反相電晶體(MINV)，其一端與該讀取用選擇電晶體(MRS)相連接，另一端連接至該讀取用字元線(RWL)，而閘極則連接至反相儲存節點(B)；其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端(即儲存節點A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點B)則連接至該第一反相器之輸入端。
2. 如申請專利範圍第 1 項所述之雙埠 SRAM 晶胞，其中該第一反相器之一端連接至電源電壓(Vdd)，而另一端則與寫入用字元線(WWL)相連接。
  3. 如申請專利範圍第 2 項所述之雙埠 SRAM 晶胞，其中該第二反相器之一端連接至電源電壓(Vdd)，而另一端則接地。
  4. 如申請專利範圍第 3 項所述之雙埠 SRAM 晶胞，其中該讀取用選擇電晶體(MRS)係為 PMOS 電晶體。
  5. 如申請專利範圍第 4 項所述之雙埠 SRAM 晶胞，其中該反相電晶體(MINV)係為 NMOS 電晶體。
  6. 如申請專利範圍第 5 項所述之雙埠 SRAM 晶胞，其中該寫入用字元線(WWL)於寫入操作期間係設定為電源電壓(Vdd)，而於寫入操作以外之期間則設定為接地電壓。

7. 如申請專利範圍第 6 項所述之雙埠 SRAM 晶胞，其中該讀取用字元線(RWL)於讀取操作期間係設定為接地電壓，而於讀取操作以外之期間則設定為電源電壓(Vdd)。
5. 圖式簡單說明：
  - 第一圖 係顯示習知 6T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；
  10. 第二圖 係顯示習知 5T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；
  - 第三圖 係顯示習知 4T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；
  15. 第四圖 係顯示習知 3T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；
  20. 第五圖 係顯示習知雙埠靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；
  - 第六圖 係顯示美國專利公告第 US6118689 號之習知雙埠靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；
  25. 第七圖 係顯示第六圖所示之習知雙埠靜態隨機存取記憶體(SRAM)晶胞的 SPICE 模擬結果圖；
  - 第八圖 係顯示本創作所提出之靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；
  - 30.

(3)

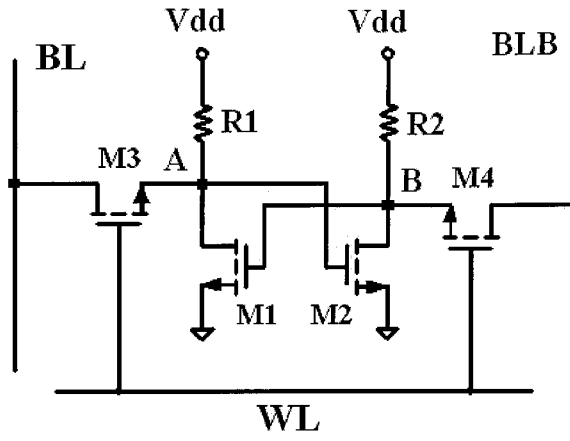


第一圖

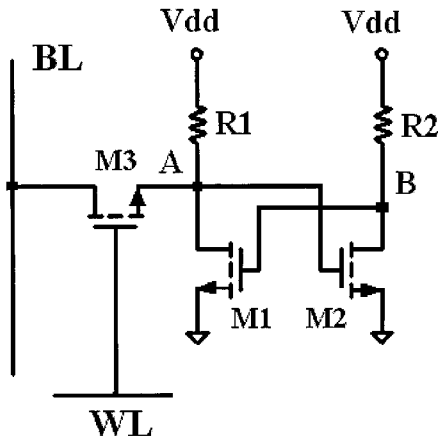


第二圖

(4)

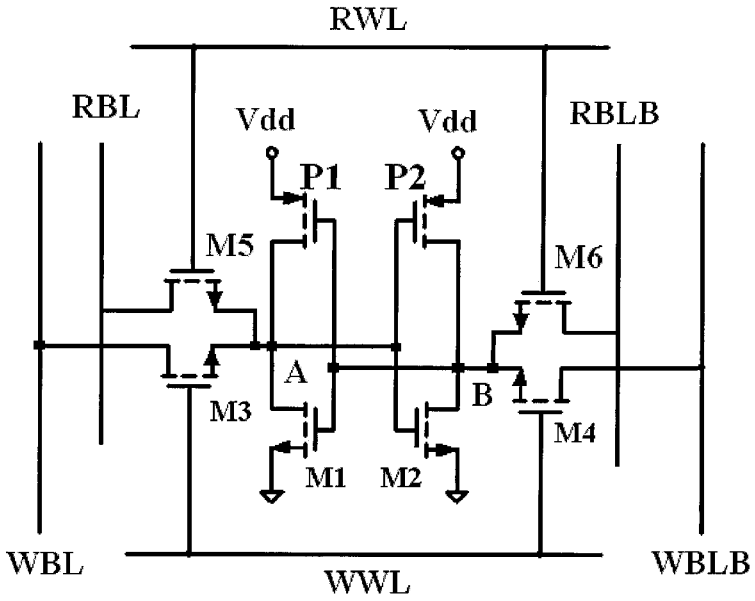


第三圖

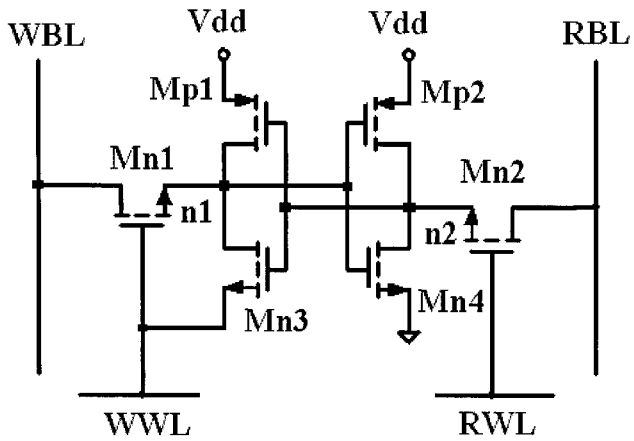


第四圖

(5)

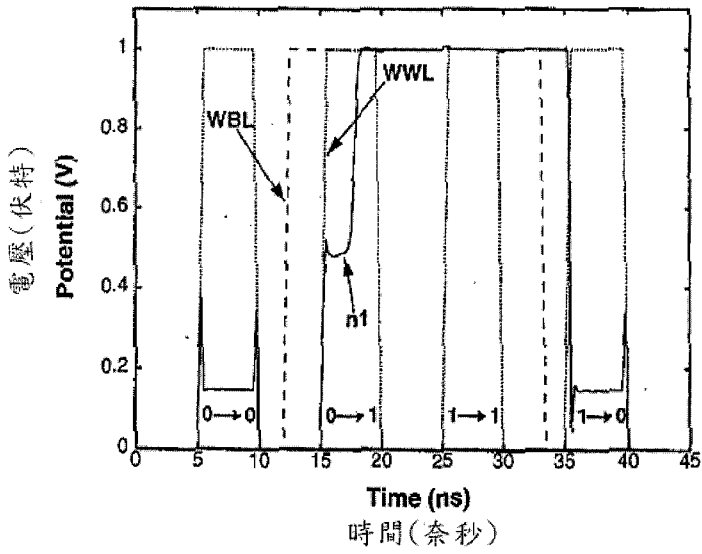


第五圖

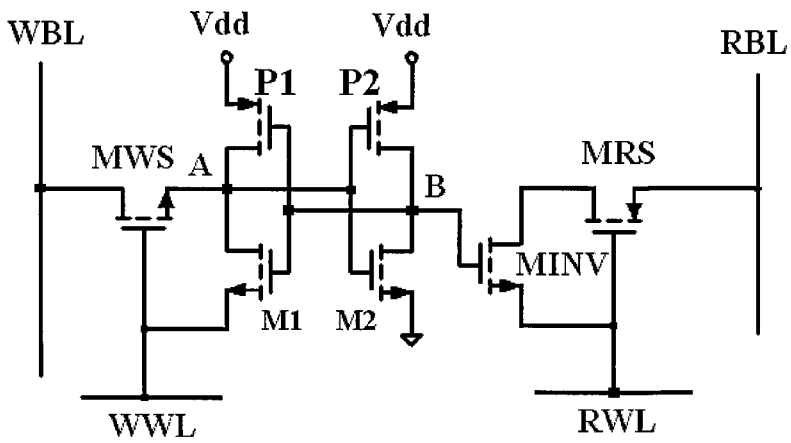


第六圖

(6)



第七圖



第八圖