

【11】證書號數： M281268

【45】公告日： 中華民國 94 (2005) 年 11 月 21 日

【51】Int. Cl.<sup>7</sup>: G11C11/40

新型

全 5 頁

【54】名稱： 具預寫控制之雙埠 S R A M 晶胞  
DUAL PORT SRAM CELL WITH PREWRITE CONTROL

【21】申請案號： 094208859

【22】申請日期： 中華民國 94 (2005) 年 05 月 30 日

【72】創作人：

蕭明椿	SHIAU, MING CHUEN
張弘楷	CHUN, WEI TSIA
陳柏仁	CHUN, WEI TSIA
賴清凱	CHUN, WEI TSIA
廖峰裕	CHUN, WEI TSIA

【71】申請人：

修平技術學院	HSIUPING INSTITUTE OF TECHNOLOGY
臺中縣大里市工業路11號	

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種雙埠 SRAM 晶胞，其包括：

一第一反相器，係由第一 PMOS 電晶體(P1)與第一 NMOS 電晶體(M1)所組成；

一第二反相器，係由第二 PMOS 電晶體(P2)與第二 NMOS 電晶體(M1)所組成；

一儲存節點(A)，係由該第一反相器之輸出端所形成；

一反相儲存節點(B)，係由該第二反

相器之輸出端所形成；

一寫入用選擇電晶體(MWS)，係連接在該儲存節點(A)與寫入用位元線(WBL)之間，且閘極連接至寫入用字元線(WWL)；

一讀取用選擇電晶體(MRS)，其一端連接至讀取用位元線(RBL)，另一端與反相電晶體(MINV)相連接，而閘極則連接至讀取用字元線(RWL)；

一預寫電晶體(MPRE)，係連接在該

反相儲存節點(B)與接地之間，且閘極連接至預寫控制線(WPRE)；以及一反相電晶體(MINV)，其一端與該讀取用選擇電晶體(MRS)相連接，另一端連接至接地，而閘極則連接至反相儲存節點(B)；

其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端(即儲存節點A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點B)則連接至該第一反相器之輸入端；並且將寫入操作期間之該寫入用字元線(WWL)之電壓位準設定成與於讀取操作期間之該讀取用字元線(RWL)之電壓位準相同，惟寫入操作以外期間之該寫入用字元線(WWL)之電壓位準則設定成與於讀取操作以外期間之該讀取用字元線(RWL)之電壓位準不同。

2. 如申請專利範圍第 1 項所述之雙埠 SRAM 晶胞，其中該第一反相器之一端連接至電源電壓(Vdd)，而另一端則接地。
3. 如申請專利範圍第 2 項所述之雙埠 SRAM 晶胞，其中該第二反相器之一端連接至電源電壓(Vdd)，而另一端則接地。
4. 如申請專利範圍第 3 項所述之雙埠 SRAM 晶胞，其中該寫入用字元線(WWL)於寫入操作期間係設定為電源電壓(Vdd)，而於寫入操作以外之

期間則設定為接地電壓。

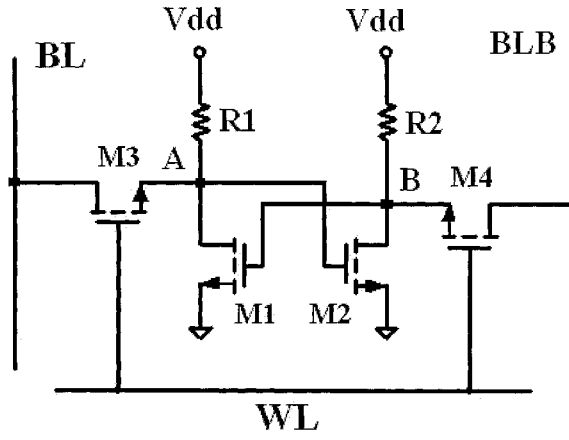
5. 如申請專利範圍第 4 項所述之雙埠 SRAM 晶胞，其中該讀取用字元線(RWL)於讀取操作期間係設定為電源電壓(Vdd)，而於讀取操作以外之期間則設定為低於接地電壓之電壓位準。
5. 如申請專利範圍第 5 項所述之雙埠 SRAM 晶胞，其中該預寫控制線(WPRE)於寫入動作發生前之預寫入期間係設定為電源電壓(Vdd)，而於預寫入操作以外之期間則設定為接地電壓。

圖式簡單說明：

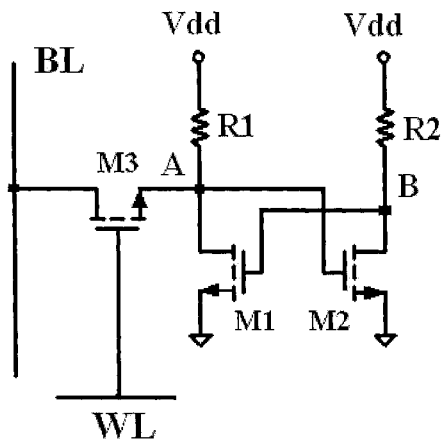
15. 第一圖 係顯示習知 6T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；
20. 第二圖 係顯示習知 5T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；
25. 第三圖 係顯示習知 4T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；
30. 第四圖 係顯示習知 3T 靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；
- 第五圖 係顯示習知雙埠靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；
- 第六圖 係顯示本創作所提出之雙埠靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；



(4)



第三圖



第四圖



