
【54】名稱： 具預寫控制之雙埠靜態隨機存取記憶晶胞

DUAL PORT SRAM CELL WITH PREWRITE CONTROL

【21】申請案號：094214637

【22】申請日：中華民國94(2005)年8月26日

【72】創作人：蕭明椿 SHIAU, MING CHUEN；蔡俊威 TSIA, CHUN WEI

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種雙埠靜態隨機存取記憶晶胞，其包括：

一第一反相器，係由第一 PMOS 電晶體(P1)與第一 NMOS 電晶體(M1)所組成；

一第二反相器，係由第二 PMOS 電晶體(P2)與第二 NMOS 電晶體(M1)所組成；

一儲存節點(A)，係由該第一反相器之輸出端所形成；

一反相儲存節點(B)，係由該第二反相器之輸出端所形成；

一寫入用選擇電晶體(MWS)，係連接在該儲存節點(A)與寫入用位元線(WBL)之間，且閘極連接至寫入用字元線(WWL)；

一讀取用選擇電晶體(MRS)，其一端連接至讀取用位元線(RBL)，另一端與反相電晶體(MINV)相連接，而閘極則連接至讀取用字元線(RWL)；

一預寫電晶體(MPRE)，係連接在該反相儲存節點(B)與接地之間，且閘極連接至預寫控制線(WPRE)；以及一反相電晶體(MINV)，其一端與該讀取用選擇電晶體(MRS)相連接，另一端連接至儲存節點(A)，而閘極則連接至反相儲存節點(B)；

其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端(即儲存節點A)係連接至該第二反相器之輸入端，而該第二反相器之輸出端(即反相儲存節點B)則連接至該第一反相器之輸入端。

- 2.如申請專利範圍第1項所述之雙埠靜態隨機存取記憶晶胞，其中該第一反相器之一端連接至電源電壓(Vdd)，而另一端則接地。
- 3.如申請專利範圍第2項所述之雙埠靜態隨機存取記憶晶胞，其中該第二反相器之一端連接至電源電壓(Vdd)，而另一端則接地。
- 4.如申請專利範圍第3項所述之雙埠靜態隨機存取記憶晶胞，其中該寫入用字元線(WWL)於寫入操作期間係設定為電源電壓(Vdd)，而於寫入操作以外之期間則設定為接地電壓。
- 5.如申請專利範圍第4項所述之雙埠靜態隨機存取記憶晶胞，其中該讀取用字元線(RWL)於讀取操作期間係設定為電源電壓(Vdd)，而於讀取操作以外之期間則設定為接地電壓。
- 6.如申請專利範圍第5項所述之雙埠靜態隨機存取記憶晶胞，其中該預寫控制線(WPRE)於寫入動作發生前之

預寫入期間係設定為電源電壓(Vdd)，而於預寫入操作以外之期間則設定為接地電壓。

- 7.如申請專利範圍第4項所述之雙埠靜態隨機存取記憶晶胞，其中該讀取用字元線(RWL)於讀取操作期間係設定為電源電壓(Vdd)，而於讀取操作以外之期間則設定為低於接地電壓之電壓位準。
10. 8.如申請專利範圍第7項所述之雙埠靜態隨機存取記憶晶胞，其中該預寫控制線(WPRE)於寫入動作發生前之預寫入期間係設定為電源電壓(Vdd)，而於預寫入操作以外之期間則設定為接地電壓。
- 15.

圖式簡單說明：

第一圖 係顯示習知6T靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

20. 第二圖 係顯示習知5T靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

第三圖 係顯示習知4T靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

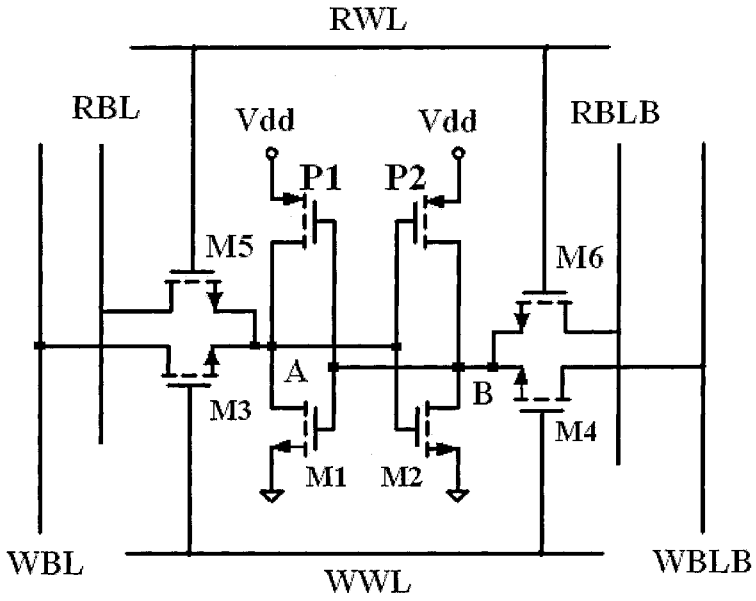
25. 第四圖 係顯示習知3T靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

第五圖 係顯示習知雙埠靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

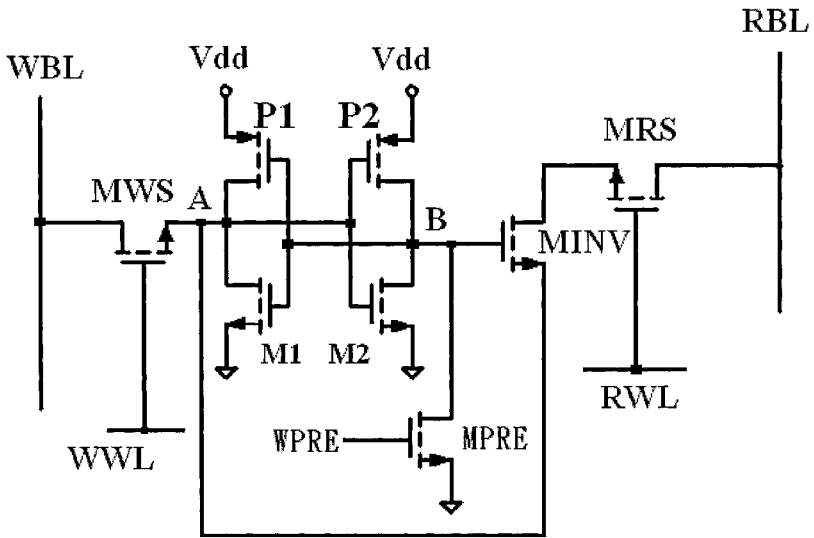
30. 第六圖 係顯示本創作所提出之雙埠靜態隨機存取記憶體(SRAM)晶胞之電路示意圖；

35.

(5)



第五圖



第六圖

