

【11】證書號數：M326292

【45】公告日：中華民國97(2008)年1月21日

【51】Int. Cl. : **H03K19/0175 (2006.01)**

新型 全 4 頁

【54】名稱：具低雜訊之輸出緩衝器

OUTPUT BUFFER HAVING LOWER NOISE

【21】申請案號：096212881

【22】申請日：中華民國96(2007)年8月6日

【72】創作人：蕭明椿 SHIAU, MING CHUEN；陳柏仁 CHEN, BO JEN

【71】申請人：修平技術學院 HSIUPING INSTITUTE OF TECHNOLOGY
臺中縣大里市工業路11號

【74】代理人：

1

2

[57]申請專利範圍：

1. 一種具低雜訊之輸出緩衝器，包括：

一 CMOS 反相器，其係由第一 PMOS 電晶體(M1)以及一 NMOS 電晶體(M2)所組成，並用以將一輸入信號(IN)反相；

一第二 PMOS 電晶體(M3)，其閘極端耦接至延遲電路(1)之輸出，並具有一源極端以及一汲極端，該源極端係耦接至電源供應電壓(VCC)，而汲極端則耦接至該 CMOS 反相器之

輸出；

一第一 NPN 電晶體(Q1)，其基極端連接至該 CMOS 反相器之輸出，並具有一集極端以及一射極端；

5. 一第二 NPN 電晶體(Q2)，其基極端連接至該第一 NPN 電晶體(Q1)之射極端，其集極端連接至輸出端子(OUT)，而其射極端則接地；以及

10. 一延遲電路(1)，其係連接於輸入端子與第二 PMOS 電晶體(M3)的閘極

(2)

3

之間，並且連接於輸入端子與該 CMOS 反相器中之 NMOS 電晶體 (M2) 的閘極之間，俾藉此以降低第二 NPN 電晶體 (Q2) 於轉換瞬間之集極電流大小及其電流變化率。

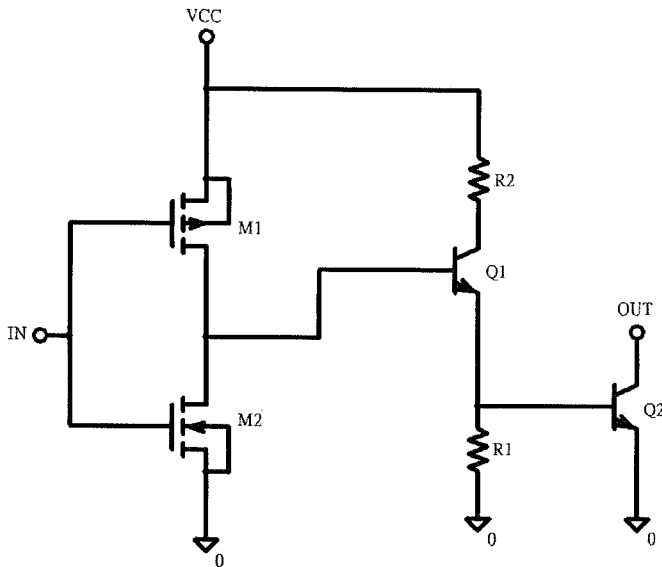
2. 如申請專利範圍第 1 項所述之具低雜訊之輸出緩衝器，其更包括：
一第一電阻 (R1)，連接於該第一 NPN 電晶體 (Q1) 之射極端與接地之間。
3. 如申請專利範圍第 2 項所述之具低雜訊之輸出緩衝器，其更包括一第二電阻 (R2)，連接於該第一 NPN 電晶體 (Q1) 之集極端與電源供應電壓 (VCC) 之間。

4

4. 如申請專利範圍第 3 項所述之具低雜訊之輸出緩衝器，其中，該延遲電路 (1) 係由偶數個反相器所組成。

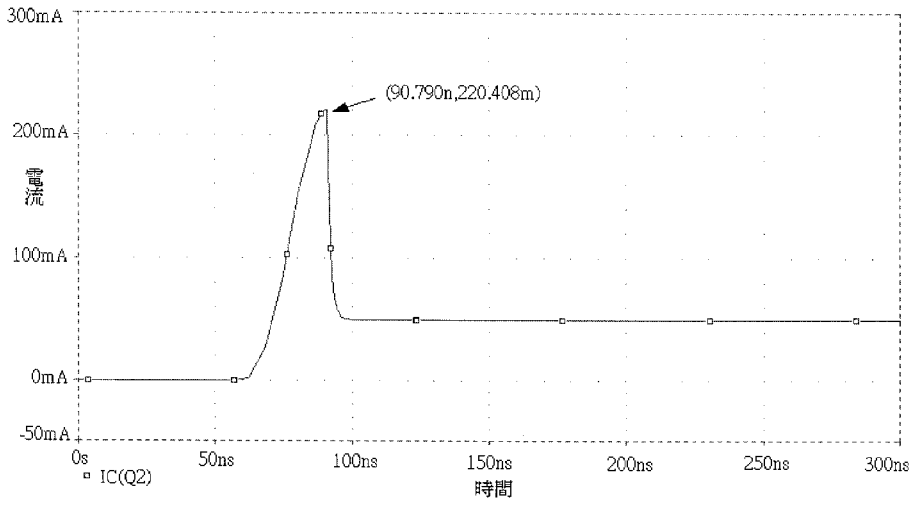
圖式簡單說明：

5. 第一圖 係顯示習知輸出緩衝器之電路圖；
第二圖 係習知輸出緩衝器之 OrCAD PSpice 模擬取得之輸出電流曲線圖；
10. 第三圖 係顯示本創作實施例之輸出緩衝器的電路圖；
第四圖 係本創作輸出緩衝器之 OrCAD PSpice 模擬取得之輸出電流曲線圖。
- 15.

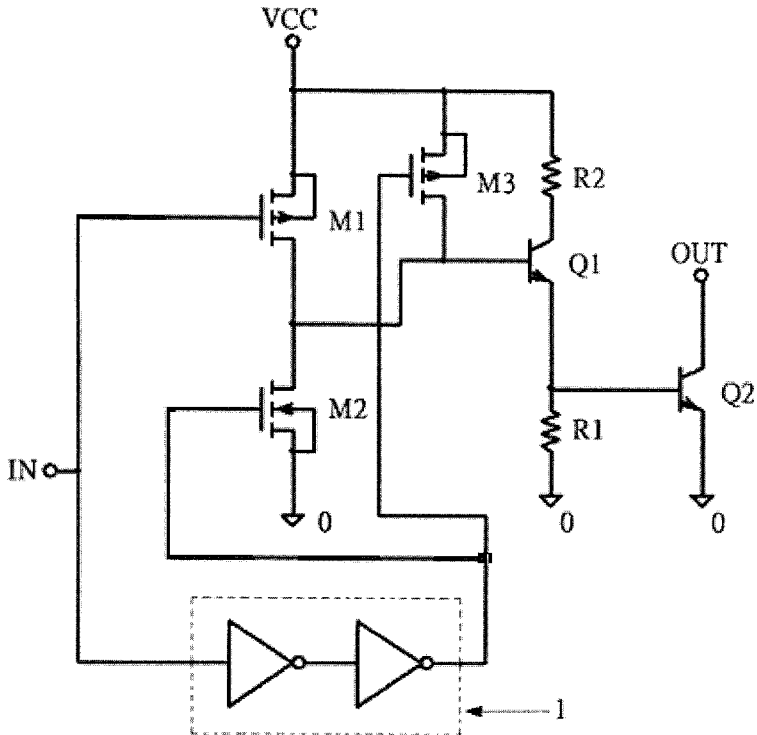


第一圖

(3)

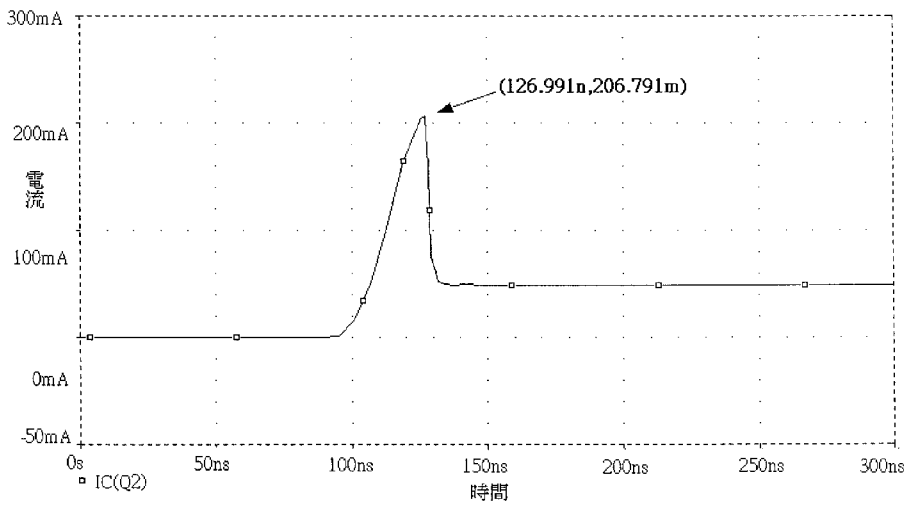


第二圖



第三圖

(4)



第四圖