

# 新型專利說明書

※申請案號： 096209369

※IPC 分類：

## 一、 新型名稱：

具低雜訊之輸出緩衝電路  
Output Buffer Having Lower Noise

## 二、 中文新型摘要：

本創作提出一種新穎架構之具低雜訊的輸出緩衝電路，其不但電路結構簡單，並且也可有效防止接地電壓位準浮動 (ground bouncing) 以及避免雜訊 (noise) 的發生，同時，亦可提升整個晶片之穩定度。該輸出緩衝電路主要係包含一由第一PMOS電晶體(M1)以及一NMOS電晶體(M2)所組成的CMOS反相器、一第二PMOS電晶體(M3)、一第一NPN電晶體(Q1)、一第二NPN電晶體(Q2)、以及一延遲電路(1)。當輸入信號(IN)由高位準變為低位準時，將由電源供應電壓所提供之電流分成兩階段提供，第一階段僅由CMOS反相器中之第一PMOS電晶體(M1)來提供，而在延遲電路(1)所提供之延遲時間後之第二階段，則由第二PMOS電晶體(M3)與該CMOS反相器中之第一PMOS電晶體(M1)共同來提供，俾藉此以使得輸入信號(IN)由高位準變為低位準瞬間之第一NPN電晶體(Q1)的基極電流減少，從而減少瞬間流經第二NPN電晶體(Q2)之集極電流(即輸出電流)，結果，輸出電流的電流變化率變得較緩和，並且輸出電流的最大值變得更小，因此不但可有效抑制接地端所感應之瞬間電位差，並且可避免接地電壓位準的浮動以及雜訊的發生，同時亦可提升整個晶片之穩定度。

## 三、 英文新型摘要：

## 四、 指定代表圖：

- (一) 本案指定代表圖為： 第三圖
- (二) 本代表圖之元件符號簡單說明：
  - VCC . . . 電源供應電壓
  - M1 . . . 第一PMOS電晶體
  - M2 . . . NMOS電晶體
  - M3 . . . 第二PMOS電晶體
  - R1、R2 . . . 電阻器

- Q1 . . . 第一-NPN電晶體
- Q2 . . . 第二NPN電晶體
- OUT . . . 輸出端子
- 1 . . . 延遲電路

## 五、新型說明：

### 【新型所屬之技術領域】

- [n] 本創作係關於一種半導體積體電路中之輸出緩衝電路(output buffer)，尤指一種可降低雜訊之輸出緩衝電路。

### 【先前技術】

- [n] 現今的積體電路設計愈來愈緊密，因此對於雜訊的要求也愈來愈嚴格，然而提升積體電路之工作能力與降低雜訊之間很難取得平衡。以輸出緩衝電路為例，在設計輸出緩衝電路時，通常會針對負載的大小來定出上升時間與下降時間的規格；當輸出緩衝電路必須推動較大的負載時，為了確保上升時間與下降時間不致太長，必須把輸出緩衝電路的面積加大以提高推動能力，然而大面積的輸出緩衝電路通常會產生較大的雜訊，進而會影響整個晶片的穩定度，因此發展出一種低雜訊的輸出緩衝電路是非常必要的。

- [n] 由於電晶體由關閉(OFF)至導通(ON)的轉換瞬間會有電流導通，故在電晶體轉換瞬間會有很大的電流變化率(即 $\Delta I/\Delta t$ 很大)。根據電感效應：感應電壓差為引線電感值與電流變化率的乘積(即 $V_L=L \, dI/dt$ ；其中 $V_L$ 為感應電壓差， $L$ 為引線電感值，約10 nH， $dI/dt$ 則為電流變化率)。因此，電晶體在狀態轉換瞬間會在接地端感應一個瞬間電壓差( $V_L$ )，該瞬間電壓差係正比於電流變化率，且可感應至晶片其它部份，此即為雜訊的來源之一。

- [n] 圖一為根據先前技藝配置在一積體電路內之既有輸出緩衝電路，在積體電路內產生的輸入信號(IN)經由一由PMOS(P型金氧半)電晶體(M1)與NMOS(N型金氧半)電晶體(M2)所組成的CMOS(互補式金氧半)反相器緩衝後，供應到NPN電晶體(Q1)的基極，該NPN電晶體(Q1)的集極接一電阻(R2)連接到電源供應電壓(VCC)，而該NPN電晶體(Q1)的射極一方面接一電阻(R1)連接到接地端，另一方面連接到NPN電晶體(Q2)的基極，該NPN電晶體(Q2)的射極直接連到接地端，而其集極則連接到一輸出端子(OUT)，且由此端子連接到外部負載。

- [n] 圖二是圖一輸出緩衝電路之輸出電流曲線，該圖係由OrCAD PSpice模擬取得之曲線圖。當輸入信號(IN)由高位準下降至低位準後，由於NPN電晶體(Q2)是在主動區內工作，因此流經該NPN電晶體(Q2)的集極電流(即輸出電流)約等於NPN電晶體(Q1)的基極電流和 $hFE$ ( $hFE$ 代表NPN電晶體的電流

放大因數)平方之乘積，此過大的輸出電流將會造成接地位準之浮動，並從而產生雜訊，而這些都是先前技藝有待克服的問題。

[n] 有鑑於此，本創作之主要目的係提出一種新架構之輸出緩衝電路及方法，其不但能降低輸出緩衝電路上升時所流經之輸出電流的大小，並且也能降低輸出緩衝電路上升時所流經輸出電流的電流變化率，同時亦能藉此而有效防止接地電壓位準浮動和雜訊的發生。

#### 【發明內容】

[n]

[n]

根據上述之目的，本創作提出一種新架構之輸出緩衝電路及方法，該輸出緩衝電路係包括：一CMOS反相器，其係由一第一PMOS電晶體(M1)、一NMOS電晶體(M2)所組成，並用以將一輸入信號(IN)反相；一第二PMOS電晶體(M3)，其閘極端接至延遲電路(1)之輸出，並具有一源極端以及一汲極端；一第一NPN電晶體(Q1)，其基極端連接至該CMOS反相器之輸出，並具有一集極端以及一射極端；一第二NPN電晶體(Q2)，其基極端連接至該第一NPN電晶體(Q1)之射極端，其集極端連接至輸出端子(OUT)，而其射極端則接地；以及一延遲電路(1)，其係連接於輸入端子與第二PMOS電晶體(M3)的閘極之間，俾藉此以降低第二NPN電晶體(Q2)於轉換瞬間之集極電流大小及其電流變化率。

[n]

當輸入信號(IN)由高位準變為低位準時，將由電源供應電壓所提供之電流分成兩階段提供，第一階段僅由CMOS反相器中之第一PMOS電晶體(M1)來提供，而在延遲電路(1)所提供之延遲時間後之第二階段，則由第二PMOS電晶體(M3)與該CMOS反相器中之第一PMOS電晶體(M1)共同來提供，俾藉此以使得輸入信號(IN)由高位準變為低位準瞬間之第一NPN電晶體(Q1)的基極電流減少，從而減少瞬間流經第二NPN電晶體(Q2)之集極電流(即輸出電流)，結果，輸出電流的電流變化率變得較緩和，並且輸出電流的最大值變得更小，因此不但可有效抑制接地端所感應之瞬間電位差，並且可避免接地電壓位準的浮動以及雜訊的發生，同時亦可提升整個晶片之穩定度。

#### 【實施方式】

[n]

本創作所提出輸出緩衝電路之較佳實施例顯示於第三圖中，其包括：一CMOS反相器，其係由一第一PMOS電晶體(M1)以及一NMOS電晶體(M2)所組成，並用以將一輸入信號(IN)反相；一第二PMOS電晶體(M3)，其閘極端接至該延遲電路(1)之輸出，並具有一源極端以及一汲極端；一第一NPN電晶體(Q1)，其基極端連接至該CMOS反相器之輸出，並具有一集極端以及一射極端；一第二NPN電晶體(Q2)，其基極端連接至

該第一NPN電晶體(Q1)之射極端，其集極端連接至輸出端子(OUT)，而其射極端則接地；一第一電阻(R1)，其係連接於該第一NPN電晶體(Q1)之射極端與接地之間；一第二電阻(R2)，其係連接於該第一NPN電晶體(Q1)之集極端與電源供應電壓(VCC)之間；以及一由2個反相器所組成的延遲電路(1)，其係連接於輸入端子與第二PMOS電晶體(M3)的閘極之間，俾藉此以降低第二NPN電晶體(Q2)於轉換瞬間之集極電流大小及其電流變化率，其中該組成延遲電路之反相器之數目並不局限於2個，可視電路之需求，選擇其他偶數。

[n] 在此電路中，當輸入信號(IN)在高位準時，第一PMOS電晶體(M1)關閉，NMOS電晶體(M2)導通，於是可將第一NPN電晶體(Q1)之基極拉低至接地電位，此接地電位於是使得第一NPN電晶體(Q1)和第二NPN電晶體(Q2)呈關閉狀態，因此輸出端呈高位準狀態。由此可知，當輸入信號(IN)呈高位準時，圖三所示的電路和圖一所示的傳統電路動作都相同，這也是設計新穎輸出緩衝電路時所必要滿足的條件之一。

[n] 而當輸入信號(IN)由高位準變為低位準時，第二NPN電晶體(Q2)導通，且是在主動區內操作。如果在這時候第一NPN電晶體(Q1)的射極電流扣抵流過第一電阻(R1)的微小電流後，直接成為第二NPN電晶體(Q2)的基極電流，則如傳統電路般，第二NPN電晶體(Q2)的集極電流(即輸出電流)將會等於電晶體(Q1)的基極電流和 $h_{FE}$ 平方的乘積，此過大的輸出電流將會造成接地位準之浮動，並從而產生雜訊。

[n] 然而，在本創作中，當輸入信號(IN)由高位準變為低位準時，將由電源供應電壓所提供之電流分成兩階段提供，第一階段僅由CMOS反相器中之第一PMOS電晶體(M1)來提供，而在延遲電路(1)所提供之延遲時間後之第二階段，則由第二PMOS電晶體(M3)與該CMOS反相器中之第一PMOS電晶體(M1)共同來提供，俾藉此以使得輸入信號(IN)由高位準變為低位準瞬間之第一NPN電晶體(Q1)的基極電流減少，從而減少瞬間流經第二NPN電晶體(Q2)之集極電流(即輸出電流)，結果，流過第二NPN電晶體(Q2)之集極電流(即輸出電流)的電流上升變得較適中，且流過該第二NPN電晶體(Q2)之集極電流(即輸出電流)的電流最大值變得比傳統輸出緩衝電路之輸出電流的電流最大值還小，因此不但可有效抑制接地端所感應之瞬間電位差，並且可避免接地電壓位準的浮動以及雜訊的發生，同時亦可提升整個晶片之穩定度。

[n] 圖四是本創作較佳實施例電路之輸出電流曲線，該曲線亦是由OrCADSpice模擬而得，由該曲線的結果，証實本創作所提出之輸出緩衝電路確實可使流過第二NPN電晶體(Q2)之集極電流的電流上升率變得較緩和，且流過該第二NPN電晶體(Q2)之集極電流的電流最大值變得比先前技藝者還小。

**【圖式簡單說明】**

- [n] 第一圖係顯示習知輸出緩衝電路之電路圖；
- [n] 第二圖係習知輸出緩衝電路之OrCAD PSpice模擬取得之輸出電流曲線圖；
- [n] 第三圖係顯示本創作實施例之輸出緩衝電路的電路圖；
- [n] 第四圖係本創作輸出緩衝電路之OrCAD PSpice模擬取得之輸出電流曲線圖。

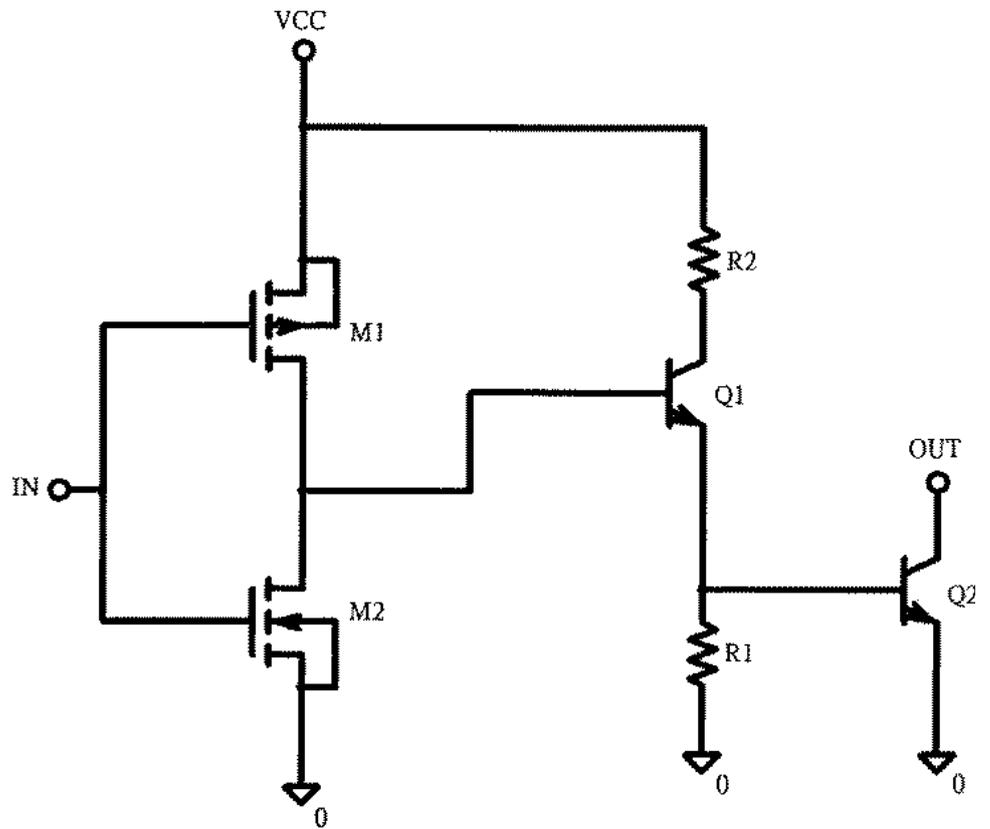
**【主要元件符號說明】**

- [y] VCC . . . 電源供應電壓
- [y] M1 . . . 第一PMOS電晶體
- [y] M2 . . . NMOS電晶體
- [y] M3 . . . 第二PMOS電晶體
- [y] R1、R2 . . . 電阻器
- [y] Q1 . . . 第一NPN電晶體
- [y] Q2 . . . 第二NPN電晶體
- [y] OUT . . . 輸出端子
- [y] 1 . . . 延遲電路
- [y] IC(Q2) . . . 第二NPN電晶體之集極電流(即輸出電流)

**六、申請專利範圍：**

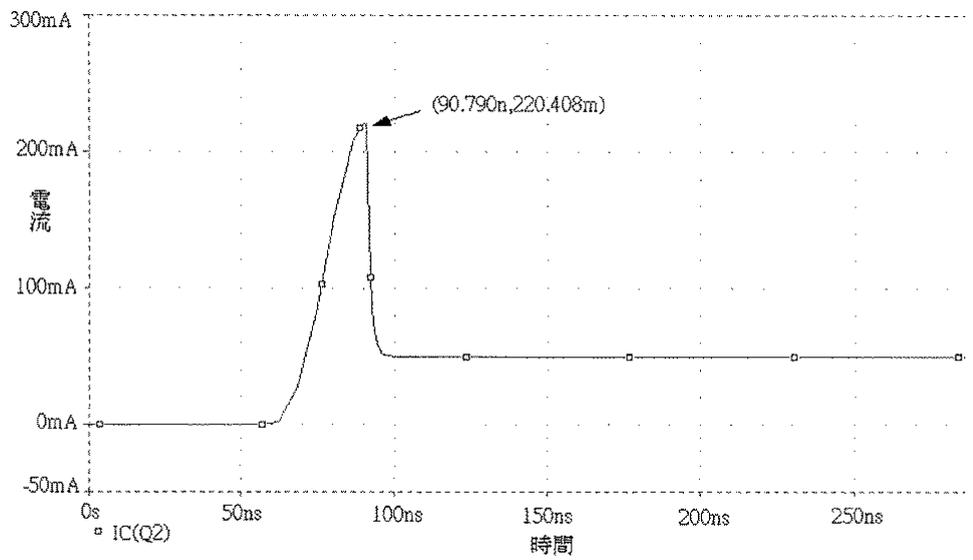
1. 一種具低雜訊之輸出緩衝電路，包括：一CMOS反相器，其係由第一PMOS電晶體(M1)以及一NMOS電晶體(M2)所組成，並用以將一輸入信號(IN)反相；一第二PMOS電晶體(M3)，其閘極端耦接至延遲電路(1)之輸出，並具有一源極端以及一汲極端，該源極端係耦接至電源供應電壓(VCC)，而汲極端則耦接至該CMOS反相器之輸出；一第一NPN電晶體(Q1)，其基極端連接至該CMOS反相器之輸出，並具有一集極端以及一射極端；一第二NPN電晶體(Q2)，其基極端連接至該第一NPN電晶體(Q1)之射極端，其集極端連接至輸出端子(OUT)，而其射極端則接地；以及一延遲電路(1)，其係連接於輸入端子與第二PMOS電晶體(M3)的閘極之間，俾藉此以降低第二NPN電晶體(Q2)於轉換瞬間之集極電流大小及其電流變化率。
2. 如申請專利範圍第1項所述之具低雜訊之輸出緩衝電路，其更包括：一第一電阻(R1)，連接於該第一NPN電晶體(Q1)之射極端與接地之間。
3. 如申請專利範圍第2項所述之具低雜訊之輸出緩衝電路，其更包括一第二電阻(R2)，連接於該第一NPN電晶體(Q1)之集極端與電源供應電壓(VCC)之間。
4. 如申請專利範圍第3項所述之具低雜訊之輸出緩衝電路，其中，該延遲電路(1)係由偶數個反相器所組成。

七、圖式：



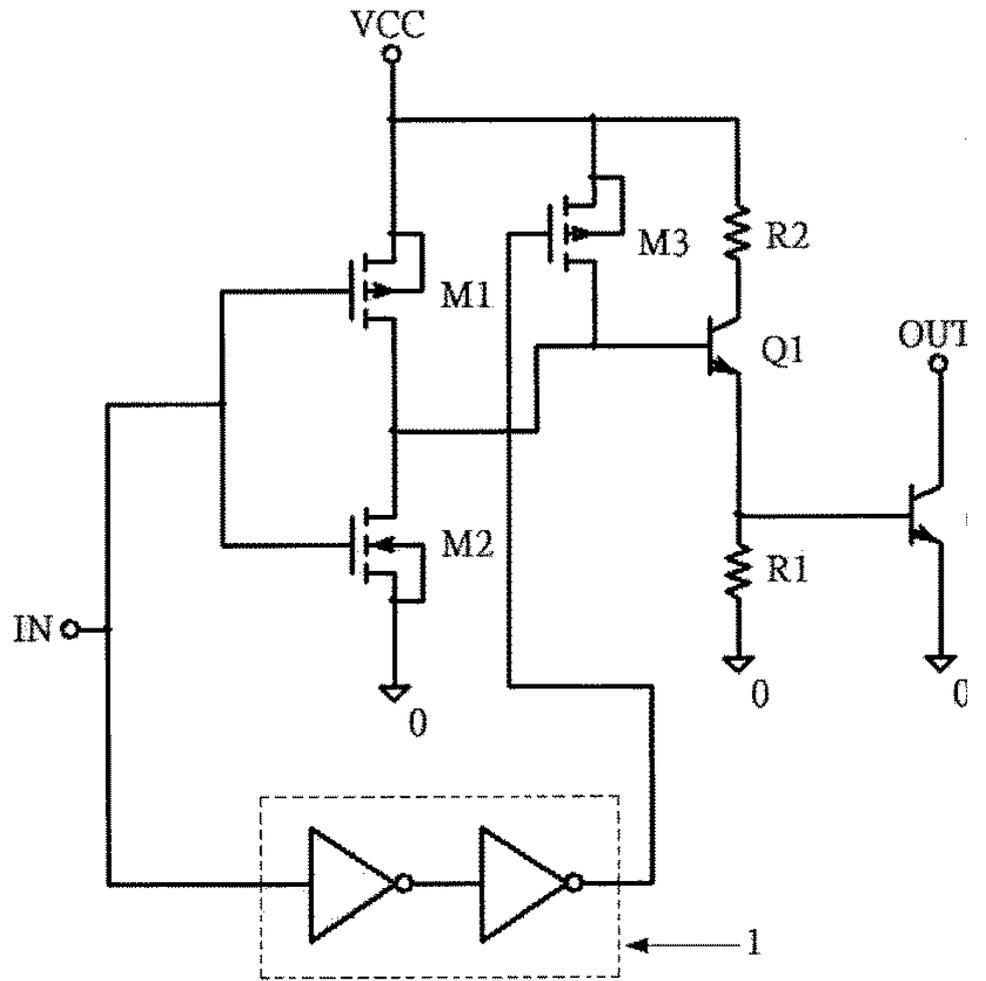
第一圖

第一圖



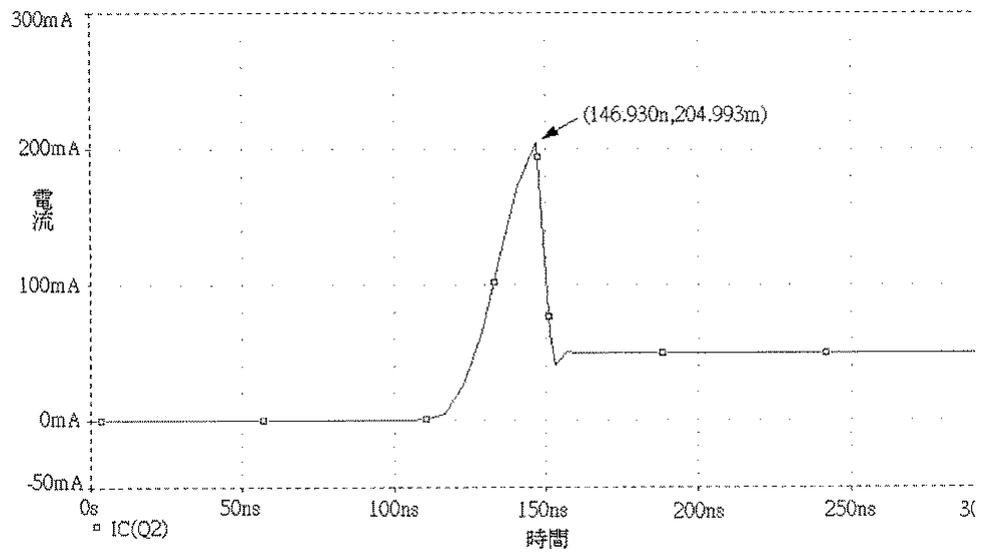
第二圖

第二圖



第三圖

第三圖



第四圖

第四圖